

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和5年2月9日(2023.2.9)

【公開番号】特開2022-140217(P2022-140217A)

【公開日】令和4年9月26日(2022.9.26)

【年通号数】公開公報(特許)2022-176

【出願番号】特願2021-103917(P2021-103917)

【国際特許分類】

H 01 L 29/78(2006.01)

10

H 01 L 29/12(2006.01)

H 01 L 29/06(2006.01)

H 01 L 21/336(2006.01)

【F I】

H 01 L 29/78 652H

H 01 L 29/78 652T

H 01 L 29/78 653A

H 01 L 29/78 652J

H 01 L 29/78 652F

20

H 01 L 29/06 301D

H 01 L 29/06 301V

H 01 L 29/78 652D

H 01 L 29/78 658A

【手続補正書】

【提出日】令和5年2月1日(2023.2.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

30

【補正の内容】

【特許請求の範囲】

【請求項1】

電界効果トランジスタ(10)であって、

上面にトレンチ(14)が設けられた半導体基板(12)と、

前記トレンチの内面を覆うゲート絶縁膜(16)と、

前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極(18)、

を有し、

前記半導体基板が、

前記トレンチの側面で前記ゲート絶縁膜に接するn型のソース層(30)と、

前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接するp型のボディ層(34)と、

前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びているp型トレンチ下層(35)と、

複数のp型ディープ層(36)と、

複数のn型ディープ層(37)、

を有し、

前記各p型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記

40

50

トレンチに対して交差する第1方向に沿って伸びており、上側から前記半導体基板を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記p型トレンチ下層に接しており、

前記各n型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接しており、

前記各n型ディープ層は、

n型ディープ下層(137A)と、

前記n型ディープ下層の上側に配置されており、前記n型ディープ下層よりも高いn型不純物濃度を有するn型ディープ上層(137B)、

を有し、

前記n型ディープ上層は、前記トレンチの底面よりも上側に配置されている、電界効果トランジスタ。

【請求項2】

前記ソース層は、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びている、請求項1に記載の電界効果トランジスタ。

【請求項3】

前記半導体基板が、

前記ボディ層上に設けられており、前記ボディ層よりも高いp型不純物濃度を有するコンタクト層(32)、を有しております、

前記コンタクト層は、上側から前記半導体基板を見たときに前記トレンチの長手方向に対して平行に伸びている、請求項1又は2に記載の電界効果トランジスタ。

【請求項4】

前記各p型ディープ層は、

p型ディープ下層(136A)と、

前記p型ディープ下層の上側に配置されており、前記p型ディープ下層よりも高いp型不純物濃度を有するp型ディープ上層(136B)、

を有し、

前記p型ディープ上層は、前記トレンチの底面よりも上側に配置されている、請求項1～3のいずれか一項に記載の電界効果トランジスタ。

【請求項5】

対応する前記トレンチの底面から前記各p型トレンチ下層の下面までの深さは、前記半導体基板の上面から前記ボディ層の下面までの深さと一致する、請求項1～4のいずれか一項に記載の電界効果トランジスタ。

【請求項6】

前記p型トレンチ下層は、前記トレンチの底面から離れている、請求項5に記載の電界効果トランジスタ。

【請求項7】

前記p型トレンチ下層は、深さ方向に濃度が異なる複数の部分を有している、請求項5に記載の電界効果トランジスタ。

【請求項8】

前記p型トレンチ下層は、

第1p型トレンチ下層(135A)と、

前記第1p型トレンチ下層の上側に配置されている第2p型トレンチ下層(135B)、

を有し、

前記第2p型トレンチ下層は、前記第1p型トレンチ下層よりも濃度が濃い、請求項7に記載の電界効果トランジスタ。

【請求項9】

前記p型トレンチ下層は、

第1p型トレンチ下層(135A)と、

10

20

30

40

50

前記第1 p型トレンチ下層の上側に配置されている第2 p型トレンチ下層(135B)、

を有し、

前記第2 p型トレンチ下層は、前記第1 p型トレンチ下層よりも濃度が薄い、請求項7に記載の電界効果トランジスタ。

【請求項10】

前記第2 p型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項8又は9に記載の電界効果トランジスタ。

【請求項11】

前記p型トレンチ下層は、前記トレンチの長手方向に沿って分断されており、

前記各p型ディープ層は、前記p型トレンチ下層の分断された部分を通過する、請求項1～10のいずれか一項に記載の電界効果トランジスタ。

【請求項12】

前記半導体基板がさらに、

前記各n型ディープ層の下側に配置されており、前記各n型ディープ層に対して下側から接しており、前記各n型ディープ層よりも濃度が薄いn型のドリフト層、をさらに備えている、請求項1～11のいずれか一項に記載の電界効果トランジスタ。

【請求項13】

前記各p型ディープ層のp型不純物濃度は、前記n型ディープ下層に対応する深さ範囲で相対的に濃く、前記n型ディープ上層に対応する深さ範囲で相対的に薄い、請求項1に記載の電界効果トランジスタ。

【請求項14】

電界効果トランジスタ(10)の製造方法であって、

n型のエピタキシャル層(50)に複数のp型ディープ層(36)と複数のn型ディープ層(37, 137)を形成するディープ層形成工程であって、前記各p型ディープ層が、上側から前記エピタキシャル層を見たときに第1方向に沿って伸びており、上側から前記エピタキシャル層を見たときに前記第1方向に対して直交する第2方向に間隔部を開けて配置されており、前記各n型ディープ層が、対応する前記間隔部内に配置されている、ディープ層形成工程と、

前記エピタキシャル層の表面から前記複数のp型ディープ層と前記複数のn型ディープ層を超えない深さのトレンチ(14)を形成するトレンチ形成工程であって、前記トレンチは、上側から前記エピタキシャル層を見たときに前記複数のp型ディープ層と前記複数のn型ディープ層に交差している、トレンチ形成工程と、

イオン注入技術を利用して、前記エピタキシャル層の表面に向けてp型不純物を導入し、前記複数のp型ディープ層と前記複数のn型ディープ層の上側にボディ層(34)を形成する、ボディ層形成工程と、

イオン注入技術を利用して、前記トレンチの底面の下側にp型トレンチ下層(35)を形成する、p型トレンチ下層形成工程、

を有する、電界効果トランジスタの製造方法。

【請求項15】

前記ディープ層形成工程では、イオン注入技術を利用して、前記複数のp型ディープ層と前記複数のn型ディープ層が、前記エピタキシャル層の表面から離れた所定深さ範囲にn型不純物とp型不純物を導入することによって形成される、請求項14に記載の電界効果トランジスタの製造方法。

【請求項16】

前記ボディ層形成工程と前記p型トレンチ下層形成工程は、前記トレンチ形成工程の後に同時に実施される、請求項14又は15に記載の電界効果トランジスタの製造方法。

【請求項17】

イオン注入技術を利用して、前記エピタキシャル層の上層部にn型不純物を導入し、ソース層(30)を形成する、ソース層形成工程、をさらに有し、

10

20

30

40

50

前記 p 型トレンチ下層は、

第 1 p 型トレンチ下層 (1 3 5 A) と、

前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層 (1 3 5 B) 、

を有し、

前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が濃く、

前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項 1 6 に記載の電界効果トランジスタの製造方法。

【請求項 1 8】

イオン注入技術を利用して、前記エピタキシャル層の上層部に n 型不純物を導入し、ソース層を形成する、ソース層形成工程、をさらに有し、10

前記 p 型トレンチ下層は、

第 1 p 型トレンチ下層 (1 3 5 A) と、

前記第 1 p 型トレンチ下層の上側に配置されている第 2 p 型トレンチ下層 (1 3 5 B) 、

を有し、

前記第 2 p 型トレンチ下層は、前記第 1 p 型トレンチ下層よりも濃度が薄く、

前記第 2 p 型トレンチ下層の深さ方向の厚みは、前記ソース層の深さ方向の厚みよりも小さい、請求項 1 6 に記載の電界効果トランジスタの製造方法。

【請求項 1 9】

前記 p 型トレンチ下層形成工程は、前記トレンチ形成工程の前に実施され、20
前記 p 型トレンチ下層の幅は、前記トレンチの幅よりも狭い、請求項 1 4 又は 1 5 に記載の電界効果トランジスタの製造方法。

【請求項 2 0】

前記 p 型トレンチ下層形成工程は、前記ディープ層形成工程のうちの前記複数の p 型ディープ層を形成する工程と同時に実施される、請求項 1 9 に記載の電界効果トランジスタの製造方法。

【請求項 2 1】

前記ボディ層形成工程と前記 p 型トレンチ下層形成工程は、別々に実施される、請求項 1 4 又は 1 5 に記載の電界効果トランジスタの製造方法。30

【請求項 2 2】

電界効果トランジスタ (1 0) であって、

上面にトレンチ (1 4) が設けられた半導体基板 (1 2) と、

前記トレンチの内面を覆うゲート絶縁膜 (1 6) と、

前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極 (1 8) 、

を有し、

前記半導体基板が、

前記トレンチの側面で前記ゲート絶縁膜に接する n 型のソース層 (3 0) と、

前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接する p 型のボディ層 (3 4) と、40

前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びている p 型トレンチ下層 (3 5) と、

複数の p 型ディープ層 (3 6) と、

複数の n 型ディープ層 (3 7) 、

を有し、

前記各 p 型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第 1 方向に沿って伸びてあり、上側から前記半導体基板を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記ト

レンチの下側に配置されている前記 p 型トレンチ下層に接しており、
 前記各 n 型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接しており、
 前記各 p 型ディープ層は、
 p 型ディープ下層 (136A) と、
 前記 p 型ディープ下層の上側に配置されており、前記 p 型ディープ下層よりも高い p 型不純物濃度を有する p 型ディープ上層 (136B)、
 を有し、
 前記 p 型ディープ上層は、前記トレンチの底面よりも上側に配置されている、電界効果トランジスタ。

10

【請求項 23】

電界効果トランジスタ (10) であって、
 上面にトレンチ (14) が設けられた半導体基板 (12) と、
 前記トレンチの内面を覆うゲート絶縁膜 (16) と、
 前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極 (18)、
 を有し、
 前記半導体基板が、
 前記トレンチの側面で前記ゲート絶縁膜に接する n 型のソース層 (30) と、
 前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接する p 型のボディ層 (34) と、
 前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びている p 型トレンチ下層 (35) と、
 複数の p 型ディープ層 (36) と、
 複数の n 型ディープ層 (37)、
 を有し、

20

前記各 p 型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第 1 方向に沿って伸びてあり、上側から前記半導体基板を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記 p 型トレンチ下層に接しており、
 前記各 n 型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接しており、
 対応する前記トレンチの底面から前記各 p 型トレンチ下層の下面までの深さは、前記半導体基板の上面から前記ボディ層の下面までの深さと一致する、電界効果トランジスタ。

30

【請求項 24】

電界効果トランジスタ (10) であって、
 上面にトレンチ (14) が設けられた半導体基板 (12) と、
 前記トレンチの内面を覆うゲート絶縁膜 (16) と、
 前記トレンチ内に配置されており、前記ゲート絶縁膜によって前記半導体基板から絶縁されているゲート電極 (18)、
 を有し、
 前記半導体基板が、
 前記トレンチの側面で前記ゲート絶縁膜に接する n 型のソース層 (30) と、
 前記ソース層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接する p 型のボディ層 (34) と、
 前記トレンチの下側に配置されており、上側から前記半導体基板を見たときに前記トレンチの長手方向に沿って伸びている p 型トレンチ下層 (35) と、
 複数の p 型ディープ層 (36) と、
 複数の n 型ディープ層 (37)、

40

50

を有し、

前記各 p 型ディープ層が、前記ボディ層から下側に突出しており、前記ボディ層から前記トレンチの底面よりも下側まで伸びており、上側から前記半導体基板を見たときに前記トレンチに対して交差する第 1 方向に沿って伸びており、上側から前記半導体基板を見たときに前記第 1 方向に対して直交する第 2 方向に間隔部を開けて配置されており、前記トレンチの下側に配置されている前記 p 型トレンチ下層に接してあり、

前記各 n 型ディープ層が、対応する前記間隔部内に配置されており、前記ボディ層の下側に位置する前記トレンチの前記側面で前記ゲート絶縁膜に接しており、

前記 p 型トレンチ下層は、前記トレンチの長手方向に沿って分断されており、

前記各 p 型ディープ層は、前記 p 型トレンチ下層の分断された部分を通過する、電界効果トランジスタ。 10

20

30

40

50