

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年5月11日(11.05.2017)



(10) 国際公開番号
WO 2017/077578 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/080952
- (22) 国際出願日: 2015年11月2日(02.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098 ノースブリッジロード 111、ペニンシュラ プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 舩岡 富士雄(MASUOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting株式会社内 Tokyo (JP). 中村 広記(NAKAMURA Hiroki) [JP/JP]; 〒1020072 東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting株式会社内 Tokyo

(JP). 原田 望(HARADA Nozomu) [JP/JP]; 〒1020072 東京都千代田区飯田橋1-12-13 いずみ九段ビル5F Semicon Consulting株式会社内 Tokyo (JP).

(74) 代理人: 西島 孝喜, 外(NISHIJIMA Takaki et al.); 〒1008355 東京都千代田区丸の内3丁目3番1号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]

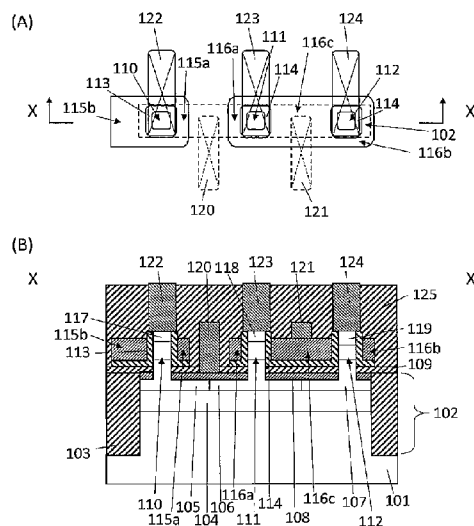


Fig.1

(57) Abstract: The purpose of the present invention is to provide a semiconductor device having a structure enabling high-speed operations. The problem is solved by a semiconductor device characterized by having: a planar interconnecting wiring layer formed on a substrate, said interconnecting wiring layer being formed of a semiconductor; a first columnar semiconductor layer formed on the interconnecting wiring layer; a compound layer formed on the whole interconnecting wiring layer upper surface excluding a bottom portion of the first columnar semiconductor layer, said compound layer being formed of a semiconductor and a metal; a first gate insulating film surrounding the first columnar semiconductor layer; a first gate electrode surrounding the first gate insulating film; and first gate wiring connected to the first gate electrode.

(57) 要約:

[続葉有]

WO 2017/077578 A1



ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, 添付公開書類:

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

本発明は、高速動作を可能とする構造を有する半導体装置を提供することを目的とする。基板上に形成された半導体からなる平面状の相互配線層と、前記相互配線層上に形成された第 1 の柱状半導体層と、前記第 1 の柱状半導体層底部を除く前記相互配線層上部全面に形成された半導体と金属の化合物層と、前記第 1 の柱状半導体層を取り囲む第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜を取り囲む第 1 のゲート電極と、前記第 1 のゲート電極に接続された第 1 のゲート配線と、を有することを特徴とすることにより上記課題を解決する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は半導体装置に関する。

背景技術

[0002] 半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。MOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲートが柱状半導体層を取り囲む構造のSurrounding Gate Transistor (SGT) が提案された（例えば、特許文献1、特許文献2、特許文献3）。

[0003] 柱状半導体層の下部の平面状半導体層の、ゲート電極の側壁にサイドウォール状に形成された絶縁膜の外側の箇所にシリサイドを形成し、柱状半導体層の下部の平面状半導体層に形成された拡散層の低抵抗化を行うことが提案されている（例えば、特許文献4）。しかしながら、ゲート電極の側壁にサイドウォール状に形成された絶縁膜の外側から、柱状半導体層の下部の間は、拡散層のみが存在し、寄生抵抗が低減できていない。

先行技術文献

特許文献

[0004] 特許文献1：特開平2-71556号公報

特許文献2：特開平2-188966号公報

特許文献3：特開平3-145761号公報

特許文献4：特開2015-188115号公報

発明の概要

発明が解決しようとする課題

[0005] そこで、本発明は、高速動作を可能とする構造を有する半導体装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の半導体装置は、基板上に形成された半導体からなる平面状の相互配線層と、前記相互配線層上に形成された第１の柱状半導体層と、前記第１の柱状半導体層底部を除く前記相互配線層上部全面に形成された半導体と金属の化合物層と、前記第１の柱状半導体層を取り囲む第１のゲート絶縁膜と、前記第１のゲート絶縁膜を取り囲む第１のゲート電極と、前記第１のゲート電極に接続された第１のゲート配線と、を有することを特徴とする。

[0007] また、前記相互配線層上部に形成された第１の拡散層を有し、前記半導体と金属の化合物層は前記第１の拡散層上部に形成されることを特徴とする。

[0008] また、前記第１の柱状半導体層下部にさらに形成された前記第１の拡散層を有することを特徴とする。

[0009] また、前記第１の柱状半導体層上部に形成された第２の拡散層を有することを特徴とする。

[0010] また、前記第１の拡散層は第１の導電型であることを特徴とする。

[0011] また、前記相互配線層上に形成された第２の柱状半導体層と、前記第２の柱状半導体層を取り囲む第１のゲート絶縁膜と、前記第１のゲート絶縁膜を取り囲む第２のゲート電極と、前記第２のゲート電極に接続された前記第１のゲート配線と、前記相互配線層上部に形成された前記第１の拡散層に隣接して形成された第２の導電型の第３の拡散層と、を有し、前記半導体と金属の化合物層は前記第２の柱状半導体層底部を除く前記第３の拡散層上部に形成されることを特徴とし、前記第２の柱状半導体層下部にさらに形成された前記第３の拡散層と、を有することを特徴とする。

[0012] また、前記第２の柱状半導体層上部に形成された第４の拡散層を有することを特徴とする。

[0013] また、前記相互配線層上に形成された第３の柱状半導体層と、前記第３の

柱状半導体層を取り囲む第2のゲート絶縁膜と、前記第2のゲート絶縁膜を取り囲む第3のゲート電極と、前記第3のゲート電極に接続された第2のゲート配線と、前記相互配線層上部に形成された前記第3の拡散層に隣接して形成された第1の導電型の第5の拡散層と、を有し、前記半導体と金属の化合物層は前記第3の柱状半導体層底部を除く前記第5の拡散層上部に形成されることを特徴とし、前記第3の柱状半導体層下部にさらに形成された前記第5の拡散層と、を有することを特徴とする。

[0014] また、前記第3の柱状半導体層上部に形成された第6の拡散層を有することを特徴とする。

[0015] また、前記相互配線層の周囲に第1の絶縁膜を有することを特徴とする。

[0016] また、前記第1のゲート絶縁膜と前記半導体と金属の化合物層との間に第2の絶縁膜を有することを特徴とする。

[0017] また、前記第1の拡散層と前記第3の拡散層と前記第5の拡散層の下部に隣接し、前記相互配線層内に形成された第1導電型の第7の拡散層を有することを特徴とする。

[0018] また、前記半導体と金属の化合物層上に形成された第1のコンタクトを有することを特徴とする。

[0019] また、前記第1のゲート配線上に形成された第2のコンタクトを有することを特徴とする。

発明の効果

[0020] 本発明によれば、高速動作を可能とする構造を有する半導体装置を提供することができる。

[0021] 基板上に形成された半導体からなる平面状の相互配線層と、前記相互配線層上に形成された第1の柱状半導体層と、前記第1の柱状半導体層底部を除く前記相互配線層上部全面に形成された半導体と金属の化合物層と、により、柱状半導体層底部を除く相互配線層上部全面に半導体と金属の化合物を形成することにより、ゲート電極の外側から柱状半導体層の下部の間の寄生抵抗を低減できる。

[0022] また、前記相互配線層上部に形成された前記第 1 の拡散層に隣接して形成された第 2 の導電型の第 3 の拡散層と、を有し、前記半導体と金属の化合物層は前記第 2 の柱状半導体層底部を除く前記第 3 の拡散層上部に形成されることを特徴とすることにより、第 1 の柱状半導体層と第 2 の柱状半導体層とで構成されるインバータにおいて、第 1 の拡散層の寄生抵抗を低減し、且つ第 3 の拡散層の寄生抵抗を低減し、加えて、第 1 の拡散層と第 3 の拡散層とを半導体と金属の化合物層により接続し出力とすることができる。

[0023] さらに、前記相互配線層上に形成された第 3 の柱状半導体層と、前記第 3 の柱状半導体層を取り囲む第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜を取り囲む第 3 のゲート電極と、前記第 3 のゲート電極に接続された第 2 のゲート配線と、前記相互配線層上部に形成された前記第 3 の拡散層に隣接して形成された第 1 の導電型の第 5 の拡散層と、を有し、前記半導体と金属の化合物層は前記第 3 の柱状半導体層底部を除く前記第 5 の拡散層上部に形成されることを特徴とし、前記第 3 の柱状半導体層下部にさらに形成された前記第 5 の拡散層と、を有することを特徴とすることにより、寄生抵抗を低減し、柱状半導体層下の相互配線層により、占有面積が小さい S R A M セルを実現することができる。

[0024] また、前記第 1 のゲート絶縁膜と前記半導体と金属の化合物層との間に第 2 の絶縁膜を有することにより、半導体と金属の化合物を第 2 の絶縁膜で覆うことで、第 1 のゲート絶縁膜が金属により汚染されることを防ぐことができる。

図面の簡単な説明

[0025] [図1] (A) は本発明に係る半導体装置の平面図である。(B) は (A) の X-X' 面での断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施形態に係る半導体装置を、図 1 を参照しながら説明する。本実施例の半導体層は、シリコン層であることが好ましい。また、半導体層は、Ge、C といった IV 族の半導体としてもよい。また、半導体層は

Ⅲ族とⅤ族の化合物半導体としてもよい。

[0027] 基板 101 上に形成された半導体からなる平面状の相互配線層 102 と、前記相互配線層 102 上に形成された第 1 の柱状半導体層 112 と、前記第 1 の柱状半導体層 112 底部を除く前記相互配線層 102 上部全面に形成された半導体と金属の化合物層 108 と、前記第 1 の柱状半導体層 112 を取り囲む第 1 のゲート絶縁膜 114 と、前記第 1 のゲート絶縁膜 114 を取り囲む第 1 のゲート電極 116b と、前記第 1 のゲート電極 116b に接続された第 1 のゲート配線 116c と、を有することを特徴とする。半導体と金属の化合物層 108 の金属は、ニッケル、タングステン、チタン、コバルトのどれか 1 つを含むことが好ましい。半導体と金属の化合物層 108 の金属は、高融点金属を用いてもよい。

[0028] 基板 101 上に形成された半導体からなる平面状の相互配線層 102 と、前記相互配線層 102 上に形成された第 1 の柱状半導体層 112 と、前記第 1 の柱状半導体層 112 底部を除く前記相互配線層 102 上部全面に形成された半導体と金属の化合物層 108 と、により、柱状半導体層底部を除く相互配線層上部全面に半導体と金属の化合物を形成することにより、ゲート電極の外側から柱状半導体層の下部の間の寄生抵抗を低減できる。

[0029] 第 1 のゲート絶縁膜 114 は酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか、もしくは酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか一つを少なくとも含むことが好ましい。

[0030] また、第 1 のゲート電極 116b は金属からなることが好ましい。

[0031] また、前記相互配線層 102 上部に形成された第 1 の拡散層 107 を有し、前記半導体と金属の化合物層 108 は前記第 1 の拡散層 107 上部に形成されることを特徴とする。

[0032] また、前記第 1 の柱状半導体層 112 下部にさらに形成された前記第 1 の拡散層 107 を有することを特徴とする。

[0033] また、前記第 1 の柱状半導体層 112 上部に形成された第 2 の拡散層 119 を有することを特徴とする。第 1 の拡散層は n 型であることが好ましい。

[0034] また、前記第1の拡散層107は第1の導電型であることを特徴とする。

第1の導電層は、n型であることが好ましい。

[0035] また、前記相互配線層102上に形成された第2の柱状半導体層111と、前記第2の柱状半導体層111を取り囲む第1のゲート絶縁膜114と、前記第1のゲート絶縁膜114を取り囲む第2のゲート電極116aと、前記第2のゲート電極116aに接続された前記第1のゲート配線116cと、前記相互配線層102上部に形成された前記第1の拡散層107に隣接して形成された第2の導電型の第3の拡散層106と、を有し、前記半導体と金属の化合物層108は前記第3の拡散層106上部に形成されることを特徴とし、前記第2の柱状半導体層111下部にさらに形成された前記第3の拡散層106と、を有することを特徴とする。また、第2の導電型はp型であることが好ましい。また、第2のゲート電極116aは金属からなることが好ましい。

[0036] 第1の柱状半導体層112と第2の柱状半導体層111とで構成されるインバータにおいて、第1の拡散層107の寄生抵抗を低減し、且つ第3の拡散層106の寄生抵抗を低減し、加えて、第1の拡散層107と第3の拡散層106とを半導体と金属の化合物層108により接続し出力とすることができる。

[0037] また、前記第2の柱状半導体層111上部に形成された第4の拡散層118を有することを特徴とする。第4の拡散層はp型であることが好ましい。

[0038] また、前記相互配線層102上に形成された第3の柱状半導体層110と、前記第3の柱状半導体層110を取り囲む第2のゲート絶縁膜113と、前記第2のゲート絶縁膜113を取り囲む第3のゲート電極115aと、前記第3のゲート電極115aに接続された第2のゲート配線115bと、前記相互配線層102上部に形成された前記第3の拡散層106に隣接して形成された第1の導電型の第5の拡散層105と、を有し、前記半導体と金属の化合物層108は前記第5の拡散層105上部に形成されることを特徴とし、前記第3の柱状半導体層110下部にさらに形成された前記第5の拡散

層 1 0 5 と、を有することを特徴とする。

[0039] 上記構成により、第 1 の柱状半導体層 1 1 2 を有するドライバトランジスタと、第 2 の柱状半導体層 1 1 1 を有する負荷トランジスタと、第 3 の柱状半導体層 1 1 0 を有する選択トランジスタの各トランジスタを、柱状半導体層 1 1 2、1 1 1、1 1 0 下で相互に相互配線層 1 0 8 により接続することにより、寄生抵抗を低減し、占有面積が小さい S R A M セルを実現することができる。上記ドライバトランジスタ、負荷トランジスタ、選択トランジスタを 2 組用いることで S R A M セルとすることができる。

[0040] 第 2 のゲート絶縁膜 1 1 3 は酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか、もしくは酸化膜、窒化膜、酸窒化膜、高誘電体膜のどれか一つを少なくとも含むことが好ましい。

[0041] また、第 3 のゲート電極 1 1 5 a は金属からなることが好ましい。

[0042] また、前記第 3 の柱状半導体層 1 1 0 上部に形成された第 6 の拡散層 1 1 7 を有することを特徴とする。第 6 の拡散層 1 1 7 は、n 型であることが好ましい。

[0043] また、前記相互配線層 1 0 2 の周囲に第 1 の絶縁膜 1 0 3 を有することを特徴とする。

[0044] また、前記第 1 のゲート絶縁膜 1 1 4 と前記半導体と金属の化合物層 1 0 8 との間に第 2 の絶縁膜 1 0 9 を有することを特徴とする。第 2 の絶縁膜 1 0 9 により、半導体と金属の化合物層 1 0 8 を第 2 の絶縁膜 1 0 9 で覆うことで、第 1 のゲート絶縁膜 1 1 4 が金属により汚染されることを防ぐことができる。

[0045] また、前記第 1 の拡散層 1 0 7 と前記第 3 の拡散層 1 0 6 と前記第 5 の拡散層 1 0 5 の下部に隣接し、前記相互配線層 1 0 2 内に形成された第 1 導電型の第 7 の拡散層 1 0 4 を有することを特徴とする。第 7 の拡散層 1 0 4 により、基板 1 0 1 が p 型るとき、基板と第 7 の拡散層 1 0 4 とを電氣的に絶縁することができる。

[0046] また、前記半導体と金属の化合物層 1 0 8 上に形成された第 1 のコンタク

ト 1 2 0 を有することを特徴とする。第 1 のコンタクト 1 2 0 により、S R A M セルの場合、ドライバトランジスタ、負荷トランジスタからなるインバータの出力を、もう一方のドライバトランジスタ、負荷トランジスタからなるインバータの入力に接続することができる。

[0047] また、前記第 1 のゲート配線 1 1 6 c 上に形成された第 2 のコンタクト 1 2 1 を有することを特徴とする。第 2 のコンタクト 1 2 1 により、S R A M セルの場合、もう一方のドライバトランジスタ、負荷トランジスタからなるインバータの出力を、ドライバトランジスタ、負荷トランジスタからなるインバータの入力に接続することができる。

[0048] また、第 1 の柱状半導体層 1 1 2 の上には、コンタクト 1 2 4 が形成され、第 2 の柱状半導体層 1 1 1 の上にはコンタクト 1 2 3 が形成され、第 3 の柱状半導体層 1 1 0 上にはコンタクト 1 2 2 が形成される。また、層間絶縁膜 1 2 5 が形成される。

[0049] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0050] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0051] 1 0 1. 基板
1 0 2. 相互配線層
1 0 3. 第 1 の絶縁膜
1 0 4. 第 7 の拡散層
1 0 5. 第 5 の拡散層
1 0 6. 第 3 の拡散層
1 0 7. 第 1 の拡散層

- 108. 半導体と金属の化合物層
- 109. 第2の絶縁膜
- 110. 第3の柱状半導体層
- 111. 第2の柱状半導体層
- 112. 第1の柱状半導体層
- 113. 第2のゲート絶縁膜
- 114. 第1のゲート絶縁膜
- 115 a. 第3のゲート電極
- 115 b. 第2のゲート配線
- 116 a. 第2のゲート電極
- 116 b. 第1のゲート電極
- 116 c. 第1のゲート配線
- 117. 第6の拡散層
- 118. 第4の拡散層
- 119. 第2の拡散層
- 120. 第1のコンタクト
- 121. 第2のコンタクト
- 122. コンタクト
- 123. コンタクト
- 124. コンタクト
- 125. 層間絶縁膜

請求の範囲

- [請求項1] 基板上に形成された半導体からなる平面状の相互配線層と、
前記相互配線層上に形成された第1の柱状半導体層と、
前記第1の柱状半導体層底部を除く前記相互配線層上部全面に形成された半導体と金属の化合物層と、
前記第1の柱状半導体層を取り囲む第1のゲート絶縁膜と、
前記第1のゲート絶縁膜を取り囲む第1のゲート電極と、
前記第1のゲート電極に接続された第1のゲート配線と、
を有することを特徴とする半導体装置。
- [請求項2] 前記相互配線層上部に形成された第1の拡散層を有し、
前記半導体と金属の化合物層は前記第1の拡散層上部に形成されることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1の柱状半導体層下部にさらに形成された前記第1の拡散層を有することを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第1の柱状半導体層上部に形成された第2の拡散層を有することを特徴とする請求項2に記載の半導体装置。
- [請求項5] 前記第1の拡散層は第1の導電型であることを特徴とする請求項3に記載の半導体装置。
- [請求項6] 前記相互配線層上に形成された第2の柱状半導体層と、
前記第2の柱状半導体層を取り囲む第1のゲート絶縁膜と、
前記第1のゲート絶縁膜を取り囲む第2のゲート電極と、
前記第2のゲート電極に接続された前記第1のゲート配線と、
前記相互配線層上部に形成された前記第1の拡散層に隣接して形成された第2の導電型の第3の拡散層と、を有し、
前記半導体と金属の化合物層は前記第2の柱状半導体層底部を除く前記第3の拡散層上部に形成されることを特徴とし、
前記第2の柱状半導体層下部にさらに形成された前記第3の拡散層と、

を有することを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記第 2 の柱状半導体層上部に形成された第 4 の拡散層を有することを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記相互配線層上に形成された第 3 の柱状半導体層と、
前記第 3 の柱状半導体層を取り囲む第 2 のゲート絶縁膜と、
前記第 2 のゲート絶縁膜を取り囲む第 3 のゲート電極と、
前記第 3 のゲート電極に接続された第 2 のゲート配線と、
前記相互配線層上部に形成された前記第 3 の拡散層に隣接して形成された第 1 の導電型の第 5 の拡散層と、を有し、
前記半導体と金属の化合物層は前記第 3 の柱状半導体層底部を除く前記第 5 の拡散層上部に形成されることを特徴とし、
前記第 3 の柱状半導体層下部にさらに形成された前記第 5 の拡散層と、

を有することを特徴とする請求項 6 に記載の半導体装置。

[請求項9] 前記第 3 の柱状半導体層上部に形成された第 6 の拡散層を有することを特徴とする請求項 8 に記載の半導体装置。

[請求項10] 前記相互配線層の周囲に第 1 の絶縁膜を有することを特徴とする請求項 1 に記載の半導体装置。

[請求項11] 前記第 1 のゲート絶縁膜と前記半導体と金属の化合物層との間に第 2 の絶縁膜を有することを特徴とする請求項 1 に記載の半導体装置。

[請求項12] 前記第 1 の拡散層と前記第 3 の拡散層と前記第 5 の拡散層の下部に隣接し、前記相互配線層内に形成された第 1 導電型の第 7 の拡散層を有することを特徴とする請求項 8 に記載の半導体装置。

[請求項13] 前記半導体と金属の化合物層上に形成された第 1 のコンタクトを有することを特徴とする請求項 8 に記載の半導体装置。

[請求項14] 前記第 1 のゲート配線上に形成された第 2 のコンタクトを有することを特徴とする請求項 8 に記載の半導体装置。

[図1]

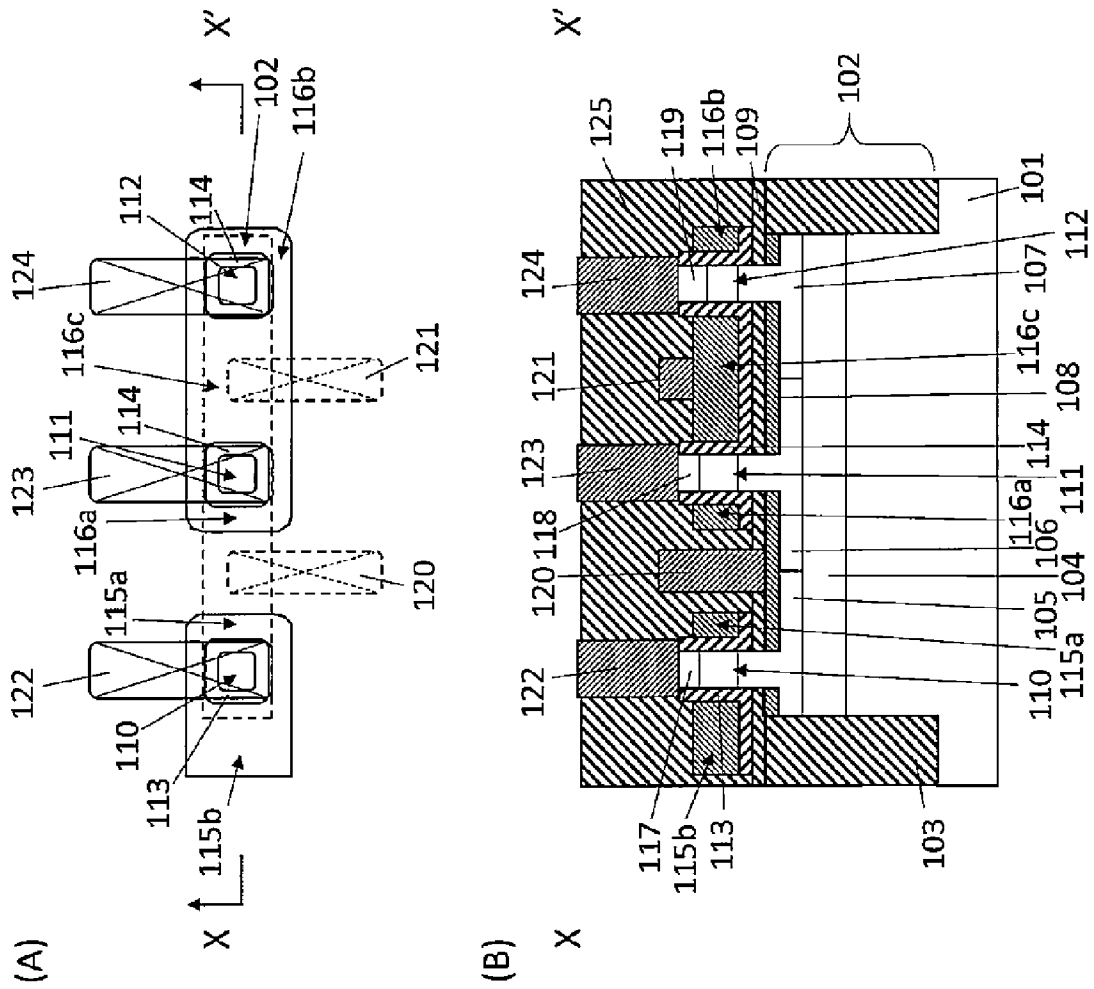


Fig.1

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/080952

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-272874 A (Unisantis Electronics Japan Ltd.), 02 December 2010 (02.12.2010), paragraphs [0018] to [0024], [0027], [0028]; fig. 1 to 3 (Family: none)	1-14
Y	JP 2011-108702 A (Unisantis Electronics Japan Ltd.), 02 June 2011 (02.06.2011), paragraphs [0012], [0014], [0015]; fig. 9, 11 & EP 2323166 A1 paragraphs [0027] to [0029], [0031], [0032]; fig. 9, 11 & US 2011/0115011 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-14

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
05 January 2016 (05.01.16)

Date of mailing of the international search report
19 January 2016 (19.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-272874 A（日本ユニサンティスエレクトロニクス株式会社） 2010.12.02, 段落[0018]-[0024], [0027], [0028], 図 1-3 (ファミリーなし)	1-14
Y	JP 2011-108702 A（日本ユニサンティスエレクトロニクス株式会社） 2011.06.02, 段落[0012], [0014], [0015], 図 9, 11 & EP 2323166 A1, 段落[0027]-[0029], [0031], [0032], 図 9, 11 & US 2011/0115011 A1 & CN 102136496 A & KR 10-2011-0053201 A & TW 201133855 A	1-14

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.01.2016

国際調査報告の発送日

19.01.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516