



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 008 867 A1** 2008.08.21

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 008 867.6**

(22) Anmeldetag: **13.02.2008**

(43) Offenlegungstag: **21.08.2008**

(51) Int Cl.⁸: **H01L 29/739** (2006.01)
H01L 21/331 (2006.01)

(30) Unionspriorität:
10-2007-0015390 14.02.2007 KR

(74) Vertreter:
**Kuhnen & Wacker Patent- und
Rechtsanwaltsbüro, 85354 Freising**

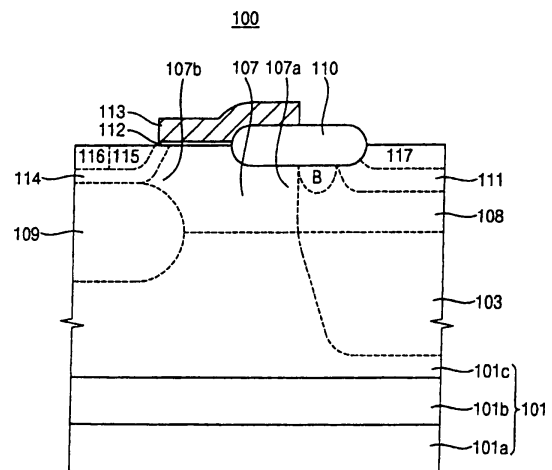
(71) Anmelder:
**Samsung Electronics Co., Ltd., Suwon, Kyonggi,
KR**

(72) Erfinder:
Lee, Mueng-Ryul, Seoul, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleitertransistorvorrichtung und Verfahren zum Herstellen derselben**

(57) Zusammenfassung: Eine Halbleitertransistorvorrichtung (100) umfasst eine Driftregion, eine isolierende Struktur (110), einen Gate-Isolator (112), eine Gate-Elektrode (113), eine Source (115, 116) und eine Drain (117). Die Driftregion umfasst einen ersten lateralen Abschnitt (107) mit einer ersten Dotandenkonzentration und einen zweiten lateralen Abschnitt (108) mit einer zweiten Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts (107) ist. Die isolierende Struktur (110) ist an der Driftregion gebildet und ist über einer Grenze (107a) zwischen dem ersten und dem zweiten lateralen Abschnitt (107, 108) angeordnet, derart, dass eine Locherzeugung in der Driftregion während eines Betriebs minimiert ist.



Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Diese Anmeldung beansprucht die Priorität gemäß 35 USC § 119 aus der am 14. Februar 2007 beim Koreanischen Amt für geistiges Eigentum eingereichten Koreanischen Patentanmeldung Nr. 2007-15390, deren Offenbarung hierin in ihrer Gesamtheit durch Bezugnahme aufgenommen ist.

1. Gebiet der Erfindung

[0002] Die vorliegende Erfindung bezieht sich allgemein auf Halbleitertransistorvorrichtungen und ein Verfahren zum Herstellen der Halbleitertransistorvorrichtungen und insbesondere auf eine Silizium-auf-Isolator-(engl.: silicon on insulator; SOI) Transistorvorrichtung eines lateralen Bipolarübergangs mit isoliertem Gate (engl.: lateral insulated gate bipolar transition; LIGBT) mit einer mehrfach dotierten Driftregion und ein Verfahren zum Herstellen derselben.

2. Hintergrund der Erfindung

[0003] [Fig. 1](#) ist eine Querschnittsansicht einer herkömmlichen Halbleitertransistorvorrichtung **10**. Bezug nehmend auf [Fig. 1](#) umfasst die Halbleitertransistorvorrichtung **10** eine erste N-Typ-Störstellenregion **1**, eine zweite N-Typ-Störstellenregion **8**, eine dritte N-Typ-Störstellenregion **6**, eine erste P-Typ-Störstellenregion **5**, eine zweite P-Typ-Störstellenregion **7**, eine dritte P-Typ-Störstellenregion **9**, eine Feldoxidstruktur **2**, einen Gate-Isolator **3** und eine Gate-Elektrode **4**.

[0004] Sowohl die erste, die zweite als auch die dritte N-Typ-Störstellenregion **1**, **8** bzw. **6** sind mit einem jeweiligen N-Typ-Dotanden dotiert. Der jeweilige N-Typ-Dotand kann beispielsweise Stickstoff (N), Phosphor (P), Arsen (As), Antimon (Sb) oder Wismut (Bi) sein. Sowohl die erste, die zweite als auch die dritte P-Typ-Störstellenregion **5**, **7** bzw. **9** sind zusätzlich mit einem jeweiligen P-Typ-Dotanden dotiert. Der jeweilige P-Typ-Dotand kann beispielsweise Bor (B), Aluminium (Al), Gallium (Ga) oder Indium (In) sein.

[0005] Die Feldoxidstruktur **2** ist bei einer Oberfläche der ersten N-Typ-Störstellenregion **1** gebildet. Der Gate-Isolator **3** ist an einem freigelegten Abschnitt der ersten N-Typ-Störstellenregion **1** und der ersten P-Typ-Störstellenregion **5** gebildet. Der Gate-Isolator **3** ist gebildet, um sich eine vorbestimmte Entfernung von der Feldoxidstruktur **2** zu erstrecken. Der Gate-Isolator **3** kann ein Siliziumoxid aufweisen. Die Gate-Elektrode **4** ist an dem Gate-Isolator **3** und der Feldoxidstruktur **2** gebildet. Die Gate-Elektrode **4** weist ein leitfähiges Material, wie beispielsweise ein dotiertes Polysilizium, auf.

[0006] Die erste P-Typ-Störstellenregion **5** ist bei einem oberen Abschnitt der ersten N-Typ-Störstellenregion **1** gebildet. Der Gate-Isolator überlappt die erste P-Typ-Störstellenregion **5** an der Oberfläche eines Halbleitermaterials mit der ersten P-Typ-Störstellenregion **5**. Die dritte N-Typ-Störstellenregion **6** und die zweite P-Typ-Störstellenregion **7** berühren einander und sind an einer Oberfläche der ersten P-Typ-Störstellenregion **5** gebildet. Der Gate-Isolator **3** überlappt zusätzlich einen Abschnitt der dritten N-Typ-Störstellenregion **6**.

[0007] Die dritte N-Typ-Störstellenregion **6** und die zweite P-Typ-Störstellenregion **7** sind hier durch die erste P-Typ-Störstellenregion **5** umschlossen. Die erste N-Typ-Störstellenregion **1** und die dritte N-Typ-Störstellenregion **6** sind daher durch die erste P-Typ-Störstellenregion **5** horizontal getrennt.

[0008] Die zweite N-Typ-Störstellenregion **8** ist hin zu einem oberen Abschnitt der ersten N-Typ-Störstellenregion **1** gebildet, um sich von der Feldoxidstruktur **2** in einer Richtung, die der der dritten N-Typ-Störstellenregion **6** entgegengesetzt ist, zu erstrecken. Die dritte P-Typ-Störstellenregion **9** ist an einer Oberfläche der zweiten N-Typ-Störstellenregion **8** gebildet. Die dritte P-Typ-Störstellenregion **9** ist insbesondere durch die zweite N-Typ-Störstellenregion **8** umschlossen.

[0009] Die erste N-Typ-Störstellenregion **1** hat hier eine erste Dotandenkonzentration, und die zweite N-Typ-Störstellenregion **8** hat eine wesentlich höhere zweite Dotandenkonzentration als die erste Dotandenkonzentration. Die dritte N-Typ-Störstellenregion **6** und die zweite P-Typ-Störstellenregion **7** bilden eine Source und die dritte P-Typ-Störstellenregion **9** bildet eine Drain für die Halbleitertransistorvorrichtung **10** von [Fig. 1](#).

[0010] [Fig. 2](#) ist eine grafische Darstellung einer Konzentration eines N-Typ-Dotanden unter dem Gate-Isolator **3** und der Feldoxidstruktur **2** bei der herkömmlichen Halbleitertransistorvorrichtung **10**. Bezug nehmend auf [Fig. 2](#) ist die Konzentration des N-Typ-Dotanden unter der Feldoxidschicht **2** in der ersten N-Typ-Störstellenregion **1** im Wesentlichen konstant.

[0011] Wie in [Fig. 3](#) dargestellt ist, führten Anmelde eine Simulation durch, die eine Region „A“ in der Querschnittsansicht von [Fig. 2](#) mit einer relativ großen Menge an Löchern, die in dieser erzeugt werden, wenn Betriebsspannungen zwischen der Source und der Drain und zwischen der Gate-Elektrode **4** und der Source der Halbleitertransistorvorrichtung **10** angelegt werden, darstellt. Die Region A mit einer großen Menge an Löchern, die in dieser erzeugt werden, ist unter der Feldoxidstruktur **2** angeordnet, und Anmelde realisieren, dass die Region A daraus resultiert,

dass die Konzentration des N-Typ-Dotanden unter der Feldoxidschicht **2** im Wesentlichen konstant ist.

[0012] Wenn Betriebsspannungen zwischen der Source und der Drain und zwischen der Gate-Elektrode **4** und der Source angelegt werden, kann ein Strom, der in einem Kanal, der unter dem Gate-Isolator **3** erzeugt wird, fließt, unter der Feldoxidstruktur **2** fließen. Elektronen und Löcher werden hier durch Kollisionen zwischen solchen Elektronen und Atomen erzeugt. Die Löcher, die durch solche Kollisionen erzeugt werden, bewegen sich zu der zweiten P-Typ-Störstellenregion **7** über die erste P-Typ-Störstellenregion **5**, derart, dass die Löcher aus der zweiten P-Typ-Störstellenregion **7** entfernt werden.

[0013] Die erste P-Typ-Störstellenregion **5** hat einen Widerstand, und ein zusätzlicher Strom wird erzeugt, wenn sich die relativ große Menge an Löchern zu der zweiten P-Typ-Störstellenregion **7** bewegt. Eine solche Menge an Strom ist im Wesentlichen proportional zu der Menge solcher Löcher. Der erhöhte Strom aus einer Erzeugung der relativ großen Menge an Löchern kann die Betriebskapazität der Halbleitertransistorvorrichtung **10** verschlechtern.

[0014] Die Halbleitertransistorvorrichtung **10** ist insbesondere als ein P-N-P-Bipolarschichttransistor, der der ersten P-Typ-Störstellenregion **5**, der ersten und der zweiten N-Typ-Störstellenregionen **1** und **8** und der dritten P-Typ-Störstellenregion **9** entspricht, in Betrieb. Wenn der zusätzliche Strom erzeugt wird, kann jedoch ein N-P-N-Transistor, der durch die dritte N-Typ-Störstellenregion **6**, die erste P-Typ-Störstellenregion **5** und die erste N-Typ-Störstellenregion **1** gebildet ist, in Betrieb sein.

[0015] Der Betrieb des N-P-N-Transistors kann den Strom des P-N-P-Transistors, der der ersten P-Typ-Störstellenregion **5**, der ersten und der zweiten N-Typ-Störstellenregionen **1** und **8** und der dritten P-Typ-Störstellenregion **9** entspricht, schnell steigern, derart, dass sich eine Durchschlagsspannung der Halbleitertransistorvorrichtung **10** verringert. Wenn ein relativ großer zusätzlicher Strom erzeugt wird, wird daher die Betriebskapazität der Halbleitertransistorvorrichtung **10** verschlechtert.

ZUSAMMENFASSUNG DER ERFINDUNG

[0016] Eine Driftregion mit mehreren dotierten Abschnitten wird demgemäß unter einer isolierenden Struktur zum Minimieren einer Lochbildung in einer Halbleitertransistorvorrichtung gebildet.

[0017] Exemplarische Ausführungsbeispiele der vorliegenden Erfindung schaffen die im Vorhergehenden erwähnte Halbleitertransistorvorrichtung.

[0018] Exemplarische Ausführungsbeispiele der

vorliegenden Erfindung schaffen ein Verfahren zum Herstellen der im Vorhergehenden erwähnten Halbleitervorrichtung.

[0019] Gemäß einem Aspekt der vorliegenden Erfindung umfasst eine Halbleitertransistorvorrichtung eine Driftregion, eine isolierende Struktur, einen Gate-Isolator, eine Gate-Elektrode, eine Source und eine Drain. Die Driftregion umfasst einen ersten lateralen Abschnitt mit einer ersten Dotandenkonzentration und einen zweiten lateralen Abschnitt mit einer zweiten Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts ist. Die isolierende Struktur ist an der Driftregion gebildet und ist über einer Grenze zwischen dem ersten und dem zweiten lateralen Abschnitt angeordnet. Der Gate-Isolator ist an einem freigelegten Abschnitt des ersten lateralen Abschnitts gebildet. Die Gate-Elektrode ist an dem Gate-Isolator und einem Abschnitt der isolierenden Struktur gebildet. Die Source ist hin zu dem ersten lateralen Abschnitt der Driftregion angeordnet, und die Drain ist hin zu dem zweiten lateralen Abschnitt der Driftregion angeordnet. Die Driftregion umfasst ferner einen zusätzlichen N-Typ-Driftabschnitt, der in dem zweiten lateralen Abschnitt hin zu der Drain gebildet ist.

[0020] Bei einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung ist die isolierende Struktur eine Feldoxidstruktur, die um die Grenze zwischen dem ersten und dem zweiten lateralen Abschnitt zentriert ist.

[0021] Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung ist die zweite Dotandenkonzentration mindestens zweimal größer als die erste Dotandenkonzentration. Die erste und die zweite Dotandenkonzentration sind beispielsweise jeweils für einen jeweiligen N-Typ-Dotanden.

[0022] Bei einem anderen Ausführungsbeispiel der vorliegenden Erfindung umfasst die Halbleitertransistorvorrichtung ferner eine P-Typ-Siliziumschicht, die unter dem ersten lateralen Abschnitt angeordnet ist, und umfasst eine erste dotierte P-Typ-Region, die zu einer Source-Seite des ersten lateralen Abschnitts angeordnet ist.

[0023] Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung umfasst die Halbleitertransistorvorrichtung ferner eine zweite dotierte P-Typ-Region, eine dotierte N-Typ-Source-Region und eine dritte dotierte P-Typ-Region. Die zweite dotierte P-Typ-Region ist über der ersten dotierten P-Typ-Region angeordnet und ist zu der Source-Seite des ersten lateralen Abschnitts angeordnet. Die dotierte N-Typ-Source-Region ist in der zweiten dotierten P-Typ-Region zu der Source-Seite der Gate-Elektrode gebildet. Die dritte dotierte P-Typ-Region ist in der zweiten dotierten P-Typ-Region und zu der Seite der

dotierten N-Typ-Source-Region gebildet. Die dotierte N-Typ-Source-Region und die dritte dotierte P-Typ-Region bilden eine Source der Halbleitertransistorvorrichtung.

[0024] Bei einem anderen Ausführungsbeispiel der vorliegenden Erfindung erstrecken sich der Gate-Isolator und die Gate-Elektrode, um über der zweiten dotierten P-Typ-Region und einem Abschnitt der dotierten N-Typ-Source-Region angeordnet zu sein. Der Gate-Isolator und die Gate-Elektrode erstrecken sich alternativ, um über einem Abschnitt der zweiten dotierten P-Typ-Region angeordnet zu sein.

[0025] Bei einem weiteren Ausführungsbeispiel der vorliegenden Erfindung umfasst die Halbleitertransistorvorrichtung ferner eine erste dotierte N-Typ-Region, die unter dem zweiten lateralen Abschnitt der Driftregion angeordnet ist. Eine jeweilige Dotandenkonzentration der ersten dotierten N-Typ-Region ist kleiner als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts.

[0026] Die Halbleitertransistorvorrichtung umfasst zusätzlich ferner eine dotierte P-Typ-Drain-Region, die in dem zusätzlichen N-Typ-Driftabschnitt gebildet ist. Die dotierte P-Typ-Drain-Region bildet die Drain der Halbleitertransistorvorrichtung. Der zusätzliche N-Typ-Driftabschnitt hat eine jeweilige N-Typ-Dotandenkonzentration, die größer als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts ist. Die jeweilige N-Typ-Dotandenkonzentration des zusätzlichen N-Typ-Driftabschnitts erhöht sich beispielsweise von benachbart des zweiten lateralen Abschnitts zu benachbart der dotierten P-Typ-Drain-Region.

[0027] Bei einem anderen Ausführungsbeispiel der vorliegenden Erfindung umfasst die Halbleitertransistorvorrichtung ferner eine isolierende Schicht, die unter der P-Typ-Siliziumschicht angeordnet ist, derart, dass die Halbleitertransistorvorrichtung eine SOI(Silizium-auf-Isolator)Vorrichtung ist. Die isolierende Schicht ist ferner auf einem Halbleitersubstrat angeordnet. Die Halbleitertransistorvorrichtung ist daher eine Silizium-auf-Isolator-(SOI)Vorrichtung eines lateralen Bipolarübergangs mit isoliertem Gate (LIG-BT) bei einem Ausführungsbeispiel der vorliegenden Erfindung.

[0028] Gemäß einem anderen Aspekt der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Halbleitertransistorvorrichtung geschaffen. Bei dem Verfahren zum Herstellen einer Halbleitervorrichtung wird eine Driftregion in einem Substrat gebildet. Die Driftregion umfasst einen ersten lateralen Abschnitt mit einer ersten Dotandenkonzentration und einen zweiten lateralen Abschnitt mit einer zweiten Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts ist. Eine isolierende

Struktur wird an der Driftregion gebildet. Die isolierende Struktur wird über einer Grenze zwischen dem ersten und dem zweiten lateralen Abschnitt angeordnet. Ein zusätzlicher Driftabschnitt der Driftregion wird gebildet. Der zusätzliche Driftabschnitt hat eine dritte Dotandenkonzentration, die höher als die des zweiten lateralen Abschnitts ist. Der zusätzliche Driftabschnitt ist durch den zweiten lateralen Abschnitt von dem ersten lateralen Abschnitt lateral getrennt. Ein Gate-Isolator wird an einem freigelegten Abschnitt des ersten lateralen Abschnitts gebildet. Eine Gate-Elektrode wird an dem Gate-Isolator und einem Abschnitt der isolierenden Struktur gebildet. Eine Source wird gebildet, um hin zu dem ersten lateralen Abschnitt der Driftregion angeordnet zu werden. Eine Drain wird gebildet, um hin zu dem zweiten lateralen Abschnitt der Driftregion angeordnet zu werden, wobei die Drain in dem zusätzlichen Driftabschnitt angeordnet wird.

[0029] Gemäß noch einem anderen Aspekt der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Halbleitertransistorvorrichtung geschaffen. Bei dem Verfahren zum Herstellen einer Halbleitervorrichtung wird eine erste dotierte N-Typ-Region bei einer Siliziumschicht gebildet, derart, dass sich die erste dotierte N-Typ-Region von einer Oberfläche der Siliziumschicht in eine vorbestimmte Tiefe erstreckt. Die erste dotierte N-Typ-Region hat eine erste N-Typ-Dotandenkonzentration. Eine erste dotierte P-Typ-Region wird innerhalb der Siliziumschicht gebildet. Die erste dotierte P-Typ-Region ist von der ersten dotierten N-Typ-Region lateral getrennt. Ein N-Typ-Dotand wird in die gesamte Oberfläche der Siliziumschicht dotiert, um eine Driftregion zu bilden, die einen ersten lateralen Abschnitt mit einer zweiten N-Typ-Dotandenkonzentration und einen zweiten lateralen Abschnitt mit einer dritten N-Typ-Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts ist, umfasst. Der erste laterale Abschnitt wird bei einem Abschnitt der Siliziumschicht, bei dem die erste dotierte P-Typ-Region nicht gebildet wird, gebildet, derart, dass der erste laterale Abschnitt mit der ersten dotierten P-Typ-Region in Berührung kommt. Die zweite laterale Region wird bei einem oberen Abschnitt der ersten dotierten N-Typ-Region gebildet. Eine Feldoxidstruktur wird bei einem Abschnitt der Oberfläche der Siliziumschicht, bei dem der erste laterale Abschnitt und der zweite laterale Abschnitt miteinander in Berührung sind, gebildet. Ein zusätzlicher N-Typ-Driftabschnitt wird bei einem Abschnitt des zweiten lateralen Abschnitts, der mit der Feldoxidstruktur nicht bedeckt ist, gebildet. Der zusätzliche N-Typ-Driftabschnitt hat eine wesentlich größere vierte N-Typ-Dotandenkonzentration als die dritte N-Typ-Dotandenkonzentration. Eine Gate-Struktur, die einen Gate-Isolator und eine Gate-Elektrode umfasst, wird gebildet. Der Gate-Isolator wird an dem ersten lateralen Abschnitt gebildet, derart, dass sich der Gate-Isolator von der Feldoxid-

struktur auf eine vorbestimmte Länge erstreckt. Die Gate-Elektrode wird an dem Gate-Isolator und einem Abschnitt der Feldoxidstruktur gebildet. Eine zweite dotierte P-Typ-Region wird bei einem Abschnitt des ersten lateralen Abschnitts, der mit der Gate-Struktur nicht bedeckt ist, gebildet, derart, dass die zweite dotierte P-Typ-Region mit der ersten dotierten P-Typ-Region in Berührung kommt. Eine dotierte N-Typ-Source-Region wird bei einem Abschnitt der freigelegten Oberfläche der zweiten dotierten P-Typ-Region, der mit der Gate-Struktur in Berührung ist, gebildet. Eine dritte dotierte P-Typ-Region und eine dotierte P-Typ-Drain-Region werden gebildet. Die dritte dotierte P-Typ-Region wird bei einem Abschnitt der freigelegten Oberfläche der zweiten dotierten P-Typ-Region, der mit der N-Typ-Source-Region in Berührung kommt, gebildet. Die dotierte P-Typ-Drain-Region wird an der freigelegten Oberfläche des zusätzlichen N-Typ-Driftabschnitts gebildet.

[0030] Auf diese Art und Weise werden mit den unterschiedlich dotierten ersten und zweiten lateralen Abschnitten der Driftregion Löcher in der Driftregion unter der isolierenden Struktur minimiert. Ein parasitärer Strom aus einer Lochbildung wird daher minimiert, derart, dass die Betriebskapazität der Halbleitertransistorvorrichtung nicht verschlechtert wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0031] Die vorhergehenden und andere Merkmale und Vorteile der vorliegenden Erfindung werden offensichtlicher, wenn diese bei detaillierten exemplarischen Ausführungsbeispielen derselben unter Bezugnahme auf die beigefügten Zeichnungen beschrieben werden, in denen:

[0032] [Fig. 1](#) eine Querschnittsansicht einer herkömmlichen Halbleitertransistorvorrichtung ist;

[0033] [Fig. 2](#) eine grafische Darstellung einer Konzentration eines N-Typ-Dotanden ist, die unter einem Gate-Isolator und einer Feldoxidstruktur, die in der herkömmlichen Halbleitertransistorvorrichtung von [Fig. 1](#) umfasst sind, gemessen wird;

[0034] [Fig. 3](#) die Querschnittsansicht von [Fig. 1](#) mit einer Region mit einer hohen Konzentration von Löchern, die unter der Feldoxidstruktur gebildet wird; gemäß dem Stand der Technik zeigt;

[0035] [Fig. 4](#) eine Querschnittsansicht einer Halbleitertransistorvorrichtung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist;

[0036] [Fig. 5](#), [Fig. 6](#), [Fig. 7](#), [Fig. 8](#), [Fig. 9](#), [Fig. 10](#) und [Fig. 11](#) Querschnittsansichten sind, die Schritte während eines Verfahrens zum Fertigen der Halbleitertransistorvorrichtung von [Fig. 4](#) gemäß einem Ausführungsbeispiel der vorliegenden Erfindung dar-

stellen;

[0037] [Fig. 12](#) eine grafische Darstellung einer Konzentration von N-Typ-Dotanden, die unter einem Gate-Isolator und einer isolierenden Struktur in der Halbleitertransistorvorrichtung in [Fig. 4](#) oder [Fig. 11](#) gemessen wird, gemäß einem Ausführungsbeispiel der vorliegenden Erfindung ist;

[0038] [Fig. 13](#) eine Querschnittsansicht der Halbleitertransistorvorrichtung in [Fig. 4](#) oder [Fig. 11](#) mit einer Region mit einer reduzierten Konzentration von Löchern, die unter der isolierenden Struktur gebildet wird, gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt; und

[0039] [Fig. 14](#) eine Querschnittsansicht einer Halbleitertransistorvorrichtung gemäß einem alternativen Ausführungsbeispiel der vorliegenden Erfindung ist.

[0040] Die Figuren, auf die hierin Bezug genommen ist, sind für eine Klarheit einer Darstellung gezeichnet und sind nicht notwendigerweise maßstabsgetreu gezeichnet. Elemente mit der gleichen Bezugszahl in [Fig. 1](#), [Fig. 2](#), [Fig. 3](#), [Fig. 4](#), [Fig. 5](#), [Fig. 6](#), [Fig. 7](#), [Fig. 8](#), [Fig. 9](#), [Fig. 10](#), [Fig. 11](#), [Fig. 12](#), [Fig. 13](#) und [Fig. 14](#) beziehen sich auf Elemente mit einer ähnlichen Struktur und/oder Funktion.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0041] Die vorliegende Erfindung ist nun im Folgenden unter Bezugnahme auf die beigefügten Zeichnungen, in denen exemplarische Ausführungsbeispiele der Erfindung dargestellt sind, ausführlicher beschrieben. Die Erfindung kann jedoch in unterschiedlichen Formen ausgeführt sein und sollte nicht als auf die hierin dargelegten Ausführungsbeispiele begrenzt aufgefasst werden. Diese Ausführungsbeispiele sind vielmehr vorgesehen, so dass diese Offenbarung gründlich und vollständig ist und Fachleuten den Schutzbereich der Erfindung ausführlich vermitteln wird.

[0042] Es versteht sich von selbst, dass, wenn auf ein Element oder eine Schicht als "auf", „verbunden mit“ und/oder „gekoppelt mit“ einem anderen Element oder einer anderen Schicht Bezug genommen wird, das Element oder die Schicht direkt auf dem anderen Element oder der anderen Schicht, mit diesem oder dieser direkt verbunden und/oder direkt gekoppelt sein kann oder dazwischen liegende Elemente oder Schichten anwesend sein können. Im Gegensatz dazu sind, wenn auf ein Element als „direkt auf“, „direkt verbunden mit“ und/oder „direkt gekoppelt mit“ einem anderen Element oder einer anderen Schicht Bezug genommen wird, keine dazwischen liegenden Elemente oder Schichten anwesend.

[0043] Es versteht sich ferner von selbst, dass, obwohl die Termini „erste(r,s)“, „zweite(r,s)“ etc. hierin verwendet sein können, um verschiedene Elemente, Komponenten, Regionen, Schichten und/oder Abschnitte zu beschreiben, diese Elemente, Komponenten, Regionen, Schichten und/oder Abschnitte nicht durch diese Termini begrenzt sein sollten. Diese Termini sind vielmehr lediglich für eine Zweckmäßigkeit verwendet, um ein Element, eine Komponente, eine Region, eine Schicht und/oder einen Abschnitt von einem anderen Element, einer anderen Komponente, einer anderen Region, einer anderen Schicht und/oder einem anderen Abschnitt zu unterscheiden. Ein erstes Element, eine erste Komponente, eine erste Region, eine erste Schicht und/oder ein erster Abschnitt könnten beispielsweise als ein zweites Element, eine zweite Komponente, eine zweite Region, eine zweite Schicht und/oder ein zweiter Abschnitt bezeichnet sein, ohne von den Lehren der vorliegenden Erfindung abzuweichen.

[0044] Räumlich relative Termini, wie „unterhalb“, „unter“, „untere(r,s)“, „über“, „obere(r,s)“ und dergleichen können verwendet sein, um eine Beziehung eines Elements und/oder eines Merkmals zu (einem) anderen Element(en) und/oder Merkmal(en), wie beispielsweise in den Figuren dargestellt ist, zu beschreiben. Es versteht sich von selbst, dass die räumlich relativen Termini unterschiedliche Orientierungen der Vorrichtung bei einer Verwendung und/oder einem Betrieb zusätzlich zu der in den Figuren veranschaulichten Orientierung beinhalten sollen. Wenn die Vorrichtung in den Figuren gekippt ist, würden beispielsweise als unter und/oder unterhalb anderer Elemente oder Merkmale beschriebene Elemente dann über den anderen Elementen oder Merkmalen orientiert sein. Die Vorrichtung kann anders orientiert (um 90 Grad gedreht oder bei anderen Orientierungen) und die hierin verwendeten räumlich relativen Schlüsselwörter demgemäß interpretiert werden.

[0045] Die hierin verwendete Terminologie dient lediglich dem Zweck eines Beschreibens besonderer Ausführungsbeispiele und soll die Erfindung nicht begrenzen. Wie hierin verwendet, sollen die Singulartermine „einer“, „eine“, „eines“ und „der“, „die“, „das“ die Pluralformen ebenfalls umfassen, es sei denn, dass es der Kontext klar anders angibt. Es versteht sich ferner von selbst, dass die Termini „umfasst“ und „umfassend“ die Anwesenheit erwähnter Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente und/oder Komponenten spezifizieren, die Anwesenheit und/oder die Hinzufügung eines (einer) oder mehrerer anderer Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente, Komponenten und/oder Gruppen derselben jedoch nicht ausschließen.

[0046] Wie hierin verwendet, sind die Ausdrücke „mindestens eine(r,s)“, „eine(r,s) oder mehrere“ und

„und/oder“ offene Ausdrücke, die sowohl verbindend als auch trennend hinsichtlich der Wirkung sind. Jeder der Ausdrücke „mindestens eine(r,s) von A, B und C“, „mindestens eine(r,s) von A, B oder C“, „eine(r,s) oder mehrere von A, B und C“, „eine(r,s) oder mehrere von A, B oder C“ und „A, B und/oder C“ umfasst beispielsweise folgende Bedeutungen: A allein; B allein; C allein; sowohl A als auch B zusammen; sowohl A als auch C zusammen; sowohl B als auch C zusammen; und A, B und C alle drei zusammen. Diese Ausdrücke sind ferner offen, es sei denn, dass durch ihre Kombination mit dem Terminus „bestehend aus“ ausdrücklich das Gegenteil festgelegt ist. Der Ausdruck „mindestens eine(r,s) von A, B und C“ kann beispielsweise ferner ein viertes Glied umfassen, während der Ausdruck „mindestens eine(r,s), der/die/das aus der Gruppe, die aus A, B und C besteht, ausgewählt wird“ dies nicht tut.

[0047] Wie hierin verwendet, ist der Ausdruck „oder“ kein „exklusives oder“, es sei denn, dass er in Verbindung mit der Phrase „entweder“ verwendet ist. Der Ausdruck „A, B oder C“ umfasst beispielsweise A allein; B allein; C allein; sowohl A als auch B zusammen; sowohl A als auch C zusammen; sowohl B als auch C zusammen; und A, B und C alle drei zusammen, während der Ausdruck „entweder A, B oder C“ eines von A allein, B allein und C allein bedeutet und nicht etwas von sowohl A als auch B zusammen; sowohl A als auch C zusammen, sowohl B als auch C zusammen; und A, B und C alle drei zusammen bedeutet.

[0048] Es sei denn, dass es anders definiert ist, können alle hierin verwendeten Termini (einschließlich technischer und wissenschaftlicher Termini) die gleiche Bedeutung, wie jene, die durch einen Fachmann gewöhnlich verstanden wird, haben. Es versteht sich ferner von selbst, dass Termini, wie jene, die in gewöhnlich verwendeten Wörterbüchern definiert sind, als eine Bedeutung, die mit ihrer Bedeutung in dem Kontext dieser Beschreibung und der relevanten Technik konsistent ist, habend interpretiert werden sollten und nicht in einem idealisierten und/oder allzu formellen Sinn interpretiert werden, es sei denn, dass es hierin ausdrücklich so definiert ist.

[0049] Ausführungsbeispiele der vorliegenden Erfindung können unter Bezugnahme auf Querschnittsdarstellungen, die schematische Darstellungen idealisierter Ausführungsbeispiele der vorliegenden Erfindung sind, beschrieben sein. Als solche sind Abwandlungen von den Formen der Darstellungen als ein Resultat beispielsweise von Herstellungsverfahren und/oder -toleranzen zu erwarten. Ausführungsbeispiele der vorliegenden Erfindung sollten daher nicht als auf die besonderen Formen von hierin dargestellten Regionen begrenzt aufgefasst werden, sondern sollen Abweichungen in Formen, die aus z. B. einem Herstellen resultieren, einschließen. Eine

Region, die als ein Rechteck dargestellt ist, kann beispielsweise abgerundete oder gebogene Merkmale haben. Die in den Figuren dargestellten Regionen sind daher in ihrem Wesen schematisch und sollen den Schutzbereich der vorliegenden Erfindung nicht begrenzen. Gleiche Bezugsziffern beziehen sich überall auf gleiche Elemente.

[0050] **Fig. 4** ist eine Querschnittsansicht einer Halbleitertransistorvorrichtung **100** gemäß einem Ausführungsbeispiel der vorliegenden Erfindung. Bezug nehmend auf **Fig. 4** umfasst die Halbleitertransistorvorrichtung **100** eine Driftregion, die einen ersten lateralen Abschnitt **107** und einen zweiten lateralen Abschnitt **108**, die beide mit einem N-Typ-Dotanden dotiert sind, aufweist.

[0051] Die Halbleitertransistorvorrichtung **100** ist an einem Silizium-auf-Isolator-(SOI)Substrat **101** gebildet, das eine Siliziumschicht **101c** umfasst, die P-Typ-dotiert ist und an einer Siliziumoxidschicht **101b** gebildet ist. Die Siliziumoxidschicht **101b** ist an einem Halbleitersubstrat, wie einem Siliziumsubstrat **101a**, das P-Typ-dotiert ist, gebildet. Die Siliziumschicht **101c** grenzt an den ersten lateralen Abschnitt **107** unter dem ersten lateralen Abschnitt **107**.

[0052] Die Halbleitertransistorvorrichtung **100** umfasst ferner ebenfalls eine erste dotierte P-Typ-Region **109**, die zu einer Source-Seite **107b** (d. h. hin zu der linken Seite in **Fig. 4**) des ersten lateralen Abschnitts **107** angeordnet ist. Eine jeweilige untere Grenze der ersten dotierten P-Typ-Region **109** ist hier wesentlich niedriger als eine jeweilige untere Grenze des ersten lateralen Abschnitts **107**. Eine jeweilige obere Grenze der ersten dotierten P-Typ-Region **109** ist zusätzlich wesentlich höher als die jeweilige untere Grenze des ersten lateralen Abschnitts **107**.

[0053] Die Halbleitertransistorvorrichtung **100** umfasst ferner eine zweite dotierte P-Typ-Region **114**, die über der ersten dotierten P-Typ-Region **109** angeordnet ist und zu der Source-Seite des ersten lateralen Abschnitts **107** angeordnet ist. Die Halbleitertransistorvorrichtung **100** umfasst ferner ebenfalls eine dotierte N-Typ-Source-Region **115**, die in der zweiten dotierten P-Typ-Region **114** gebildet ist.

[0054] Die Halbleitertransistorvorrichtung **100** umfasst ferner eine dritte dotierte P-Typ-Region **116**, die in der zweiten dotierten P-Typ-Region **114** und zu der Seite der dotierten N-Typ-Source-Region **115** gebildet ist. Die dritte dotierte P-Typ-Region **116** berührt die dotierte N-Typ-Source-Region **115**. Die dritte dotierte P-Typ-Region **116** und die dotierte N-Typ-Source-Region **115** sind durch die zweite dotierte P-Typ-Region **114** umschlossen.

[0055] Die dotierte N-Typ-Source-Region **115** und

der erste laterale Abschnitt **107** sind durch die zweite dotierte P-Typ-Region **114** lateral voneinander getrennt. Die dotierte N-Typ-Source-Region **115** und die erste dotierte P-Typ-Region **109** sind durch die zweite dotierte P-Typ-Region **114** vertikal voneinander getrennt. Die dritte dotierte P-Typ-Region **116** und die erste dotierte P-Typ-Region **109** sind durch die zweite dotierte P-Typ-Region **114** vertikal voneinander getrennt.

[0056] Die Halbleitertransistorvorrichtung **100** umfasst ferner eine erste dotierte N-Typ-Region **103**, die unter dem zweiten lateralen Abschnitt **108** der Driftregion angeordnet ist. Die erste dotierte N-Typ-Region **103** ist mit dem zweiten lateralen Abschnitt **108** der Driftregion in Berührung. Ein zusätzlicher N-Typ-Driftabschnitt **111** ist zusätzlich gebildet, um durch den zweiten lateralen Abschnitt **108** umschlossen zu sein, und erstreckt sich von einer isolierenden Struktur **110**.

[0057] Eine dotierte P-Typ-Drain-Region **117** ist ferner gebildet, um durch den zusätzlichen N-Typ-Driftabschnitt **111** an einer Oberfläche des zusätzlichen N-Typ-Driftabschnitts **111** umschlossen zu sein. Die erste dotierte N-Typ-Region **103** und der zusätzliche N-Typ-Driftabschnitt **111** sind durch den zweiten lateralen Abschnitt **108** voneinander getrennt.

[0058] Die Halbleitertransistorvorrichtung **100** umfasst zusätzlich ferner die isolierende Struktur **110**, die an der Driftregion gebildet ist. Die isolierende Struktur **110** ist eine Feldoxidstruktur beispielsweise eines Siliziumoxids, die gebildet ist, um an eine Grenze **107a** zwischen dem ersten und dem zweiten lateralen Abschnitt **107** und **108** der Driftregion zu grenzen. Die Feldoxidstruktur **110** ist beispielsweise gebildet, um die Grenze zwischen dem ersten und dem zweiten lateralen Abschnitt **107** und **108** zentriert zu sein.

[0059] Die Halbleitertransistorvorrichtung **100** umfasst ferner ebenfalls einen Gate-Isolator **112**, der ein Siliziumoxid aufweisen kann, das an einem freigelegten Abschnitt des ersten lateralen Abschnitts **107** gebildet ist. Ein solcher freigelegter Abschnitt erstreckt sich von der isolierenden Struktur **110** zu der Source-Seite **107b** des ersten lateralen Abschnitts **107**. Bei dem Beispiel von **Fig. 4** ist zusätzlich der Gate-Isolator **112** ferner an einem Abschnitt der zweiten dotierten P-Typ-Region **114** gebildet. Eine Gate-Elektrode **113**, die ein leitfähiges Material, wie beispielsweise ein dotiertes Polysilizium, aufweist, ist ferner an dem Gate-Isolator **112** und an einem Abschnitt der isolierenden Struktur **110** gebildet.

[0060] Bei einem alternativen Ausführungsbeispiel der vorliegenden Erfindung können der Gate-Isolator **112** und die Gate-Elektrode **113** gebildet sein, um sich weiter zu erstrecken. Bei jenem Fall würden der

Gate-Isolator **112** und die Gate-Elektrode **113** gebildet sein, um sich über einen Abschnitt der dotierten N-Typ-Source-Region **115** (wie beispielsweise in [Fig. 14](#) dargestellt ist) zu erstrecken.

[0061] Mit einer solchen Struktur von [Fig. 4](#) ist die Halbleitertransistorvorrichtung **100** bei einem Ausführungsbeispiel der vorliegenden Erfindung eine Silizium-auf-Isolator(SOI)Vorrichtung eines lateralen Bipolarübergangs mit isoliertem Gate (LIGBT). Die dotierte N-Typ-Source-Region **115** und die dritte dotierte P-Typ-Region **116** bilden eine Source der Halbleitertransistorvorrichtung **100**. Die dotierte P-Typ-Drain-Region **117** bildet eine Drain der Halbleitertransistorvorrichtung **100**. Die Gate-Elektrode **113** bildet ein Gate der Halbleitertransistorvorrichtung **100**.

[0062] Bei einem Ausführungsbeispiel der vorliegenden Erfindung hat der erste laterale Abschnitt **107** eine erste Dotandenkonzentration, und der zweite laterale Abschnitt **108** hat eine zweite Dotandenkonzentration, die wesentlich höher als die erste Dotandenkonzentration ist. Die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist beispielsweise mindestens zweimal höher als die erste Dotandenkonzentration des ersten lateralen Abschnitts **107**.

[0063] Die erste dotierte N-Typ-Region **103** hat zusätzlich eine jeweilige N-Typ-Dotandenkonzentration, die ebenfalls wesentlich kleiner als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist. Die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist beispielsweise mindestens zweimal höher als die jeweilige N-Typ-Dotandenkonzentration der ersten dotierten N-Typ-Region **103**.

[0064] Der zusätzliche N-Typ-Driftabschnitt **111** hat ferner eine jeweilige N-Typ-Dotandenkonzentration, die wesentlich höher als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist. Die jeweilige N-Typ-Dotandenkonzentration des zusätzlichen N-Typ-Driftabschnitts **111** ist beispielsweise mindestens zweimal höher als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108**.

[0065] Der jeweilige N-Typ-Dotand für jede der Regionen **103**, **107**, **108**, **111** und **115** kann bei einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung Stickstoff (N), Phosphor (P), Arsen (As), Antimon (Sb) oder Wismut (Bi) sein. Der jeweilige P-Typ-Dotand für jede der Regionen **101a**, **101c**, **109**, **114**, **116** und **117** kann bei einem Ausführungsbeispiel der vorliegenden Erfindung Bor (B), Aluminium (Al), Gallium (Ga) oder Indium (In) sein.

[0066] Die P-Typ-Regionen **109**, **114**, **116** und **117** sind durch Dotieren eines P-Typ-Dotanden in die Si-

lizienschicht **101c** gebildet. Die N-Typ-Regionen **103**, **107**, **108**, **115** und **117** sind durch Dotieren eines N-Typ-Dotanden in die Siliziumschicht **101c** gebildet. Der erste und der zweite laterale Abschnitt **107** und **108** erstrecken sich von der Oberfläche der Siliziumschicht **101c** in im Wesentlichen eine gleiche Tiefe.

[0067] Der erste und der zweite laterale Abschnitt **107** und **108** und der zusätzliche N-Typ-Driftabschnitt **111** bilden eine Driftregion, bei der ein Kanal der Halbleitertransistorvorrichtung **100** gebildet ist. Die N-Typ-Dotandenkonzentration erhöht sich von dem ersten lateralen Abschnitt **107** und durch den zweiten lateralen Abschnitt **108** und durch den zusätzlichen N-Typ-Driftabschnitt **111** zu der Grenze der dotierten P-Typ-Drain-Region **117**.

[0068] [Fig. 5](#), [Fig. 6](#), [Fig. 7](#), [Fig. 8](#), [Fig. 9](#), [Fig. 10](#) und [Fig. 11](#) sind Querschnittsansichten, die Schritte während einer Fertigung der Halbleitertransistorvorrichtung **100** von [Fig. 4](#) gemäß einem Ausführungsbeispiel der vorliegenden Erfindung darstellen.

[0069] Bezug nehmend auf [Fig. 5](#) umfasst ein Silizium-auf-Isolator-(SOI)Substrat **101** ein Halbleitersubstrat **101a**, wie ein Siliziumsubstrat, eine isolierende Schicht **101b**, wie eine Siliziumoxidschicht, und eine Halbleiterschicht **101c**, wie eine Siliziumschicht, die aufeinander folgend gestapelt sind. Das Siliziumsubstrat **101a** und die Siliziumschicht **101c** können hier jeweils bereits mit einem P-Typ-Dotanden, wie einem jeweiligen von beispielsweise Bor (B), Aluminium (Al), Gallium (Ga) oder Indium (In), dotiert sein.

[0070] Ferner Bezug nehmend auf [Fig. 5](#) wird ein Abschnitt der Siliziumschicht **101c** mit einem N-Typ-Dotanden dotiert, um die erste dotierte N-Typ-Region **103** mit einer jeweiligen N-Typ-Dotandenkonzentration zu bilden. Ein solcher N-Typ-Dotand kann beispielsweise Stickstoff (N), Phosphor (P), Arsen (As), Antimon (Sb) oder Wismut (Bi) sein. Die erste dotierte N-Typ-Region **103** erstreckt sich hier von einer Oberfläche der Siliziumschicht **103a** in eine vorbestimmte Tiefe.

[0071] Bezug nehmend auf [Fig. 5](#) und [Fig. 6](#) wird ein P-Typ-Dotand unter Verwendung einer relativ hohen Implantation zu einem anderen Abschnitt der Siliziumschicht **101c** implantiert, um eine vorläufige erste dotierte P-Typ-Region **104** unter der Oberfläche der Siliziumschicht **101c** zu bilden. Die vorläufige erste dotierte P-Typ-Region **104** ist hier von der ersten dotierten N-Typ-Region **103** lateral getrennt.

[0072] Bezug nehmend auf [Fig. 6](#) und [Fig. 7](#) wird ein N-Typ-Dotand in die Oberfläche der Siliziumschicht **101c** implantiert. Ein vorläufiger erster lateraler Abschnitt **105** wird daher bei einem Oberflächenabschnitt der Siliziumschicht **101c**, bei dem die erste dotierte N-Typ-Region **103** nicht gebildet wird, gebil-

det. Ein vorläufiger zweiter lateraler Abschnitt **106** wird zusätzlich bei einem Oberflächenabschnitt der Siliziumschicht **101c**, bei dem die erste dotierte N-Typ-Region **103** gebildet wurde, gebildet.

[0073] Bezug nehmend auf [Fig. 7](#) und [Fig. 8](#) wird ein thermisches Erwärmungsverfahren für das Siliziumsubstrat **101c** durchgeführt. Der vorläufige erste und der vorläufige zweite laterale Abschnitt **105** und **106** werden daher durch eine thermische Diffusion der N-Typ-Dotanden in jeweils den ersten und den zweiten lateralen Abschnitt **107** und **108** der Driftregion transformiert.

[0074] Da der vorläufige erste und der vorläufige zweite laterale Abschnitt **105** und **106** mit einem gleichen Implantationsverfahren und einem gleichen thermischen Erwärmungsverfahren gebildet werden, haben der erste und der zweite laterale Abschnitt **107** und **108** eine im Wesentlichen gleiche Tiefe von der Oberfläche der Siliziumschicht **101c**. Aufgrund der thermischen Diffusion haben zusätzlich der erste und der zweite laterale Abschnitt **107** und **108** eine niedrigere Tiefe von der Oberfläche der Siliziumschicht **101c** als der vorläufige erste und der vorläufige zweite laterale Abschnitt **105** und **106**.

[0075] Ferner Bezug nehmend auf [Fig. 7](#) und [Fig. 8](#) wird die vorläufige erste dotierte P-Typ-Region **104** durch die thermische Diffusion zu der ersten dotierten P-Typ-Region **109** transformiert. Das Volumen der ersten dotierten P-Typ-Region **109** wird daher von der vorläufigen ersten dotierten P-Typ-Region **104** wesentlich ausgedehnt. Bei dem Ausführungsbeispiel von [Fig. 8](#) berühren einander der erste laterale Abschnitt **107** und die erste dotierte P-Typ-Region **109**.

[0076] Der erste laterale Abschnitt **107** hat die erste Dotandenkonzentration, und der zweite laterale Abschnitt **108** hat die zweite Dotandenkonzentration. Bei einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung ist die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** wesentlich höher (wie mindestens doppelt so viel) als die erste Dotandenkonzentration des ersten lateralen Abschnitts **107**, da der zweite laterale Abschnitt **108** aus einer Implantation eines zusätzlichen N-Typ-Dotanden in eine bereits dotierte N-Typ-Region **103** gebildet wird. Die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist ferner wesentlich höher (wie mindestens doppelt so viel) als die jeweilige N-Typ-Dotandenkonzentration der ersten dotierten N-Typ-Region **103**.

[0077] Ferner Bezug nehmend auf [Fig. 8](#) wird die isolierende Struktur **110**, wie eine Feldoxidstruktur, bei einem Abschnitt der Oberfläche der Siliziumschicht **101c**, bei dem der erste und der zweite laterale Abschnitt **107** und **108** aneinander grenzen, ge-

bildet. Die Feldoxidstruktur **110** wird beispielsweise um die Grenze zwischen dem ersten und dem zweiten lateralen Abschnitt **107** und **108** zentriert. Die Feldoxidstruktur **110** wird bei einem exemplarischen Ausführungsbeispiel der vorliegenden Erfindung durch ein thermisches Oxidationsverfahren gebildet.

[0078] Ferner Bezug nehmend auf [Fig. 8](#) wird, nachdem die Feldoxidstruktur **110** gebildet ist, ein N-Typ-Dotand in einen freigelegten Abschnitt des zweiten lateralen Abschnitts **108** zum Bilden des zusätzlichen N-Typ-Driftabschnitts **111** weiter implantiert. Der zusätzliche N-Typ-Driftabschnitt **111** hat daher eine jeweilige N-Typ-Dotandenkonzentration, die wesentlich höher (wie mindestens doppelt so viel) als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **108** ist.

[0079] Der zusätzliche N-Typ-Driftabschnitt **111** wird bei einem oberen Abschnitt des zweiten lateralen Abschnitts **108** gebildet und ist durch den zweiten lateralen Abschnitt **108** umschlossen. Der zusätzliche N-Typ-Driftabschnitt **111** ist ferner durch den zweiten lateralen Abschnitt **108** von dem ersten lateralen Abschnitt **107** lateral getrennt.

[0080] Der erste und der zweite laterale Abschnitt **107** und **108** und der zusätzliche N-Typ-Driftabschnitt **111** bilden hier die Driftregion, bei der ein Kanal für die Halbleitertransistorvorrichtung **100** gebildet wird. Die jeweilige N-Typ-Dotandenkonzentration erhöht sich zusätzlich um mindestens zwei bei jedem Übergang von dem ersten lateralen Abschnitt **107** zu dem zweiten lateralen Abschnitt **108** und von dem zweiten lateralen Abschnitt **108** zu dem zusätzlichen N-Typ-Driftabschnitt **111**.

[0081] Bezug nehmend auf [Fig. 8](#) und [Fig. 9](#) wird eine (nicht gezeigte) isolierende Gate-Schicht an freigelegten Abschnitten des ersten lateralen Abschnitts **107** und des zusätzlichen N-Typ-Driftabschnitts **111** gebildet. Die isolierende Gate-Schicht wird beispielsweise durch ein thermisches Oxidationsverfahren gebildet. Eine Gate-Elektroden-Schicht wird dann an der isolierenden Gate-Schicht und der isolierenden Struktur **110** zudeckend abgelagert. Die Gate-Elektrode weist bei einem Ausführungsbeispiel der vorliegenden Erfindung ein leitfähiges Material, wie ein dotiertes Polysilizium, auf.

[0082] Die Gate-Elektroden-Schicht und die isolierende Gate-Schicht werden danach strukturiert, um den Gate-Isolator **112** und die Gate-Elektrode **113**, wie in [Fig. 9](#) dargestellt ist, zu bilden. Bezug nehmend auf [Fig. 9](#) erstreckt sich der Gate-Isolator **112** von der isolierenden Struktur **110** zu einer vorbestimmten Entfernung an dem ersten lateralen Abschnitt **107**. Die Gate-Elektrode **113** wird auf dem Gate-Isolator **112** und einem Abschnitt der isolierenden Struktur **110** angeordnet.

[0083] Bezug nehmend auf [Fig. 9](#) und [Fig. 10](#) wird ein P-Typ-Dotand in den freigelegten Abschnitt des zweiten lateralen Abschnitts **107** implantiert, um die zweite dotierte P-Typ-Region **114** zu bilden. Die zweite dotierte P-Typ-Region **114** wird folgend durch ein folgendes thermisches Erwärmungsverfahren ausgedehnt, um an die erste dotierte P-Typ-Region **109** zu grenzen. Die zweite dotierte P-Typ-Region **114** wird zusätzlich bei einem solchen thermischen Erwärmungsverfahren ausgedehnt, um sich unter dem Gate-Isolator **112** zu erstrecken.

[0084] Bezug nehmend auf [Fig. 11](#) wird ein N-Typ-Dotand in einen Abschnitt der zweiten dotierten P-Typ-Region **114**, der zu dem Gate-Isolator **112** benachbart ist, implantiert, um die dotierte N-Typ-Source-Region **115** zu bilden. Bei einem alternativen Ausführungsbeispiel der vorliegenden Erfindung erstreckt sich, wenn ein folgendes thermisches Erwärmungsverfahren durchgeführt wird, die dotierte N-Typ-Source-Region **115** unter dem Gate-Isolator **112** (wie beispielsweise in [Fig. 14](#) dargestellt ist). Bei dem Ausführungsbeispiel von [Fig. 11](#) sind die dotierte N-Typ-Source-Region **115** und der erste laterale Abschnitt **107** durch die zweite dotierte P-Typ-Region **114** lateral voneinander getrennt.

[0085] Ferner Bezug nehmend auf [Fig. 11](#) wird ein P-Typ-Dotand danach in einen Abschnitt der zweiten dotierten P-Typ-Region **114** neben der dotierten N-Typ-Source-Region **115** implantiert, um die dritte dotierte P-Typ-Region **116**, die die dotierte N-Typ-Source-Region **115** berührt, zu bilden. Eine solche Implantation des P-Typ-Dotanden in den zusätzlichen N-Typ-Driftabschnitt **111** bildet zusätzlich die dotierte P-Typ-Drain-Region **117**. Die Regionen **115**, **116** und **117** werden an der Oberfläche der Siliziumschicht **101c** gebildet.

[0086] [Fig. 11](#) zeigt die Strukturen der Halbleitertransistorvorrichtung **100** von [Fig. 4](#). Die dritte dotierte P-Typ-Region **116** und die dotierte N-Typ-Source-Region **115** bilden die Source der Halbleitertransistorvorrichtung **100**. Die dotierte P-Typ-Drain-Region **117** bildet die Drain der Halbleitertransistorvorrichtung **100**.

[0087] [Fig. 12](#) ist eine grafische Darstellung einer Konzentration eines jeweiligen N-Typ-Dotanden, die lateral von der dotierten N-Typ-Source-Region **115** zu dem zusätzlichen N-Typ-Driftabschnitt **111** in [Fig. 11](#) gemessen wird. Bezug nehmend auf [Fig. 12](#) startet die jeweilige N-Typ-Dotandenkonzentration der dotierten N-Typ-Source-Region **115** relativ hoch (in [Fig. 12](#) als FÜNFTE N-TYP-STÖRSTELLENREGION bezeichnet). Die jeweilige N-Typ-Dotandenkonzentration in der zweiten dotierten P-Typ-Region **114** fällt dann ab (in [Fig. 12](#) als ZWEITE P-TYP-STÖRSTELLENREGION bezeichnet).

[0088] Ferner Bezug nehmend auf [Fig. 12](#) wird die jeweilige N-Typ-Dotandenkonzentration in dem ersten lateralen Abschnitt **107** unter dem Gate-Isolator **112** und unter einem linken Abschnitt der Feldoxidstruktur **110** auf die erste Dotandenkonzentration erhöht (in [Fig. 12](#) als ZWEITE N-TYP-STÖRSTELLENREGION bezeichnet). Die jeweilige N-Typ-Dotandenkonzentration in dem zweiten lateralen Abschnitt **108** unter einem rechten Abschnitt der Feldoxidstruktur **110** wird zusätzlich auf die zweite Dotandenkonzentration, die mindestens zweimal größer als die erste Dotandenkonzentration des ersten lateralen Abschnitts **107** ist, weiter erhöht (in [Fig. 12](#) als DRITTE N-TYP-STÖRSTELLENREGION bezeichnet).

[0089] Die jeweilige N-Typ-Dotandenkonzentration in dem zusätzlichen N-Typ-Driftabschnitt **111** unter einem weiteren rechten Abschnitt der Feldoxidstruktur **110** wird ferner auf mindestens zweimal größer als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts **107** weiter erhöht (in [Fig. 12](#) als VIERTE N-TYP-STÖRSTELLENREGION bezeichnet). Bei einem Ausführungsbeispiel der vorliegenden Erfindung erhöht sich die jeweilige N-Typ-Dotandenkonzentration durch den zusätzlichen N-Typ-Driftabschnitt **111** von benachbart des zweiten lateralen Abschnitts **108** zu benachbart der dotierten P-Typ-Drain-Region **117**.

[0090] Mit einer solchen Erhöhung der jeweiligen N-Typ-Dotandenkonzentrationen lateral durch die Regionen **107**, **108** und **111** wird die Menge an Löchern, die bei einer mit „B“ bezeichneten Region in [Fig. 13](#), die unter der Feldoxidstruktur **110** in dem zweiten lateralen Abschnitt **108** angeordnet ist, erzeugt werden, von der mit „A“ bezeichneten Region in [Fig. 3](#) des Stands der Technik verringert, wenn Betriebsspannungen zwischen der Source und der Drain und zwischen der Gate-Elektrode **113** und der Source der Halbleitertransistorvorrichtung **100** angelegt werden. Eine solche Verringerung von Löchern bei der Region „B“ in [Fig. 13](#) wird durch eine Simulation der Halbleitertransistorvorrichtung **100**, wobei Betriebsspannungen zwischen der Source und der Drain und zwischen der Gate-Elektrode **113** und der Source der Halbleitertransistorvorrichtung **100** angelegt werden, verifiziert.

[0091] Ein parasitärer Strom, der erzeugt wird, wenn sich Löcher zu der dritten dotierten P-Typ-Region **116** bewegen und dann aus der dritten dotierten P-Typ-Region **116** entfernt werden, kann daher vorteilhaft verringert werden. Eine Durchschlagsspannung der Halbleitertransistorvorrichtung **100** kann folglich für eine höhere Betriebskapazität der Halbleitertransistorvorrichtung **100** erhöht werden.

[0092] Das Vorhergehende erläutert die vorliegende Erfindung und ist nicht als dieselbe begrenzend aufzufassen. Obwohl einige Ausführungsbeispiele die-

ser Erfindung beschrieben wurden, werden Fachleute ohne weiteres erkennen, dass viele Modifikationen bei den Ausführungsbeispielen möglich sind, ohne von den neuartigen Lehren und Vorteilen dieser Erfindung materiell abzuweichen.

[0093] Alle solche Modifikationen sollen demgemäß innerhalb des Schutzbereichs dieser Erfindung, wie er in den Ansprüchen definiert ist, umfasst sein. Es versteht sich daher von selbst, dass das Vorhergehende die vorliegende Erfindung erläutert und nicht als auf die offenbaren spezifischen Ausführungsbeispiele begrenzt aufzufassen ist und dass Modifikationen der offenbaren Ausführungsbeispiele sowie andere Ausführungsbeispiele innerhalb des Schutzbereichs der beigefügten Ansprüche umfasst sein sollen. Die Erfindung ist durch die folgenden Ansprüche definiert, wobei Äquivalente der Ansprüche darin zu umfassen sind.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- KR 2007-15390 [[0001](#)]

Patentansprüche

1. Halbleitertransistorvorrichtung (**100**) mit einer Driftregion, die einen ersten lateralen Abschnitt (**107**) mit einer ersten Dotandenkonzentration und einen zweiten lateralen Abschnitt (**108**) mit einer zweiten Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts (**107**) ist, umfasst; einer isolierenden Struktur (**110**), die an der Driftregion gebildet ist und über einer Grenze (**107a**) zwischen dem ersten und dem zweiten lateralen Abschnitt (**107**, **108**) angeordnet ist; einem Gate-Isolator (**112**), der an einem freigelegten Abschnitt des ersten lateralen Abschnitts (**107**) gebildet ist; einer Gate-Elektrode (**113**), die an dem Gate-Isolator (**112**) und einem Abschnitt der isolierenden Struktur (**110**) gebildet ist; einer Source (**115**, **116**), die hin zu dem ersten lateralen Abschnitt (**107**) der Driftregion angeordnet ist; einer Drain (**117**), die hin zu dem zweiten lateralen Abschnitt (**108**) der Driftregion angeordnet ist; und einem zusätzlichen N-Typ-Driftabschnitt (**111**) der Driftregion, der in dem zweiten lateralen Abschnitt (**108**) hin zu der Drain (**117**) gebildet ist.

2. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, bei der die isolierende Struktur (**110**) eine Feldoxidstruktur ist, die um eine Grenze (**107a**) zwischen dem ersten und dem zweiten lateralen Abschnitt (**107**, **108**) zentriert ist.

3. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, bei der die zweite Dotandenkonzentration mindestens zweimal größer als die erste Dotandenkonzentration ist.

4. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, bei der die erste und die zweite Dotandenkonzentration jeweils für einen jeweiligen N-Typ-Dotanden sind.

5. Halbleitertransistorvorrichtung (**100**) nach Anspruch 4, ferner mit einer P-Typ-Siliziumschicht (**101c**), die unter dem ersten lateralen Abschnitt (**107**) angeordnet ist; und einer ersten dotierten P-Typ-Region (**109**), die zu einer Source-Seite des ersten lateralen Abschnitts (**107**) angeordnet ist.

6. Halbleitertransistorvorrichtung (**100**) nach Anspruch 5, ferner mit einer zweiten dotierten P-Typ-Region (**114**), die über der ersten dotierten P-Typ-Region (**109**) angeordnet ist und zu der Source-Seite des ersten lateralen Abschnitts (**107**) angeordnet ist; einer dotierten N-Typ-Source-Region (**115**), die in der zweiten dotierten P-Typ-Region (**114**) zu der Source-Seite der Gate-Elektrode (**113**) gebildet ist; und einer dritten dotierten P-Typ-Region (**116**), die in der

zweiten dotierten P-Typ-Region (**114**) und zu der Seite der dotierten N-Typ-Source-Region (**115**) gebildet ist, wobei die dotierte N-Typ-Source-Region (**115**) und die dritte dotierte P-Typ-Region (**116**) eine Source der Halbleitertransistorvorrichtung (**100**) bilden.

7. Halbleitertransistorvorrichtung (**100**) nach Anspruch 6, bei der sich der Gate-Isolator (**112**) und die Gate-Elektrode (**113**) erstrecken, um über der zweiten dotierten P-Typ-Region (**114**) und einem Abschnitt der dotierten N-Typ-Source-Region (**115**) angeordnet zu sein.

8. Halbleitertransistorvorrichtung (**100**) nach Anspruch 6, bei der sich der Gate-Isolator (**112**) und die Gate-Elektrode (**113**) erstrecken, um über einem Abschnitt der zweiten dotierten P-Typ-Region (**114**) angeordnet zu sein.

9. Halbleitertransistorvorrichtung (**100**) nach Anspruch 6, ferner mit einer ersten dotierten N-Typ-Region (**103**), die unter dem zweiten lateralen Abschnitt (**108**) der Driftregion angeordnet ist, wobei eine jeweilige Dotandenkonzentration der ersten dotierten N-Typ-Region (**103**) kleiner als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts (**108**) ist.

10. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, ferner mit einer dotierten P-Typ-Drain-Region, die in dem zusätzlichen N-Typ-Driftabschnitt (**111**) gebildet ist, wobei die dotierte P-Typ-Drain-Region eine Drain (**117**) der Halbleitertransistorvorrichtung (**100**) bildet.

11. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, bei der der zusätzliche N-Typ-Driftabschnitt (**111**) eine jeweilige N-Typ-Dotandenkonzentration, die größer als die zweite Dotandenkonzentration des zweiten lateralen Abschnitts ist, hat.

12. Halbleitertransistorvorrichtung (**100**) nach Anspruch 1, ferner mit einer Siliziumschicht (**101c**) mit der Driftregion, die in derselben gebildet ist; einer isolierenden Schicht (**101b**), die unter der Siliziumschicht (**101c**) angeordnet ist, derart, dass die Halbleitertransistorvorrichtung (**100**) eine SOI-(Silizium-auf-Isolator)Vorrichtung ist; und einem Halbleitersubstrat (**101a**), das unter der isolierenden Schicht (**101b**) angeordnet ist.

13. Verfahren zum Herstellen einer Halbleitertransistorvorrichtung (**100**), mit folgenden Schritten: Bilden einer Driftregion in einem Substrat (**101a**), wobei die Driftregion einen ersten lateralen Abschnitt (**107**) mit einer ersten Dotandenkonzentration und einen zweiten lateralen Abschnitt (**108**) mit einer zwei-

ten Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts (107) ist, umfasst; Bilden einer isolierenden Struktur (110) an der Driftregion, wobei die isolierende Struktur (110) über einer Grenze (107a) zwischen dem ersten und dem zweiten lateralen Abschnitt (107, 108) angeordnet wird; Bilden eines zusätzlichen Driftabschnitts (111) der Driftregion mit einer dritten Dotandenkonzentration, die höher als die des zweiten lateralen Abschnitts (108) ist, wobei der zusätzliche Driftabschnitt (111) durch den zweiten lateralen Abschnitt (108) von dem ersten lateralen Abschnitt (107) lateral getrennt ist; Bilden eines Gate-Isolators (112) an einem freigelegten Abschnitt des ersten lateralen Abschnitts (107); Bilden einer Gate-Elektrode (113) an dem Gate-Isolator (112) und einem Abschnitt der isolierenden Struktur (110); Bilden einer Source (115, 116), die hin zu dem ersten lateralen Abschnitt (107) der Driftregion angeordnet wird; und Bilden einer Drain (117), die hin zu dem zweiten lateralen Abschnitt (108) der Driftregion angeordnet wird, wobei die Drain (117) in dem zusätzlichen Driftabschnitt (111) angeordnet wird.

14. Verfahren nach Anspruch 13, bei dem die erste, die zweite und die dritte Dotandenkonzentration jeweils für einen jeweiligen N-Typ-Dotanden sind, die Source eine dotierte N-Typ-Source-Region (115), die zu einer Source-Seite der Gate-Elektrode (113) angeordnet wird, und eine dotierte P-Typ-Region (116), die zu der Seite der dotierten N-Typ-Source-Region (115) angeordnet wird, umfasst und die Drain (117) eine dotierte P-Typ-Drain-Region in dem zusätzlichen Driftabschnitt (111) umfasst.

15. Verfahren nach Anspruch 13, bei dem die Driftregion durch ein Ionenimplantationsverfahren gebildet wird und die Zahl von Malen, wenn das Ionenimplantationsverfahren über der Driftregion durchgeführt wird, in einer Richtung von dem ersten lateralen Abschnitt (107) hin zu dem zweiten lateralen Abschnitt (108) allmählich erhöht wird.

16. Verfahren nach Anspruch 13, bei dem die Zahl von Malen, wenn ein Ionenimplantationsverfahren durchgeführt wird, um einen N-Typ-Dotanden in den ersten lateralen Abschnitt (107) zu dotieren, wesentlich kleiner als die Zahl von Malen ist, wenn ein Ionenimplantationsverfahren durchgeführt wird, um einen N-Typ-Dotanden in den zweiten lateralen Abschnitt (108) zu dotieren, und die Zahl von Malen, wenn ein Ionenimplantationsverfahren durchgeführt wird, um einen N-Typ-Dotanden in den zweiten lateralen Abschnitt (108) zu dotieren, wesentlich kleiner als die Zahl von Malen ist, wenn ein Ionenimplantationsverfahren durchgeführt wird, um einen N-Typ-Dotanden in den zusätzlichen Driftabschnitt (111) der Driftregion zu dotieren.

17. Verfahren zum Herstellen einer Halbleitervorrichtung (100), mit folgenden Schritten: Bilden einer ersten dotierten N-Typ-Region (103) bei einer Siliziumschicht (101c), derart, dass sich die erste dotierte N-Typ-Region (103) von einer Oberfläche der Siliziumschicht (101c) in eine vorbestimmte Tiefe erstreckt, wobei die erste dotierte N-Typ-Region (103) eine erste N-Typ-Dotandenkonzentration hat; Bilden einer ersten dotierten P-Typ-Region (109) innerhalb der Siliziumschicht (101c), wobei die erste dotierte P-Typ-Region (109) von der ersten dotierten N-Typ-Region (103) lateral getrennt ist; Dotieren eines N-Typ-Dotanden in die gesamte Oberfläche der Siliziumschicht (101c), um eine Driftregion zu bilden, die einen ersten lateralen Abschnitt (107) mit einer zweiten N-Typ-Dotandenkonzentration und einen zweiten lateralen Abschnitt (108) mit einer dritten N-Typ-Dotandenkonzentration, die höher als die des ersten lateralen Abschnitts (107) ist, umfasst, wobei der erste laterale Abschnitt (107) bei einem Abschnitt der Siliziumschicht (101c), bei dem die erste dotierte P-Typ-Region (109) nicht gebildet wird, gebildet wird, derart, dass der erste laterale Abschnitt (107) mit der ersten dotierten P-Typ-Region (109) in Berührung kommt, wobei der zweite laterale Abschnitt (108) bei einem oberen Abschnitt der ersten dotierten N-Typ-Region (103) gebildet wird; Bilden einer Feldoxidstruktur bei einem Abschnitt der Oberfläche der Siliziumschicht (101c), bei dem der erste laterale Abschnitt (107) und der zweite laterale Abschnitt (108) miteinander in Berührung sind; Bilden eines zusätzlichen N-Typ-Driftabschnitts (111) bei einem Abschnitt des zweiten lateralen Abschnitts (108), der mit der Feldoxidstruktur nicht bedeckt ist, wobei der zusätzliche N-Typ-Driftabschnitt (111) eine wesentlich größere vierte N-Typ-Dotandenkonzentration als die dritte N-Typ-Dotandenkonzentration hat; Bilden einer Gate-Struktur, die einen Gate-Isolator (112) und eine Gate-Elektrode (113) umfasst, wobei der Gate-Isolator (112) an dem ersten lateralen Abschnitt (107) gebildet wird, derart, dass sich der Gate-Isolator (112) von der Feldoxidstruktur auf eine vorbestimmte Länge erstreckt, wobei die Gate-Elektrode (113) an dem Gate-Isolator (112) und einem Abschnitt der Feldoxidstruktur gebildet wird; Bilden einer zweiten dotierten P-Typ-Region (114) bei einem Abschnitt des ersten lateralen Abschnitts (107), der mit der Gate-Struktur nicht bedeckt ist, derart, dass die zweite dotierte P-Typ-Region (114) mit der ersten dotierten P-Typ-Region (109) in Berührung kommt; Bilden einer dotierten N-Typ-Source-Region (115) bei einem Abschnitt der freigelegten Oberfläche der zweiten dotierten P-Typ-Region (114), der mit der Gate-Struktur in Berührung ist; und Bilden einer dritten dotierten P-Typ-Region (116) und einer dotierten P-Typ-Drain-Region, wobei die dritte dotierte P-Typ-Region (116) bei einem Abschnitt der freigelegten Oberfläche der zweiten dotierten

P-Typ-Region (**114**), der mit der N-Typ-Source-Region (**115**) in Berührung kommt, gebildet wird und die dotierte P-Typ-Drain-Region an der freigelegten Oberfläche des zusätzlichen N-Typ-Driftabschnitts (**111**) gebildet wird.

18. Verfahren nach Anspruch 17, bei dem eine Tiefe des ersten lateralen Abschnitts (**107**) im Wesentlichen die gleiche wie die des zweiten lateralen Abschnitts (**108**) ist.

19. Verfahren nach Anspruch 17, bei dem die Gate-Struktur mit der dotierten N-Typ-Source-Region (**115**) und der zweiten dotierten P-Typ-Region (**114**) teilweise überlappt wird und der erste laterale Abschnitt (**107**) und die dotierte N-Typ-Source-Region (**115**) durch die zweite dotierte P-Typ-Region (**114**) lateral voneinander getrennt werden.

20. Verfahren nach Anspruch 17, bei dem die P-Typ-Drain-Region und der zweite laterale Abschnitt (**108**) durch den zusätzlichen N-Typ-Driftabschnitt (**111**) lateral voneinander getrennt werden.

Es folgen 9 Blatt Zeichnungen

FIG.1
(STAND DER TECHNIK)

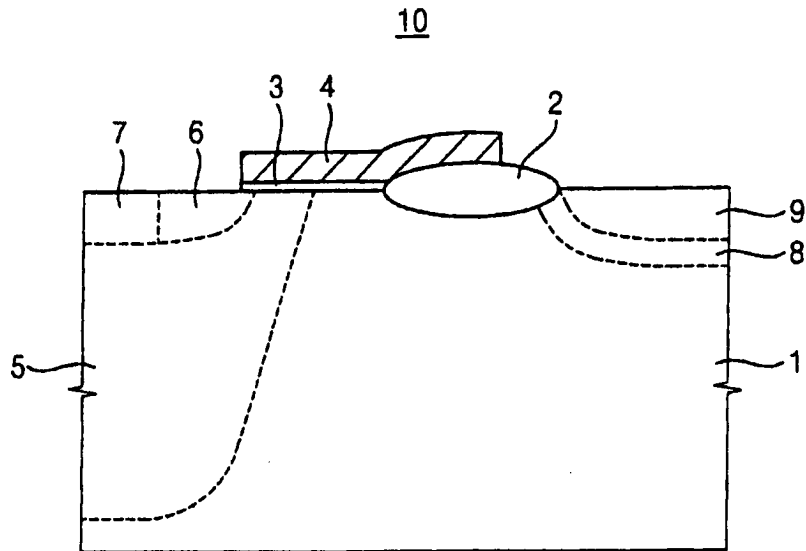


FIG.2
(STAND DER TECHNIK)

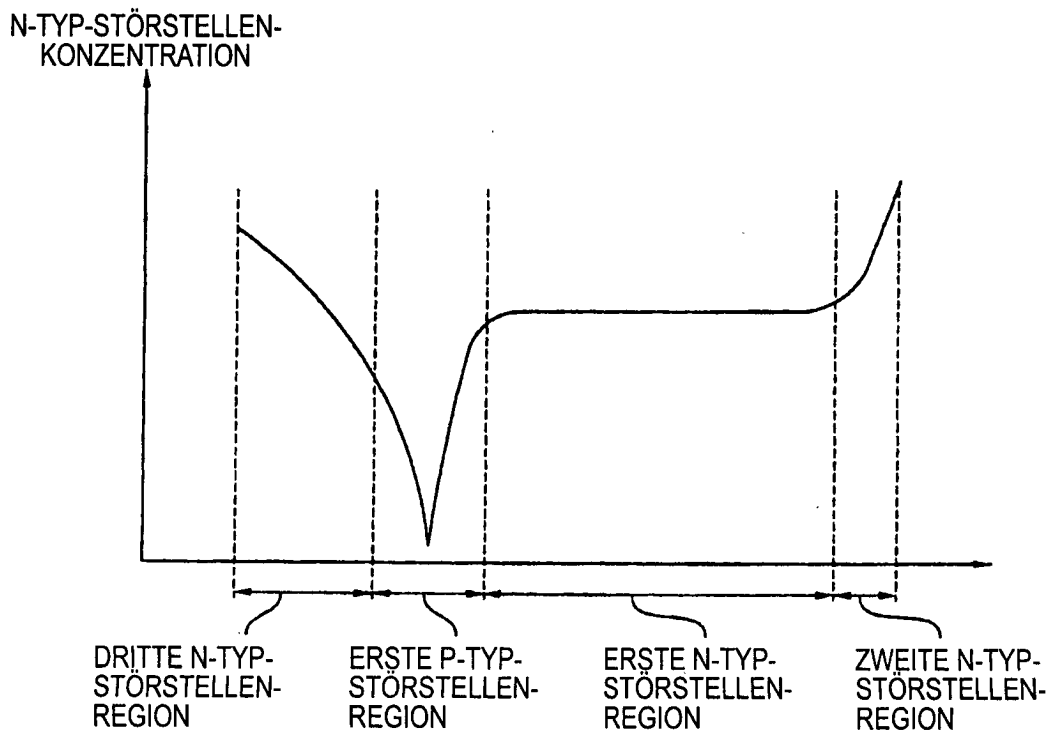


FIG.3
(STAND DER TECHNIK)

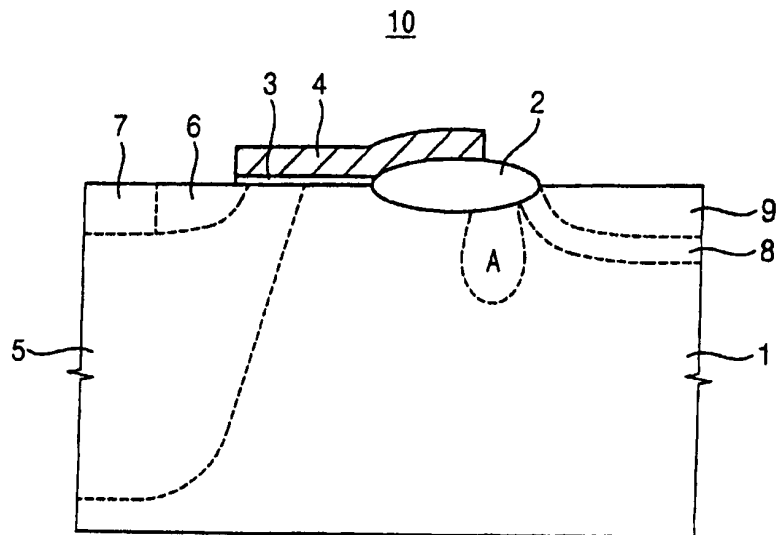


FIG.4

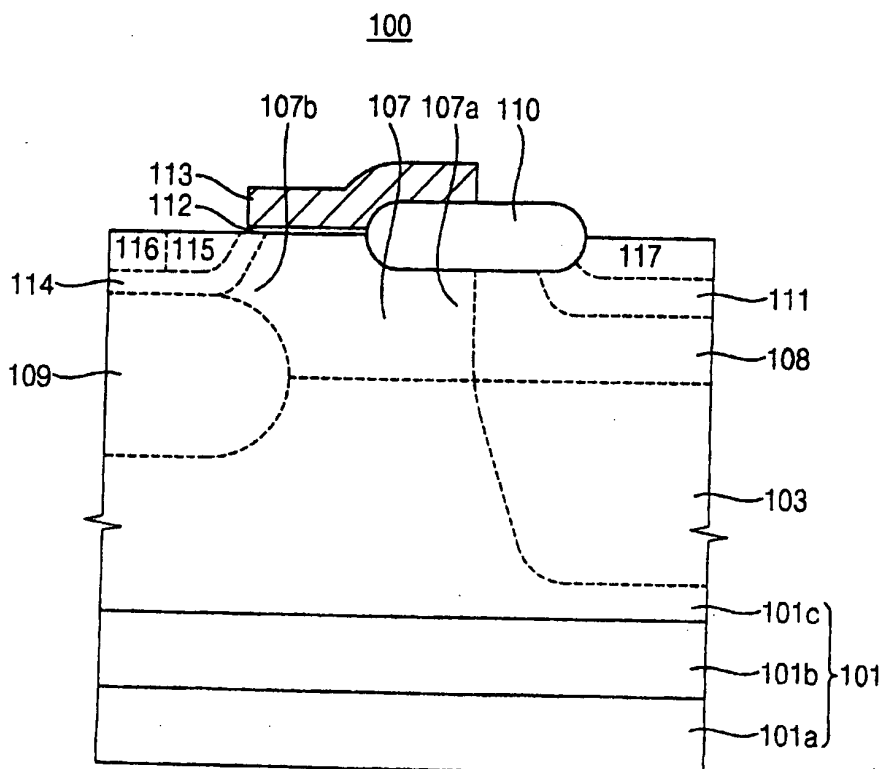


FIG. 5

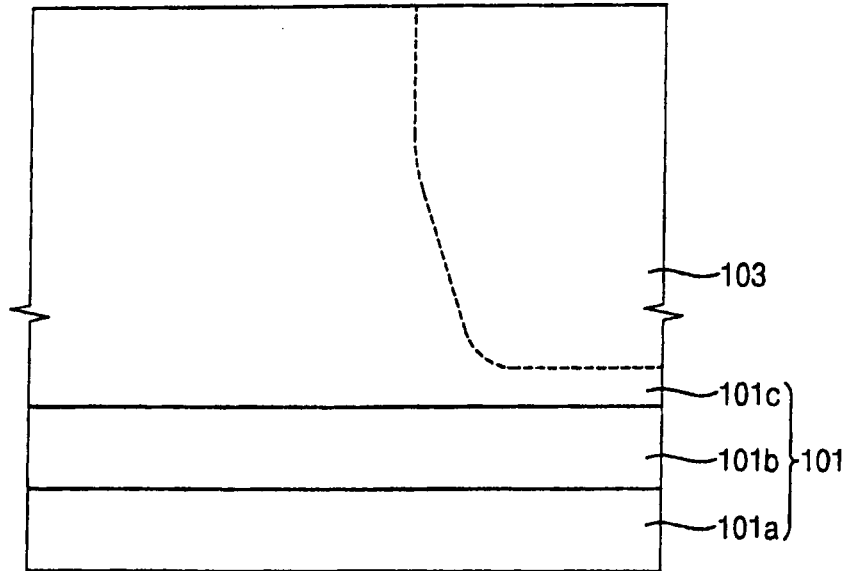


FIG. 6

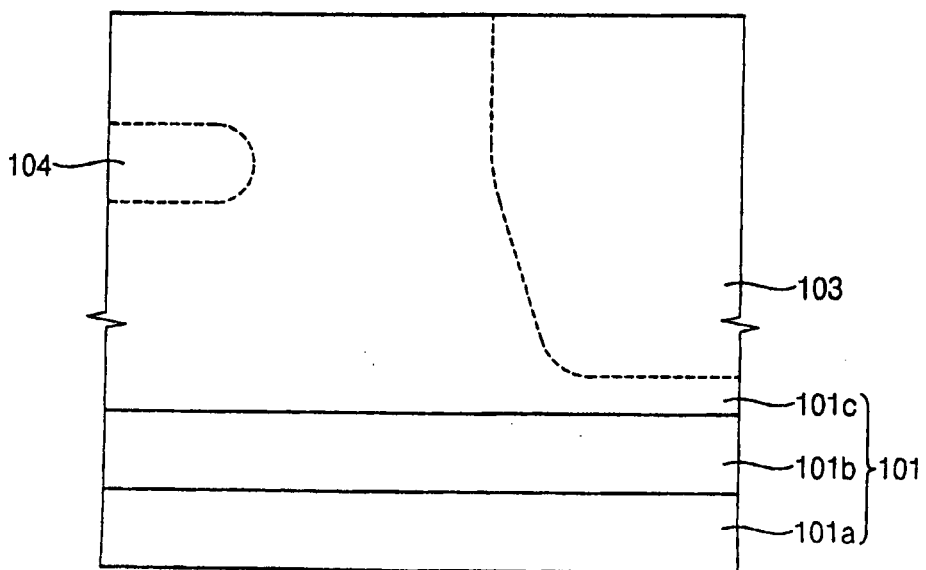


FIG. 7

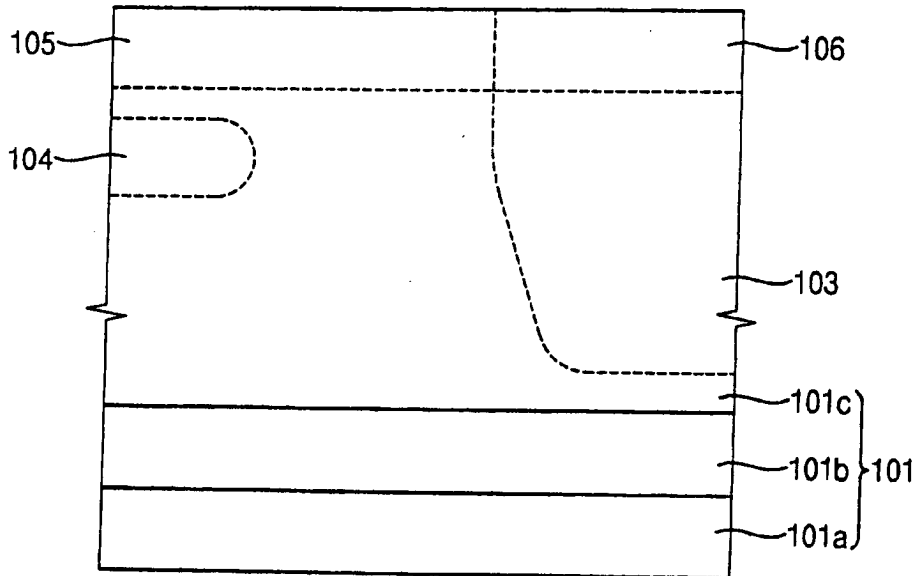


FIG. 8

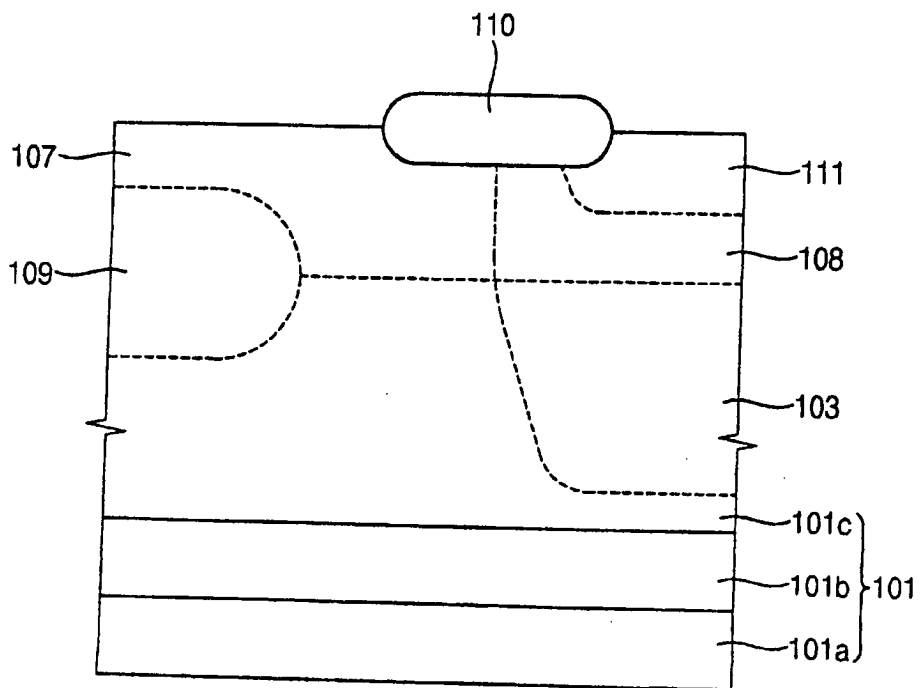


FIG. 9

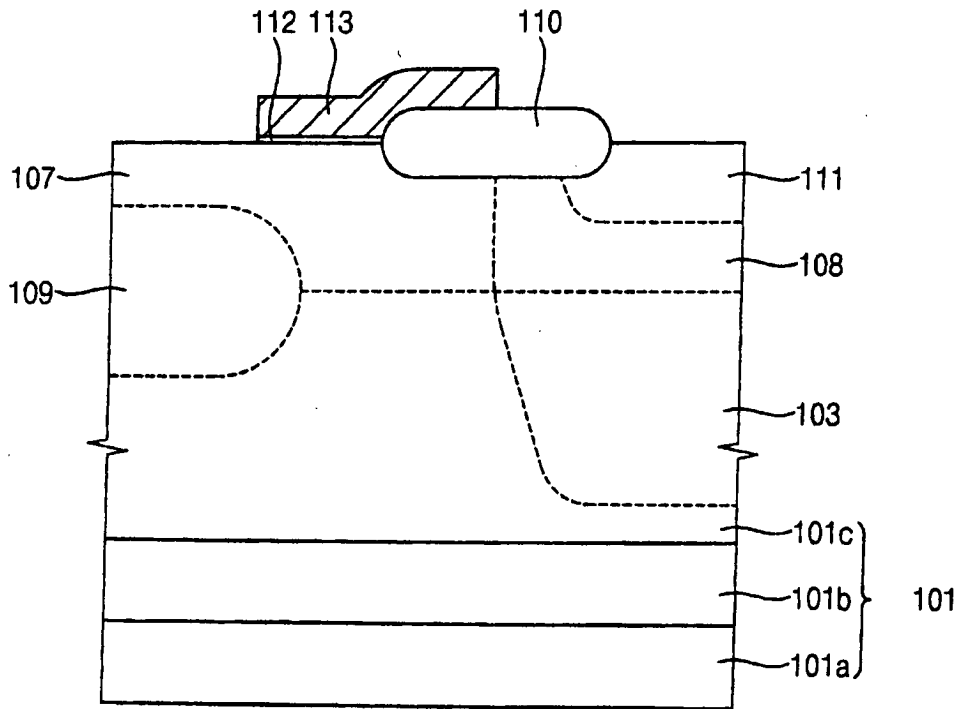


FIG. 10

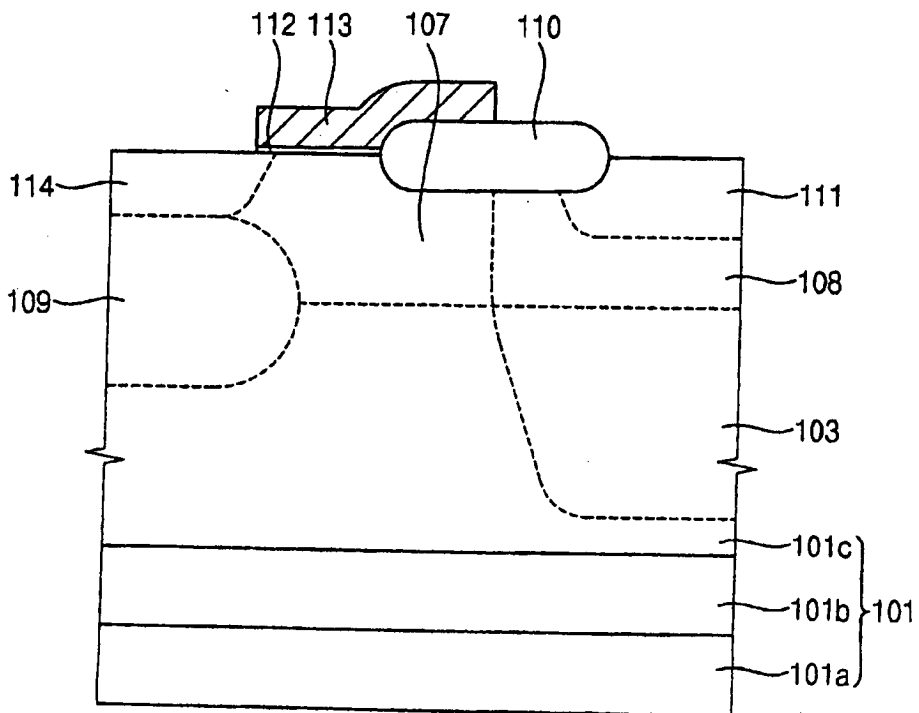


FIG. 11

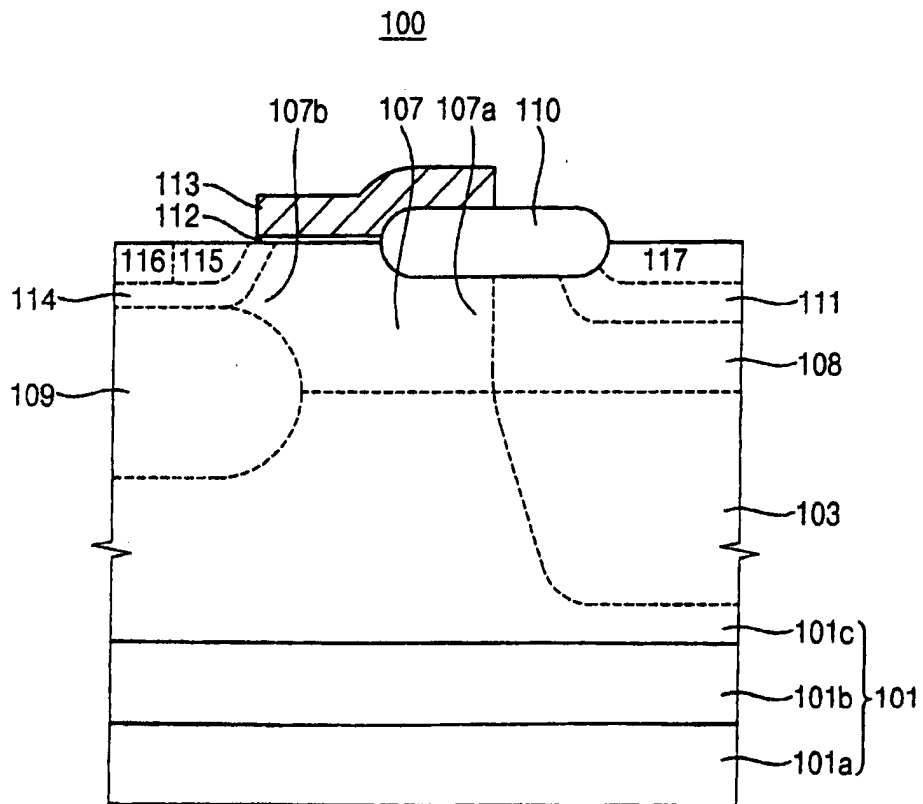


FIG.12

