六、告本

申請日期	88.2.10
案號	88102039
類別	H03K 3/78, 19/08

（以上各欄由本局填註）

A4
C4

457775

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	使用在半導體元件之基底偏壓產生電路
	英文	
二、發明 ~~創作~~ 人	姓名	柳勳
	國籍	大韓民國
	住、居所	大韓民國京畿道水原市八達區梅灘 4 洞東南 Apt3-310
三、申請人	姓名（名稱）	三星電子股份有限公司
	國籍	大韓民國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代表人姓名	尹鍾龍

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

457775

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 ☑無主張優先權
韓國	1998/6/19	98-23112	

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ ）

本發明是有關於一種半導體元件，且特別是有關於一種用來產生使用在一半導體元件中之一基底偏壓的電路。

所有 MOS 記憶體結構不時地運用晶片上電壓製造(On-Chip Voltage Generation)。當在接地電壓及電源供應電壓間的任何電壓是可產生使用於一半導體晶片(如一記憶體晶片)時，其亦可能在晶片上產生低於接地電壓，以及高於電源供應電壓之電壓。

在 MOS 記憶體中最常用之晶片上電壓之製造爲後偏壓製造(Back-Bias Voltage Generation)(在此稱之爲基底偏壓製造(Substrate Bias Voltage Generation)或逆向偏壓製造(Reverse-Bias Voltage Generation))。早期之 MOS RAMs 使用可提供一負偏壓到基底之電源供應電壓。在很多情況中，晶片上後偏壓之製造已取代上述電源供應。

晶片上基底電壓產生器之最大優點爲可降低界面之區域順向偏壓產生之機率。此順向偏壓會將電子注入到基底，進而導致動態電路問題。此外，例如在記憶體元件中，由於在記憶體儲存電板下之電子聚集而具有可減少更新時間(Refresh Time)之優點。

因爲電晶體是在體效應(Body Effect)曲線之平坦區域操作，以及較低的界面電容會降低負載，所以當使用晶片上基底電壓產生器時亦具有可改善速度及功率之特徵。因此，可使一電晶體之體效應所造成之臨界電壓變化爲最小，以及增加穿透電壓(Punch Through Voltage)。

另外優點爲可改善位元線之電容。其乃由於界面電容供獻至特定之位元線電容比供獻至全部儲存電容還多，以

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（2）

便可增加輸送到感應放大器之微分信號。因此，如果藉由基底電壓產生器之使用來提供一固定負電壓到上述基底，則可改善記體晶片的性能。

參考第 1 圖，其係顯示出一傳統基底偏壓產生器 1 之方塊圖。在第 1 圖中，一振盪器 10、一時鐘產生器 12、一充電泵浦電路 14、一檢測器 16 構成上述基底偏壓產生器 1。

因爲來自檢測器 16 之輸出是藉由一回授迴路供應到振盪器 10，所以振盪器 10 只有在一檢測到之基底電壓 V_{BB} 沒有維持在一固定負電壓時才操作，其中所檢測到之基底電壓 V_{BB} 是來自連接到一半導體基底之輸出端(未顯示)。一時鐘產生器 12(或稱之爲驅動器)供應一方形波信號(稱之爲一時鐘信號或一充電泵浦驅動信號)到充電泵浦電路 14，以回應來自振盪器 10 之一輸出信號(或稱之爲一振盪信號。此充電泵浦電路 14 是連接到基底電壓 V_{BB}，並且用來實施充電操作，以回應來自時鐘產生器 12 之輸出。結果，可使基底偏壓 V_{BB} 變成一負電壓準位。

Jeon所擁有之美國專利號碼 5,343,088"CHARGE PUMP CIRCUIT FOR A SUBSTRATE VOLTAGE GENERAGOR OF A SEMICONDUCTOR MEMORY DEVICE"之第 2 圖中揭露出一充電泵浦電路 14。Tsay 所擁有之美國專利號碼 5,120,993"SUBSTRATE BIAS VOLTAGE DETECTION CIRCUIT"之第 1 圖中揭露出檢測器 16 之例子。Park 之美國專利碼號 5,266,842"CHARGE PUMP CIRCUIT FOR A SUBSTRATE VOLATEGE GENERATOR"之第 1 圖中揭露

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

另一充電泵浦電路的例子。上述專利在此以提出之方式併入此說明書中。

自時鐘產生器 12 傳送驅動信號 CLK1、CLK2，以便使其具有相同之相位，但具有不同之脈衝寬度。相似地，亦自時鐘產生器 12 提供驅動信號 CLK3、CLK4，其具有相同之相位，但是具有不同之脈衝寬度。此外，驅動信號 CLK1、CLK2 之相位與驅動信號 CLK3、CLK4 之相位是相反的。驅動信號 CLK1-CLK4 間之關係描述於第 3 圖中(參考美國專利號碼 5,266,842 及 5,343,088)。結果，美國專利號碼 5,343,088 中第 3 圖所揭露之充電泵浦電路 14 能在一完整時鐘週期期間實施兩次充電泵浦之操作。

此對於熟知此項技術的人是顯而易知的，亦即因爲 MOS 電晶體之臨界電壓值主要是由形成 MOS 電晶體之物質所決定，所以很少會降低其臨界電壓值。當增加半導體記憶體元件之整合度時，使用於其中之操作電源供應電壓傾向於有逐漸降低之現象。縱使降低操作電源供應電壓，則其操作特性必須維持與在操作電源供應電壓降低之前是一樣的。

但是，依據習知技術之基底偏壓產生器 1 會具有此一問題，亦即基底偏壓 V_{BB} 不會降低至低於-Vcc+|Vtp|值，其中符號|Vtp|表示 PMOS 電晶體 42、46 之臨界電壓的絕對值。例如:假設使用在此元件中之電源供應電壓 Vcc 爲 5V，而臨界電壓 Vtp 爲 1V。在此狀態下，基底偏壓產生器 1 產生約-4V 之基底偏壓 V_{BB}。如果，例如:在:降低電供應電壓 Vcc 成爲 2V，則依據此狀況基底偏壓產生器 1 會

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（七）

使偏壓 V_{BB} 大約成爲-1V。因此，基底偏壓電壓產生器 1 之泵浦效率(的降低)是與電源供應電壓(操作電源供應電壓(的降低)成正比。

因此本發明的主要目的在於提供一種可改善泵浦效率之使用在半導體元件中的基底偏壓產生器。

爲了達成本發明之上述目的，一種依據本發明之觀念所提供之基底偏壓產生電路包括一振盪器、一時鐘產生器、一準位轉換器、一充電泵浦電路。上述時鐘產生器接收來自振盪器之一振盪信號，然後產生第一、第二、第三、第四時鐘信號，以回應此振盪信號。上述準位轉換器產生分別對應於第一、第二、第三、第四時鐘信號之第一、第二、第三、第四充電泵浦驅動信號。上述充電泵浦電路回應第一、第二、第三、第四充電泵浦驅動信號，並且在一完整時鐘週期期間將電荷注入到一基底偏壓端兩次，以便使其大致維持在一固定負電壓準位。

依據上述所提之組態，當第一或第四時鐘信號變成高準位狀態時，上述準位轉換器將第一或第四時鐘信號之電壓準位轉換成比電源供應電壓高之較高電壓準位。如此可使更多的電荷經由充電泵浦電路注入到一基底電壓端，以便縱使降低電源供應電壓，亦可改善基底偏壓產生電路之泵浦效率。

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

圖式之簡單說明：

第 1 圖係顯示出一傳統基底偏壓產生器的電路方塊圖；

第 2 圖係顯示出依據習知技術之一充電泵浦電路的電路圖；

第 3 圖係顯示出依據習知技術之時鐘信號間關係的波形圖；

第 4 圖係顯示出本發明之一基底偏壓產生器的電路方塊圖；

第 5 圖係顯示出依據本發明實施例之一時鐘產生器、一準位轉換器、一充電泵浦電路的電路圖；

第 6 圖係顯示出依據本發明之時鐘信號間關係的波形圖；

第 7 圖係顯示出本發明及習知技術之基底偏壓的示意圖；

第 8 圖係顯示出依據本發明另一實施例之一時鐘產生器、一準位轉換器、一充電泵浦電路的電路圖。

圖式之簡單說明：

10:振盪器

12:時鐘產生器

14:充電泵浦電路

16:檢測器

100:振盪器

120:時鐘產生器

140:準位轉換器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

160:充電泵浦電路

180:檢測器

1000:基底偏壓產生器

CLKA、CLKB、CLKC、CLKD:第一時鐘信號、第二時鐘信號、第三時鐘信號、第四時鐘信號

CPDS1、CPDS2、CPDS3、CPDS4:第一充電泵浦驅動信號 CPDS1、第二充電泵浦驅動信號 CPDS2、第三充電泵浦驅動信號 CPDS3、第四充電泵浦驅動信號 CPDS4

V_{BB}:基底偏壓端

V_{CC}:電源供應電壓

|Vtp|:絕對臨界電壓。

實施例

如第 4 圖所示，本發明之特徵在於提供可接收來自一時鐘產生器 120 之一輸出信號(亦即，一時鐘信號)的一準位轉換器 140。此準位轉換器 140 具有可將上述輸出信號之電壓準位轉換成比電源供應電壓準位高之電壓準位。以下將配合第 4 圖來說明，其中第 4 圖係顯示依據本發明之一基底偏壓產生器 1000 結構的電路方塊圖。

在第 4 圖中，本發明之基底偏壓產生器 1000 是由一振盪器 100、一時鐘產生器 120、一準位轉換器 140、一充電泵浦電路 160、一檢測器 180 所組成。上述時鐘產生器 120 及準位轉換器 140 相當於一驅動信號產生裝置。

準位轉換器 140 接收由上述時鐘產生器 120 所產生之一第一電壓準位之一輸出信號(例如:上述電源供電壓 Vcc

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
訂
線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

準位);然後，將其第一電壓準位轉換成比電源供應電壓 Vcc 準位高之一第二電壓 Vpp 準位。在本實施例中，可使用一高電壓，例如可做爲一半導體記憶體元件(如 DRAM 元件)之一字元線電壓，來做爲第二電壓 Vpp。在第 4 圖中，組成方塊 100、120、160、180 實施如第 1 圖所述之相同的功能。因此，在此省略其說明。

第 5 圖係顯示出依據本發明第一實施例之時鐘產生器 120、準位轉換器 140、充電泵浦電路 160 之詳細方塊圖。

如第 5 圖所示，時鐘產生器 120 產生第一、第二、第三、第四時鐘信號 CLKA、CLKB、CLKC、CLKD，以回應來自振盪器 100 之一振盪信號 OSC。時鐘產生器 120 包括 7 個彼此串聯的反相器 121-127、2 個 NOR 閘 128、129、2 個 NAND 閘 130、131，其彼此相連如第 5 圖所示。第一、第二、第三、第四時鐘信號 CLKA、CLKB、CLKC、CLKD 依序以一預定時間間隔(如相對應於 2 個反相器之延遲時間)從高準位變成低準位狀態，以及第四、第三、第二、第一時鐘信號 CLKD、CLKC、CLKB、CLKA 依序以上述之預定時間間隔從低準位變成高準位。亦即，第一、第二、第三、第四時鐘信號 CLKA、CLKB、CLKB、CLKD 彼此具有不同之脈衝寬度。

繼續參考第 5 圖，準位轉換器 140 具有 2 個準位轉換部分 140a、140b、7 個反相器 147-153，其連接如圖所示。相對應於一反相部分爲 3 個反相器 147、148、149，而 4 個反相器 150、151、152、`153 則對應於一緩衝器部分。

連接到 NOR 閘 128 之輸出的準位轉換部分 140a 包括

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

一準位移位器(Level Shifter)。此準位移位器(之後稱之爲第一準位移位器)具有 2 個 PMOS 電晶體 141、142、2 個 NMOS 電晶體 143、145、2 個反相器 144、146，其組配如圖所示。提供上述第二電壓 Vpp 給 PMOS 電晶體 141、142、反相器 146，其中此第二電壓 Vpp 比第一電壓高，且用來做爲電源供應。因此，第一準位移位器 140a 接收電源供應電壓 Vcc 之第一時鐘信號 CLKA，並將其轉換成爲第二電壓 Vpp 準位之一第一充電泵浦驅動信號 CPDS1。同時，上述較高電壓 Vpp 之第一充電泵浦驅動信號 CPDS1 亦經由第一準位移位器 140a 反相。此外，上述經由 3 個串聯反相器 147、148、149(爲一反相部分)將第二時鐘信號 CLKB 反相成爲一第二充電泵浦驅動信號 CPDS2 後，提供到上述充電泵浦電路 160。

同樣地，連接到 NAND 閘 131 之輸出的準位轉換部分 140b 包括一準位移位器(在此稱之爲一第二準位移位器)，上述第二準位移位器具有 2 個 PMOS 電晶體 154、155、2 個 NMOS 電晶體 156、158、3 個反相器 157、159、161，其連接如第 5 圖示。提供一較高電壓 Vpp 給 PMOS 電晶體 154、155 及反相器 159、161，以做爲電源供應。因此，上述第二準位移位器接收電源供應電壓 Vcc 之第四時鐘信號 CLKD。然後，將其轉換成較高電壓 Vpp 之一第四充電泵浦驅動信號 CPDS4。同時，經由第二準位移位器來反相電壓 Vpp 之時第四鐘信號 CLKD。上述第三時鐘信號 CLKE 經由 4 個串聯反相器 150-153 處理後成爲一第三充電泵浦驅動信號 CPDS3，並提供至充電泵浦電路 160，而不需有

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（9）

準位之轉換。

結果，如第 6 圖所示，其係顯示出充電泵浦驅動信號 CPDS1-CPDS4 之關係的波形圖。在第 6 圖中，所提供之第一、第二充電泵浦驅動信號 CPS1-CPDS2 爲同相，但是彼此具有不同脈衝寬度。同樣地，第三、第四充電驅動信號 CPDS3、CPDS4 爲同相，但是彼此具有不同之脈衝寬度。再者，驅動信號 CPDS1、CPDS2 之相位是與信號 CPDS3、CPDS4 之相位相反。再者，第一、四充電泵浦驅動信號 CPDS1、CPDS4 各具有比電源供應電壓 Vcc 準位高之電壓 Vpp。

藉由充電泵浦驅動信號 CPDS1-CPDS4 之使用，充電泵浦電路 160 在一完整時鐘週期期間可實施兩次之泵浦操作。本發明之充電泵浦電路 160 是與第 2 圖的充電泵浦電路是一樣的。因此，省略其說明。

以下將配合圖式對依據本發明之操作做詳細之說明。當第一、第二充電泵浦驅動信號 CPDS1、CPDS2 爲高準位時，第三、第四充電泵浦驅動信號 CPDS3、CPDS4 在一預定週期時間之後會變成爲低準位狀態(亦即，爲一接地電壓 Vss 準位。在此實施例中，當在第一驅動信號 CPDS1 變成一高準位時，其會具有比電源供應電壓 Vcc 準位高的電壓 Vpp 準位。

此時，泵浦電容器 166、164 會強迫節點 D、E 之電壓成爲一負電源供應電壓-Vcc 準位，以及泵浦電容器 167 會強迫在節點 F 之電壓成爲一負高電壓-Vpp。PMOS 電晶體 168、172、174 會依序導通。在前半時鐘週期從一基底偏

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（ (ㄅ)

壓端 V_{BB} 流到節點 B 之電荷會經由導通之 PMOS 電晶體 170 而放電到接地 Vss。

因爲來自基底偏壓端 V_{BB} 之電荷亦會經由 NMOS 電晶體 168 流到節點 A，所以在節點 A 之電壓會維持比接地電壓 Vss 準位高。因此，會使 PMOS 電晶體 169 不導通，並且使節點 B 與基底偏壓端 V_{BB} 成電性斷路。

此外，因爲來自基底偏壓端 V_{BB} 之電荷亦經由 PMOS 電晶體 174 轉移到節點 C，所以在節點 C 之電壓會維持比接地電壓 Vss 準位高。因此，使 PMOS 電晶體 173 不導通，並且使節點 D 與接地 Vss 成電性分離。接下來輪到使 PMOS 電晶體 175 不導通，以及使節點 E 之電壓維持在比負電源供應電壓-Vcc 準位高。

此時與習知技術比較，會有更多電荷經由 PMOS 電晶體 172 從基底偏壓端 V_{BB} 轉移到節點 D。此乃因爲 PMOS 電晶體 172 之閘極是連接到具有負高電壓準位-Vpp 之節點 F。亦即，當降低電源供應電壓 Vcc 時，可將可足夠克服會造成此泵浦效率損失之臨界電壓 Vtp 的電壓供應到 PMOS 電晶體 172 之閘極。結果，會使基底偏壓端 V_{BB} 下降到一負電壓。

當第三、第四充電泵浦驅動信號 CPDS3、CPDS4 變成高準位狀態，以及第一及第二充電泵浦信號 CPDS1、CPDS2 成爲低準位狀態(亦即爲一接地電壓 Vss 準位)時，泵浦電容器 162 會使節點 A 成爲負高電壓-Vpp 準位，而泵浦電容器 163、165 會使節點 B、C 分別成爲負電源供應電壓-Vcc 準位。此乃因爲第三充電泵浦驅動信號 CPDS3 具有電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（（ ）

源供應電壓 Vcc，以及第四充電泵浦驅動信號 CPDS4 具有比電源供應電壓 Vcc 高之電壓 Vpp。同樣地，PMOS 電晶體 169、171、173、175 會依序導通。

在前半時鐘週期期間從基底偏壓端 V_{BB} 流到節點 D 之電荷是經由 PMOS 電晶體 173 放電到接地。因爲來自基底偏壓端 V_{BB} 之電荷是經由 PMOS 電晶體 171 轉移到節點 F，在節點 F 之電壓是經由 PMOS 電晶體 171 以維持比接地電壓 Vss 高。因此，使 PMOS 電晶體 172 不導通，以及節點 D 會與基底偏壓端 V_{BB} 電性分離。

因爲來自基底偏壓端 V_{BB} 之電荷亦是經由 PMOS 電晶體 175 轉移到節點 E，所以在節點 E 上之電壓準位會維持比接地電壓 Vss 高。因此，PMOS 電晶體 174 會不導通，如此使在節點 C 上之電壓準位可維持比負電源供應電壓-Vcc 準位高。

此時與習知技術比較，會有更多來自基底偏壓端 V_{BB} 之電荷是經由 PMOS 電晶 169 轉移到節點 B。此乃因爲 PMOS 電晶體 169 之閘極是連接到具有比-Vcc 低之負高電壓-Vpp 的節點 A。亦即，當降低電源供應電壓 Vcc 時，提供可足夠克服會造成此充電效率損失之臨界電壓的電壓到 PMOS 電晶體 169 之閘極。結果，使基底偏壓端 V_{BB} 會降到負電壓。

如上所述，因爲來自基底偏壓端 V_{BB} 之電荷是經由對應之 PMOS 電晶體 169 或 172 轉移到節點 B 或 D，所以基底偏壓 V_{BB} 會理想地降低成爲大約一負電壓-Vpp+|Vtp|，其中 PMOS 電晶體 169 或 172 之閘極會接收

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（12）

比一負電源供應電-Vcc 準位低之一負電壓-Vpp。符號|Vtp|是指 PMOS 電晶體 169、172 之臨界電壓的絕對值。例如：假設電源供應電壓 Vcc 爲 2V，高電壓 Vpp 爲 3.2V，以及絕對臨界電壓|Vtp|爲 1V。在此情況下，參考第 7 圖，本發明之基底偏壓產生器 1000 產生約-2V 之基底偏壓 V_{BB}，然而習知技術之基底偏壓產生器 1 產生電壓約-1V 之電壓 V_{BB}。此意味基底偏壓 V_{BB} 大約相等於負電源供應電壓-Vcc。縱使降低電源供應電壓 Vcc，因爲在充電泵浦電路 160 之 PMOS 電晶體 169/172 是由相對應之充電泵浦驅動信號 CPDS1/CPDS4 所驅動，其中充電泵浦驅動信號 CPDS1/CPDS4 具有比電源供應電壓 Vcc 高之電壓(亦即，可克服習知技術之缺點。

參考第 8 圖，其係顯示出依據第二實施例之一時鐘產生器 220、一準位轉換器 240、一充電泵浦電路 260。除了第 8 圖中泵浦電路(Pump Circuit)240a/240b 用以取代第 5 圖之準位移位器外，第二實施例與第一實施例大致相等。

第 8 圖之泵浦電路 240a、240b 本身皆產生比電源供應器電壓 Vcc 高之電壓。因爲泵浦電路 240a、240b 在習知技術中是已知的，所以在此省略說明。

結果，很明顯地與第一實施例一樣，第二實施例之基底偏壓產生器具有相同之效應及功能。亦即，縱使降低電源供應電壓 Vcc，因爲在充電泵浦電路 260 中之 PMOS 電晶體 278/282 是由相對應之具有比電源供應電壓 Vcc 高之充電泵浦驅動信號 CPDS1/CPDS4 所驅動，所以可防止泵浦效率之損失。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

在第一、第二實施例中，任何可轉換一電壓準位或產生比電源供應電壓 Vcc 高之電壓的各種不同電路，亦可被使用來代取準位移位器及泵浦電路。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者爲準。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：使用在半導體元件之基底偏壓產生電路）

本發明揭露一基底偏壓產生電路，其包括一驅動信號產生電路、一充電泵浦滿電路。驅動信號產生電路產生第一、第二、第三、第四充電泵浦滿驅動信號，以回應一振盪信號。當第一、第二、第三、第四充電泵浦滿驅動信號變成高準位狀態時，則每一來自驅動信號產生電路之第一、第二、第三、第四充電泵浦滿驅動信號會具有比一電源供應電壓高之電壓準位。依據上述組態，縱使降低電源供應電壓，由於在充電泵浦滿電路中之一 PMOS 電晶體是由具有比電源供應電壓高之充電泵浦滿驅動信號所驅動，所以可防止泵浦滿效率(Pump Efficiency)的損失。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1.一種使用在半導體元件之基底偏壓產生電路，其用來提供一基底偏壓到一基底偏壓端，該基底偏壓產生電路包括:

一振盪裝置，其用來產生一振盪信號;

一驅動信號產生裝置，其用來產生至少一充電泵浦驅動信號，以回應該振盪信號，其中該驅動信號產生裝置具有至少一準位轉換部分，該至少一準位轉換部分可將該充電泵浦驅動信號之高電壓準位轉換成比電源供應電壓準位高之較高電壓準位;

充電泵浦裝置，其用來接收該充電泵浦驅動信號，以便將電荷注入到該基底電壓端，進而使該基底電壓端具有一固定之負電壓準位。

2.如申請專利範圍第 1 項所述之基底偏壓產生器電路，其中該準位轉換部分包括一準位移位器，其中該準位移位器用來接收在半導體元件中所產生之該較高電壓，以做爲其電源。

3.如申請專利範圍第 1 項所述之基底偏壓產生器電路，其中該準位轉換部分包括一泵浦電路，該泵浦電路可藉由電源供應電壓之使用來產生該較高電壓。

4.一種使用在半導體元件之基底偏壓產生電路，其用來提供一基底偏壓到一基底偏壓端，該基底偏壓產生電路包括:

一振盪器，其用來產生一振盪信號;

一時鐘產生器，其接收該振盪信號，以用來產生第一、第二、第三、第四時鐘信號，以回應該振盪信號，其中該

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一、第二、第三、第四時鐘信號彼此具有不同之脈衝寬度;

一準位轉換器，其接收第一、第二、第三、第四時鐘信號，其中該準位轉換器產生分別對應於該第一、第二、第三、第四時鐘信號之第一、二、第三、第四充電泵浦驅動信號、將具有高電壓準位之第一、第二、第三、第四充電泵浦驅動信號分別轉換成比一電源供應電壓準位高之一較高電壓準位、將第一、第二充電泵浦驅動信號之相位反相，以便使其具有與第三、第四充電泵浦驅動信號之相位相反之相位;以及

一充電泵浦電路，其回應該第一、第二、第三、第四充電泵浦驅動信號，用來在一完整時鐘週期期間將電荷注入到該基底偏壓端兩次，以便使該基底偏壓端大致維持在一固定負電壓準位。

5.如申請範圍第 4 項所述之基底偏壓產生電路，其中第一、第二、第三、第四時鐘信號依序地以一預定時間間隔從高準位轉變成低準位，以及該第四、第三、第二、第一時鐘信號依序地以一預定時間間隔從低準位變成高準位。

6.如申請範圍第 4 項所述之基底偏壓產生電路，其中該準位轉換器包括:

一第一準位轉換部分，其用來將具有高準位電壓之該第一時鐘信號轉換成比該電源供電壓準位高之電壓準位，並將該第一時鐘信號之相位反相，以便輸出該第一充電泵浦驅動信號;

一反相部分，其用來將第二時鐘信號之相位反相，以

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

便輸出該第二充電泵浦驅動信號；

一緩衝器部分，其用來接收該第三時鐘信號，以便輸出該第三充電泵浦驅動信號；以及

一第二準位轉換部分，其用來將高準位之第四時鐘信號轉換成該較高電壓準位，以便輸出該第四充電泵浦驅動信號。

7.如申請專利範圍第 6 項所述之基底偏壓產生電路，其中該準位轉換部分包括一準位移位器或一泵浦電路，該準位移位器或該泵浦電路藉由電源供應電壓之使用來產生該較高電壓。

（請先閱讀背面之注意事項再填寫本頁）

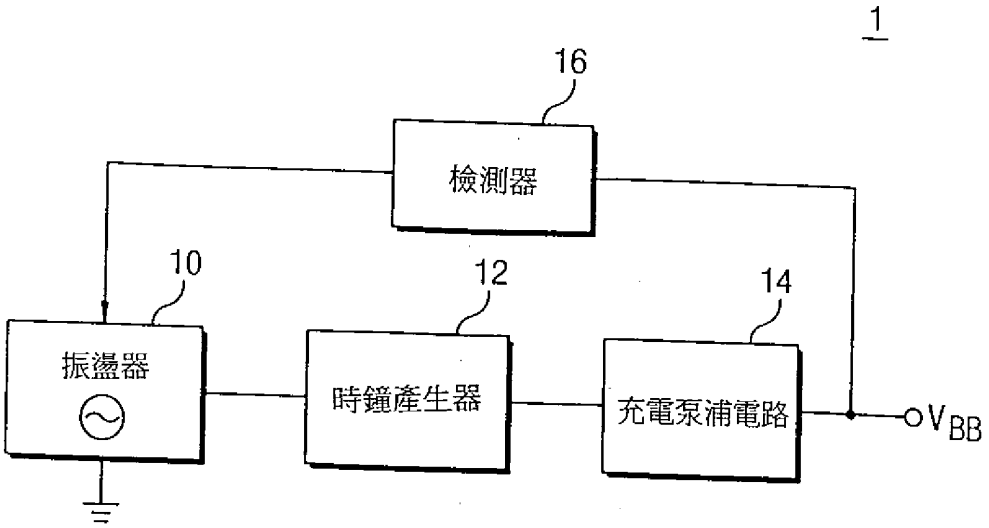
裝

訂

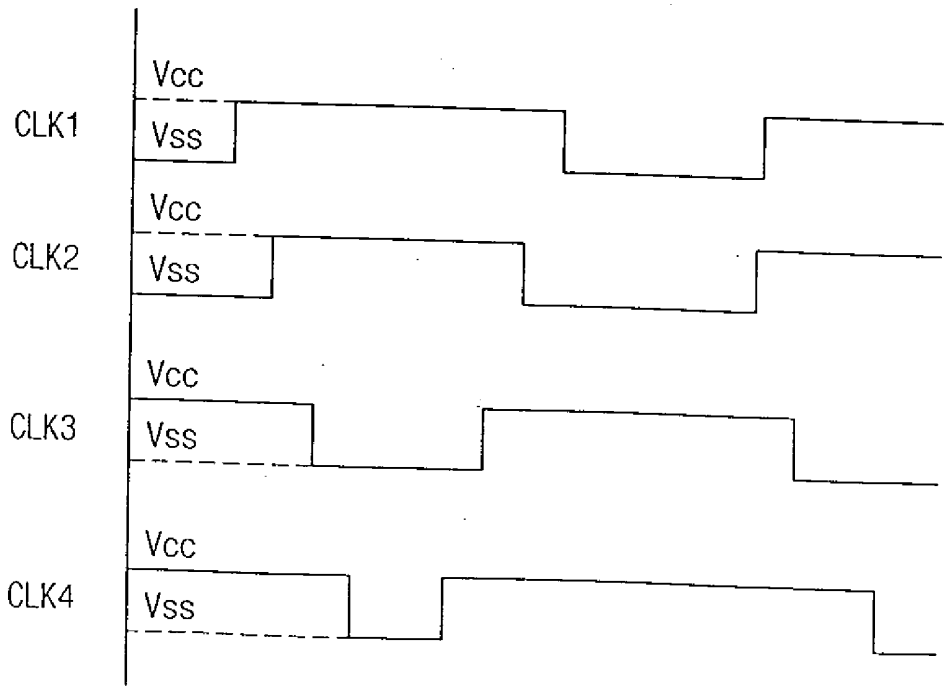
線

經濟部中央標準局員工消費合作社印製

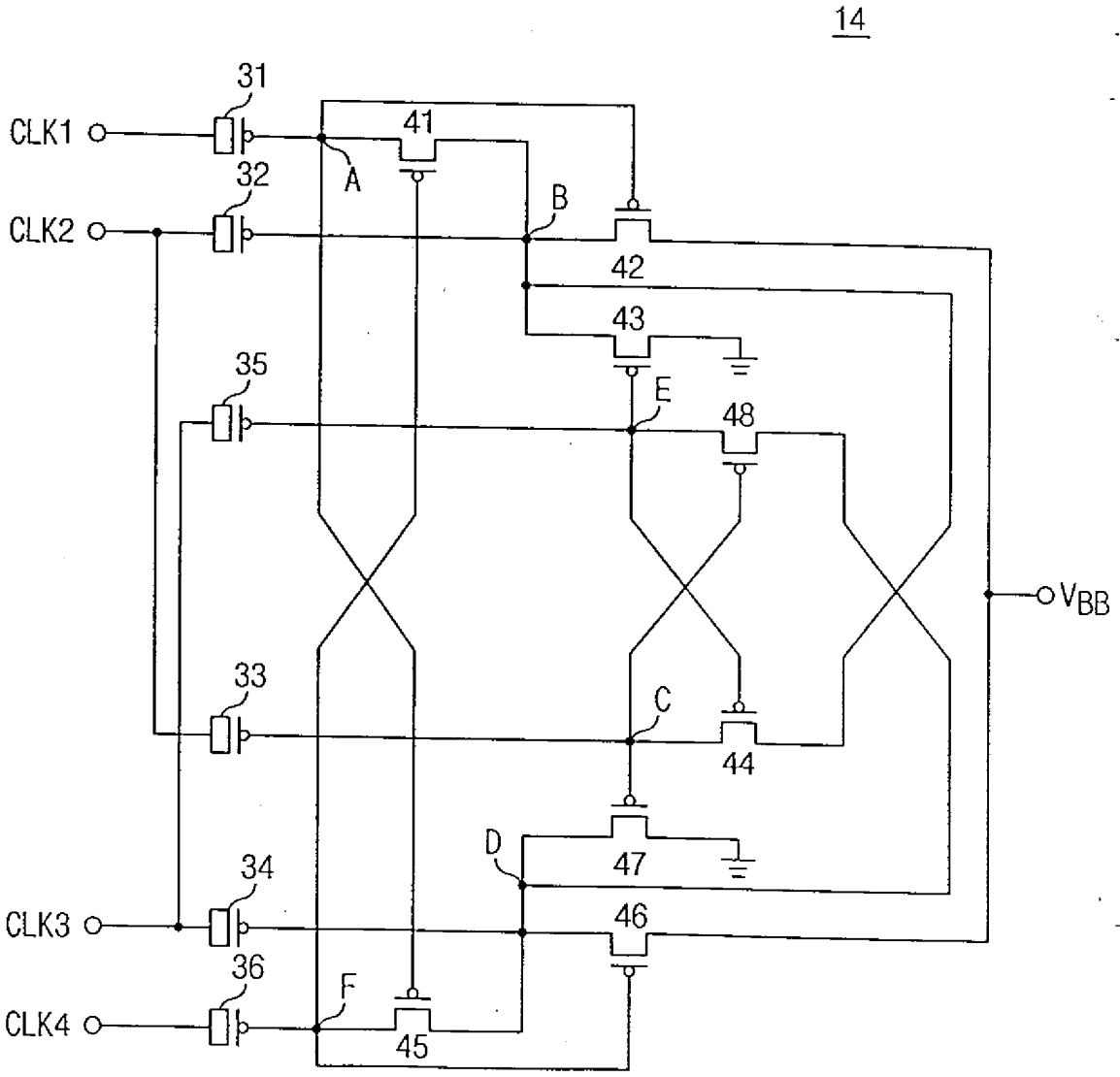
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）


1
16
檢測器
10
振盪器
12
時鐘產生器
14
充電泵浦電路
V_{BB}

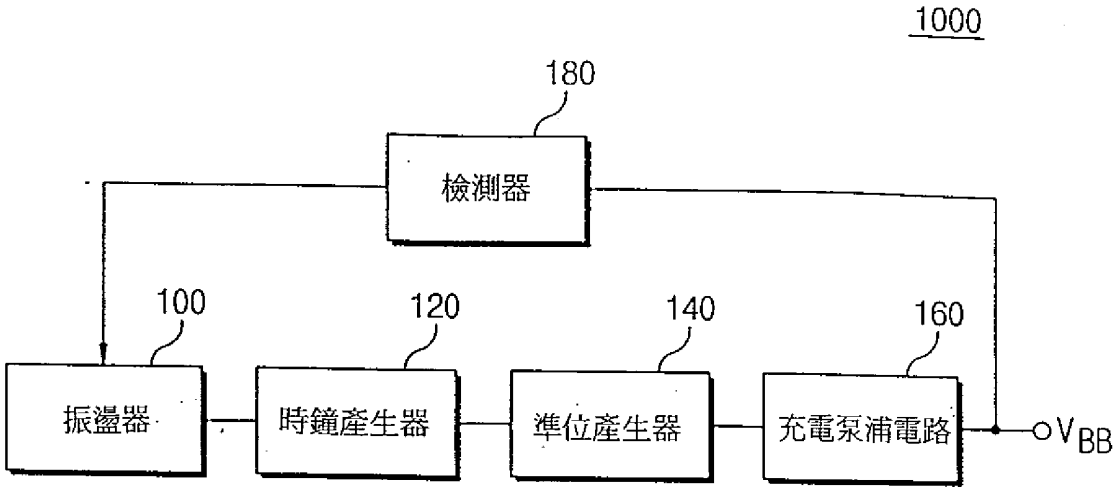
第 1 圖


CLK1
Vcc
Vss
CLK2
Vcc
Vss
CLK3
Vcc
Vss
CLK4
Vcc
Vss

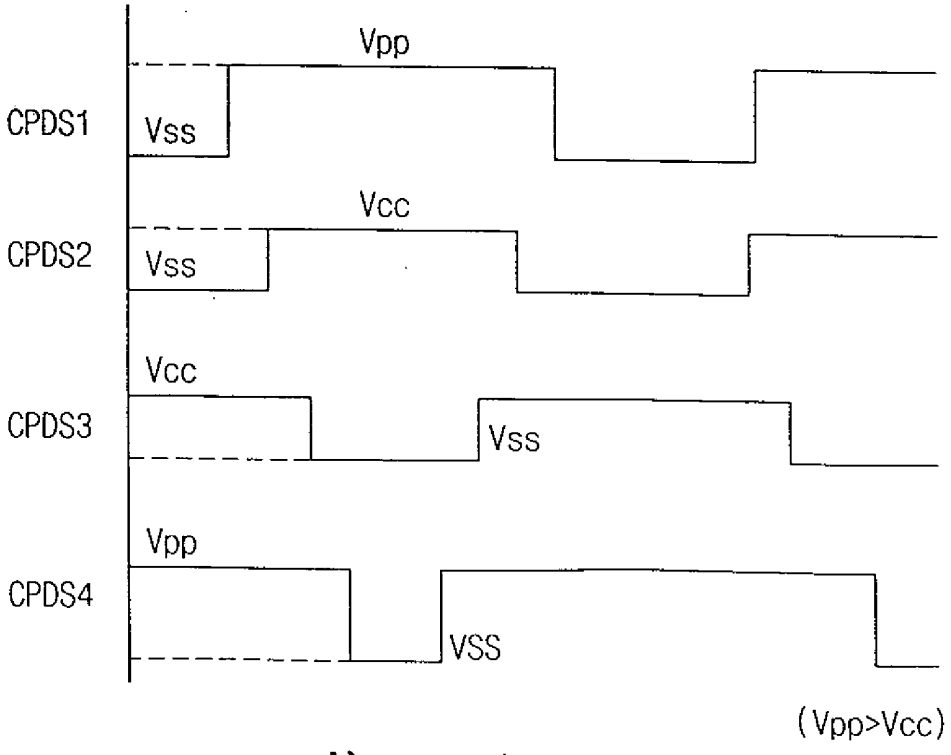
第 3 圖


14
31
CLK1
41
A
32
CLK2
B
42
43
35
E
48
VBB
33
C
44
D
47
34
CLK3
46
36
F
CLK4
45

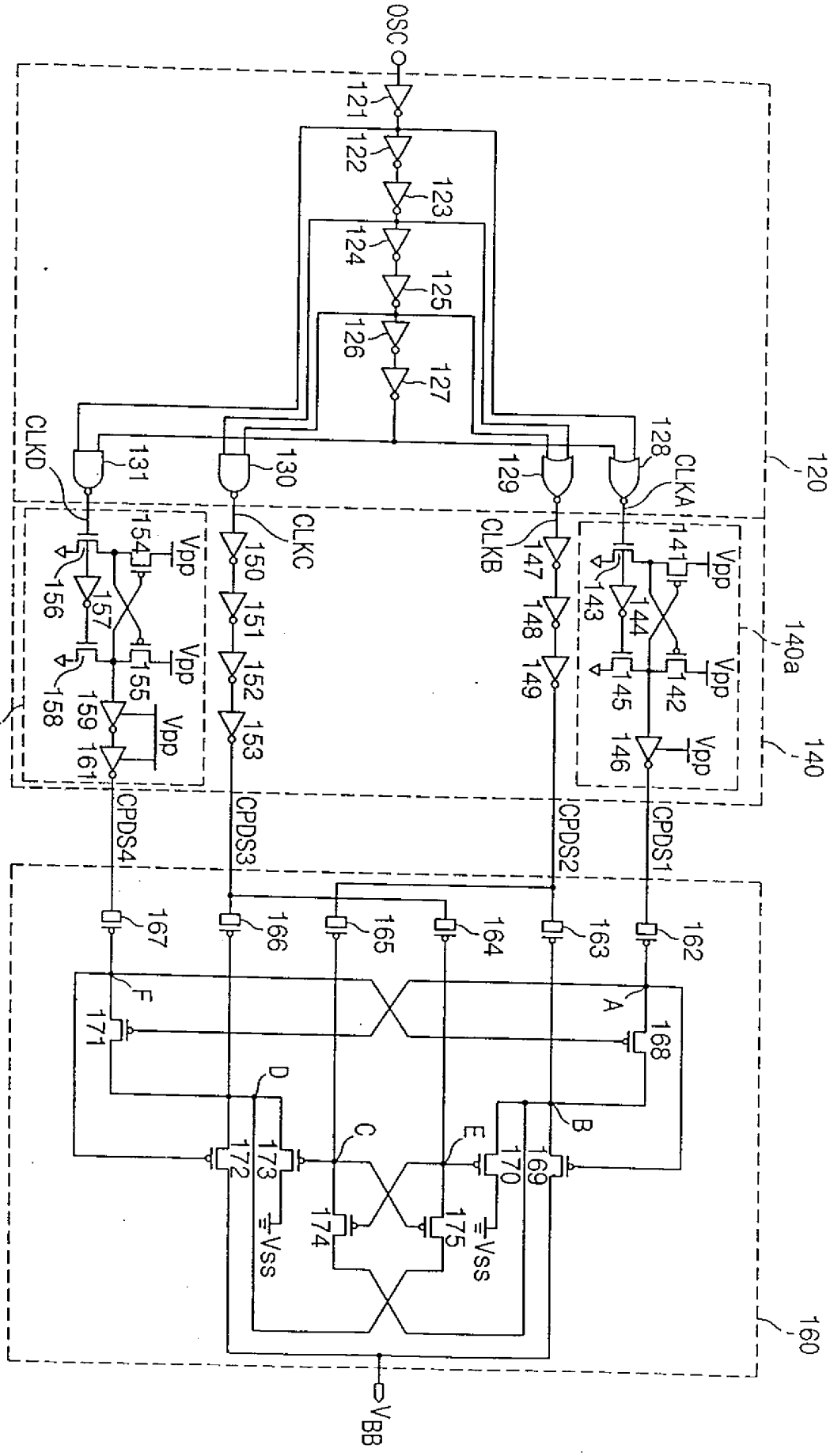
第 2 圖


1000
180
檢測器
100
120
140
160
振盪器
時鐘產生器
準位產生器
充電泵浦電路
V_{BB}

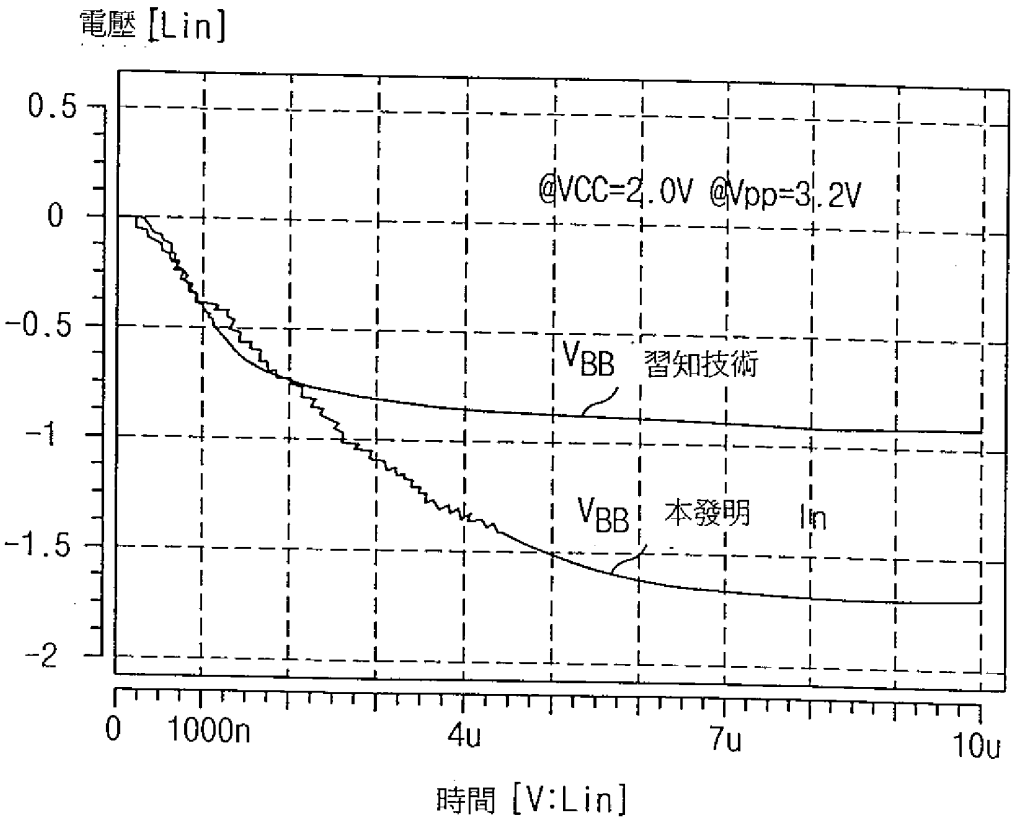
第 4 圖


Vpp
CPDS1
Vss
Vcc
CPDS2
Vss
Vcc
CPDS3
Vss
Vpp
CPDS4
VSS
(Vpp>Vcc)

第 6 圖


OSC
121
122
123
124
125
126
127
120
CLKD
131
130
129
128
CLKA
CLKC
CLKB
140a
140b
140
154
Vpp
156
157
155
158
159
161
150
151
152
153
147
148
149
141
143
144
145
142
146
CPDS4
CPDS3
CPDS2
CPDS1
167
166
165
164
163
162
F
A
171
168
D
C
E
B
172
173
174
175
170
169
Vss
160
VBB

第 5 圖


電壓 [Lin]
0.5
0
-0.5
-1
-1.5
-2
@VCC=2.0V @Vpp=3.2V
VBB 習知技術
VBB 本發明 In
0
1000n
4u
7u
10u
時間 [V:Lin]

第 7 圖