

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 535 525

②① N° d'enregistrement national :

83 16532

⑤① Int Cl³ : H 01 L 21/308, 29/78.

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 18 octobre 1983.

③⑦ Priorité US, 29 octobre 1982, n° 437 796, aux noms de
Ellis N. Fuls et Hyman J. Levinstein.

④③ Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 18 du 4 mai 1984.

⑥⑦ Références à d'autres documents nationaux appa-
rentés :

⑦① Demandeur(s) : Société dite : WESTERN ELECTRIC
COMPANY, INCORPORATED. — US.

⑦② Inventeur(s) : Ellis Nelson Fuls et Hyman Joseph Le-
vinstein.

⑦③ Titulaire(s) :

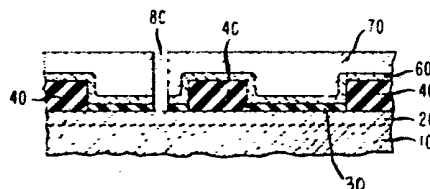
⑦④ Mandataire(s) : Flechner.

⑤④ Procédé de fabrication de circuits intégrés comportant des couches isolantes minces.

⑤⑦ L'invention concerne la technologie des semi-conducteurs.

Conformément au procédé de fabrication de l'invention, on dépose une couche protectrice 60, par exemple une couche de silicium polycristallin, sur une couche mince 30, dans le but de protéger la couche mince contre toute contamination et/ou érosion susceptible de se produire au cours d'un traitement lithographique ultérieur, en particulier l'enlèvement par attaque d'une couche de masquage 70.

Application à la fabrication de circuits à très haut niveau d'intégration.



FR 2 535 525 - A1

D

La présente invention concerne un procédé de fabrication d'un circuit intégré comprenant les opérations qui consistent à former une couche isolante mince sur un bloc de semiconducteur, à former une couche de masquage sur la couche isolante, à attaquer sélectivement la couche de masquage, à attaquer sélectivement la couche isolante en utilisant la couche de masquage en tant que masque, et à enlever la couche de masquage par une opération d'attaque supplémentaire.

- 10 La fabrication de nombreux circuits intégrés fait intervenir la formation d'une couche de matière relativement mince, par exemple une couche d'oxyde mince, sur une seconde matière telle qu'une matière semiconductrice, et la définition ultérieure d'un motif dans la couche de matière mince.
- 15 On effectue de façon caractéristique cette opération de définition de motif en déposant une matière de réserve sur la couche de matière mince, en définissant un motif dans la matière de réserve, en attaquant la couche de matière mince en employant comme masque d'attaque la matière de réserve
- 20 dans laquelle on a défini un motif, puis en enlevant la matière de réserve, par exemple avec des solvants ou des agents d'attaque par plasma.

Parmi les dispositifs de traitement d'information qui subissent une telle procédure de fabrication, figurent

25 de nombreux circuits intégrés MOS (métal-oxyde-semiconducteur), par exemple des circuits logiques MOS (on utilise ici le terme "circuit intégré" pour désigner un ensemble de dis-

positifs interconnectés). Ces circuits intégrés (CI) MOS comprennent un ensemble de TEC MOS (transistors à effet de champ métal-oxyde-semiconducteur), et chacun d'eux comprend une matière semiconductrice de couche de surface active, un oxyde de grille relativement mince formé sur la surface de la couche active, une grille conductrice, par exemple en silicium polycristallin dopé, formée sur la surface de l'oxyde de grille, et deux parties de la couche active dopées de façon relativement forte, situées de part et d'autre de la grille, qui constituent la source et le drain du TEC MOS. Les TEC MOS sont séparés et isolés électriquement les uns des autres par de l'oxyde de champ relativement épais. Il existe en outre des conducteurs en silicium polycristallin qui s'étendent des grilles de TEC MOS sélectionnés vers des contacts en silicium polycristallin traversant les couches minces d'oxyde de grille vers les sources ou les drains d'autres TEC MOS.

A l'heure actuelle, on fabrique les CI MOS décrits ci-dessus en formant les oxydes de grille relativement minces et l'oxyde de champ relativement épais sur la surface de la couche active du CI. L'oxyde de champ relativement épais sépare les zones de surface recouvertes d'oxyde de grille, qu'on appelle zones GSD (grille, source et drain), dans lesquelles on doit former les TEC MOS. On forme les contacts en silicium polycristallin en déposant une matière de réserve, par exemple une matière de réserve photographique organique, sur les oxydes de grille et sur l'oxyde de champ, en ouvrant des fenêtres dans la matière de réserve pour mettre à nu des parties des oxydes de grille recouvrant des zones GSD sélectionnées, puis en effectuant une attaque pour former des trous dans les parties à nu des oxydes de grille, jusqu'à la couche active sous-jacente, en utilisant comme masque d'attaque la matière de réserve dans laquelle on a défini un motif. Après enlèvement de la matière de réserve avec des solvants chimiques ou avec un agent d'attaque par plasma, on dépose une couche de silicium polycristallin sur les oxydes de grille

et sur l'oxyde de champ, et du silicium polycristallin est ainsi déposé dans les trous qui traversent les oxydes de grille (recouvrant les zones GSD sélectionnées), jusqu'à la couche active. Le silicium polycristallin qui se trouve dans les trous et qui vient en contact avec la couche active constitue les contacts en silicium polycristallin. On forme ensuite un motif dans la couche de silicium polycristallin qui a été déposée, pour former des grilles en silicium polycristallin dans les zones GSD, et pour former les conducteurs en silicium polycristallin qui s'étendent des grilles situées dans certaines zones GSD vers des contacts en silicium polycristallin traversant les oxydes de grille minces vers des régions (par exemple des régions de source et/ou de drain) de la couche active qui sont situées sous d'autres zones GSD sélectionnées.

Une caractéristique indésirable des procédures de fabrication décrites ci-dessus consiste dans le fait que les couches minces de matière, par exemple les oxydes de grille minces, sont mises en contact direct avec une matière de réserve. Il en résulte que ces couches minces de matière sont potentiellement contaminées par la matière de réserve et ont une épaisseur réduite de façon indésirable, du fait qu'elles sont soumises à l'action d'attaque des solvants chimiques ou des plasmas qu'on utilise pour enlever la matière de réserve. L'amincissement indésirable des couches minces de matière, produit pendant l'enlèvement des matières de réserve, est particulièrement important pour des couches ayant une épaisseur inférieure à environ 50 nm.

Conformément à l'invention, ces problèmes sont résolus dans un processus de fabrication de circuits intégrés tel que celui décrit ci-dessus, qui est caractérisé en ce qu'on forme une couche protectrice conductrice sur la couche mince avant la formation de la couche de masquage, la couche protectrice protégeant la couche mince pendant l'opération d'enlèvement de la matière de masquage.

L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation et en se référant aux dessins annexés sur lesquels :

Les figures 1 à 5 sont des coupes, à différents
5 stades de fabrication, d'un composant électronique (comportant un oxyde de grille mince) qui est fabriqué conformément à l'invention.

L'invention porte sur un nouveau procédé pour fabriquer des dispositifs de traitement d'information qui
10 comprennent des couches de matière relativement minces (d'une épaisseur inférieure à environ 40 nm), par exemple des oxydes minces, sur lesquelles on forme des dessins (des parties sélectionnées de la surface d'une couche mince ne sont pas recouvertes tandis que le reste de la surface est
15 recouvert) pendant la fabrication des dispositifs. L'invention porte également sur les dispositifs qui sont fabriqués avec ce nouveau procédé. Conformément à l'invention, des dispositifs qui comprennent une couche mince de matière (sur laquelle des dessins sont formés pendant la fabrication du
20 dispositif) sont fabriqués en déposant une couche de matière protectrice sur la couche de matière mince. Selon une variante, on dépose deux couches protectrices, ou plus, sur la couche de matière mince. On forme ensuite un dessin sur la couche de matière mince, par définition d'un motif dans la
25 couche (ou les couches) de matière protectrice. On accomplit par exemple cette opération de définition de motif en formant une couche de masquage définissant un motif, par exemple de la matière de réserve définissant un motif, sur la surface de la couche (ou des couches) protectrice, puis en attaquant la
30 couche (ou les couches) protectrice, en utilisant la couche de masquage en tant que masque d'attaque.

Après avoir formé un dessin sur la couche de matière mince, on définit par exemple un motif dans cette couche en utilisant en tant que masque d'attaque la couche (ou les
35 couches) protectrice définissant un motif. Selon une variante

prise à titre d'exemple, on forme des contacts définissant un motif sur la couche de matière mince en déposant une couche de matière de contact sur la couche (ou les couches) protectrice définissant un motif. La matière de contact est ainsi également déposée dans les trous formés dans la couche (ou les couches) protectrice, et en contact avec la couche mince, ce qui conduit à la formation des contacts définissant un motif. La couche (ou les couches) protectrice définissant un motif est par exemple incorporée dans le dispositif en cours de fabrication.

Parmi les matières qui sont utiles pour protéger des couches de matière minces, par exemple des couches d'oxyde minces telles que des couches minces d'un oxyde de silicium, par exemple SiO_2 , figure le silicium polycristallin. Conformément à l'invention, on dépose la couche protectrice de silicium polycristallin sur une couche de matière mince, en employant par exemple des techniques classiques de dépôt chimique en phase vapeur à basse pression. L'épaisseur de la couche protectrice de silicium polycristallin est avantageusement dans la plage d'environ 100 à environ 200 nm. Une épaisseur inférieure à environ 100 nm est indésirable du fait que l'incidence de trous d'épingle et de défauts dans la couche protectrice de silicium polycristallin est alors généralement défavorablement élevée. D'autre part, une épaisseur supérieure à environ 200 nm n'est pas souhaitable du fait qu'une telle couche de silicium polycristallin exige un temps défavorablement long pour effectuer une attaque sur toute son épaisseur pendant la formation d'un motif dans la couche de silicium polycristallin. Cependant, si des durées d'attaque plus longues sont acceptables, des couches plus épaisses ne sont pas interdites.

Parmi d'autres matières qui sont utiles pour protéger des couches de matière minces figurent des métaux réfractaires comme le tungstène ou le molybdène. L'épaisseur d'une couche protectrice en métal réfractaire est avantageusement

dans la plage d'environ 50 à environ 200 nm. Des épaisseurs hors de cette plage ne sont pas souhaitables, pour des raisons identiques à celles données ci-dessus, et des épaisseurs supérieures à environ 200 nm ne sont pas interdites si des 5 temps d'attaque plus longs sont acceptables.

On utilise des techniques classiques, comme l'attaque chimique par voie humide, l'attaque par plasma et l'attaque par pulvérisation cathodique réactive, pour former un motif dans la couche (ou les couches) protectrice ainsi 10 que dans la couche protectrice mince sous-jacente (lorsqu'on en désire une). Si par exemple la couche mince de matière est une couche mince de SiO_2 (sur laquelle on doit former un dessin), et la couche protectrice est une couche de silicium polycristallin, on attaque aisément la couche de silicium 15 polycristallin (à travers une couche de masquage définissant un motif), sans que la couche de SiO_2 soit affectée de façon significative, en procédant par attaque du silicium polycristallin par pulvérisation cathodique réactive dans un plasma de Cl_2 . On produit un plasma de Cl_2 utile en faisant 20 circuler le gaz Cl_2 dans une machine d'attaque par pulvérisation cathodique réactive à plaques parallèles, par exemple, avec un débit d'environ 10 à environ 20 cm^3/mn , tout en maintenant la pression dans la chambre de réaction à une valeur d'environ 0,65 à environ 1,3 Pa, et en maintenant la densité 25 de puissance dans la plage d'environ 0,1 à environ 0,4 W/cm^2 . Le rapport des vitesses d'attaque entre la couche de silicium polycristallin et la couche de SiO_2 dans un tel plasma de Cl_2 est de façon caractéristique d'environ 30 à 1.

Bien que le plasma de Cl_2 décrit ci-dessus soit 30 également utile pour la pulvérisation cathodique de la couche de SiO_2 (en utilisant en tant que masque d'attaque la couche de silicium polycristallin définissant un motif), la pulvérisation cathodique est relativement lente (moins d'environ 1 nm/mn). Lorsqu'on définit un motif dans la couche de SiO_2 35 (en utilisant en tant que masque d'attaque les couches de

silicium polycristallin définissant un motif), il est préférable d'attaquer la couche de SiO_2 , sans affecter notablement la couche de silicium polycristallin, par attaque par pulvérisation cathodique réactive du SiO_2 dans un plasma de CHF_3 . On produit un plasma de CHF_3 utile en introduisant CHF_3 dans la machine d'attaque par pulvérisation cathodique réactive avec un débit d'environ 15 à environ 20 cm^3/mn , tout en maintenant la pression dans la chambre de réaction à une valeur d'environ 8 à environ 9,3 Pa, et en maintenant la densité de puissance dans la plage de 0,1 à environ 0,2 W/cm^2 . La vitesse d'attaque de la couche de SiO_2 dans un tel plasma de CHF_3 est de façon caractéristique d'environ 50 nm/mn, tandis que la vitesse d'attaque de la couche de SiO_2 vis-à-vis de celle de la couche de silicium polycristallin est de façon caractéristique dans un rapport d'environ 50 à 1.

Pendant la formation de motifs dans les couches de silicium polycristallin et de SiO_2 , la couche de SiO_2 n'est jamais mise en contact avec la couche de masquage qui se trouve sur la surface de la couche de silicium polycristallin, et on évite ainsi une contamination et un amincissement indésirables de la couche de SiO_2 .

L'invention n'est pas limitée à des dispositifs de traitement d'information spécifiques, à des couches de protection spécifiques ou à des couches protégées spécifiques. Cependant, à titre d'aide pédagogique, on décrit ci-dessous la fabrication d'un CI MOS en utilisant le processus de l'invention.

En se référant à la figure 1, on note que, conformément à l'invention, un CI MOS qui comprend des contacts en silicium polycristallin et qui entre dans le cadre de l'invention, par exemple un CI MOS à très haut niveau d'intégration (VLSI) est fabriqué en formant des oxydes de grille relativement minces, 30, et un oxyde de champ relativement épais, 40, sur la surface d'une couche de matière semiconductrice dopée, 20. La couche 20 constitue la couche active de surfa-

ce d'un substrat 10 en matière semiconductrice. L'oxyde de champ relativement épais, 40, sépare les zones GSD 50, recouvertes par de l'oxyde de grille, sur la surface de la couche 20, aux emplacements auxquels on doit former des TEC MOS. Si, 5 par exemple, la couche active 20 est en silicium, les oxydes de grille 30 et l'oxyde de champ 40 seront respectivement de façon caractéristique des couches relativement minces et relativement épaisses de SiO_2 . On forme par exemple l'oxyde de champ 40 par oxydation thermique de la surface de la couche 20. Après avoir ouvert des fenêtres dans l'oxyde de champ 10 (par des techniques classiques), pour mettre à nu les zones GSD 50 sur la surface de la couche 20, on forme les oxydes de grille 30, par exemple par une nouvelle oxydation thermique de la surface de la couche 20. Pour des CI MOS à très haut 15 niveau d'intégration (entrant dans le cadre de l'invention), l'épaisseur des oxydes de grille 30 en SiO_2 est comprise entre environ 5 et environ 40 nm, et elle est de préférence d'environ 25 nm. Une épaisseur des oxydes de grille 30 inférieure à environ 5 nm est indésirable, du fait que ceci conduit à des tensions de seuil de grille (les tensions minimales 20 appliquées aux grilles des TEC MOS qui produisent un changement détectable dans les courants circulant dans les canaux de courant des TEC MOS) qui deviennent si faibles qu'il est difficile de commander la circulation du courant. Au 25 contraire, des épaisseurs supérieures à environ 40 nm sont indésirables du fait que des tensions défavorablement élevées doivent être appliquées aux grilles des TEC MOS pour commander les courants dans les canaux de courant des TEC MOS.

L'épaisseur de l'oxyde de champ 40 en SiO_2 des 30 CI MOS à très haut niveau d'intégration est comprise entre environ 300 et environ 400 nm, et elle est de préférence d'environ 350 nm. Une épaisseur inférieure à environ 300 nm est indésirable du fait que l'oxyde de champ pourrait ne pas être suffisamment épais pour empêcher l'inversion du silicium 35 sous-jacent, et la conduction électrique résultante entre les

deux régions GSD qui doivent être isolées électriquement l'une de l'autre. D'autre part, une épaisseur supérieure à environ 600 nm est indésirable du fait que l'oxyde de champ forme ainsi des marches défavorablement élevées qu'il est
5 difficile de couvrir avec d'autres matières pendant un traitement ultérieur, et il est difficile d'enlever la matière par attaque au niveau de ces marches élevées.

Conformément à l'invention, après la formation des oxydes de grille 30 et de l'oxyde de champ 40 du CI, on
10 dépose une couche protectrice 60 de silicium polycristallin sur les oxydes de grille et l'oxyde de champ du CI, comme le montre la figure 2. On dépose par exemple la couche de silicium polycristallin 60 par des techniques classiques de dépôt chimique en phase vapeur à basse pression. La couche
15 de silicium polycristallin 60 a pour but de protéger les oxydes de grille 30 sous-jacents contre toute contamination et toute érosion qui pourraient se produire pendant une opération lithographique ultérieure. L'épaisseur de la couche de silicium polycristallin 60 est comprise entre environ
20 100 et environ 200 nm, et elle est de préférence d'environ 150 nm. Une épaisseur inférieure à environ 100 nm n'est pas souhaitable, du fait que l'incidence de trous d'épingle et de défauts dans le silicium polycristallin est alors défavorablement élevée. D'autre part, une épaisseur supérieure à
25 environ 200 nm n'est pas souhaitable du fait qu'une telle couche de silicium polycristallin nécessite un temps défavorablement long pour effectuer une attaque sur toute son épaisseur pendant l'opération ultérieure d'attaque pour former des trous traversant à la fois la couche de silicium
30 polycristallin 60 et des oxydes de grille 30 sélectionnés. Cependant, si des temps d'attaque plus longs sont acceptables, des couches plus épaisses ne sont pas interdites.

On dépose sur la couche de silicium polycristallin 60 une couche de masquage 70 dans laquelle on peut définir
35 un motif, par exemple la matière de réserve à trois niveaux

qui est décrite par J. M. Moran et D. Maydan dans l'article intitulé "High Resolution, Steep Profile, Resist Patterns," The Bell System Technical Journal, Volume 58, n° 5, mai-juin 1979, pages 1027-1036, et on forme un motif dans la couche de masquage, c'est-à-dire qu'on ouvre des fenêtres dans la couche de masquage pour mettre à nu des parties de la couche de silicium polycristallin 60 recouvrant les oxydes de grille de zones GSD sélectionnées. Ensuite, on effectue une attaque pour former des trous 80 dans les parties à nu de la couche de silicium polycristallin 60, et à travers les oxydes de grille 30 sous-jacents, jusqu'à la couche active 20 (en utilisant comme masque d'attaque la couche 70 dans laquelle on a défini un motif), comme le montre la figure 3. On effectue l'attaque de formation de ces trous 80 en procédant par exemple par attaque par pulvérisation cathodique réactive de la couche de silicium polycristallin 60 dans un plasma de Cl_2 (décrit ci-dessus), et par attaque par pulvérisation cathodique réactive des oxydes de grille 30 dans un plasma de CHF_3 (décrit ci-dessus). La sélectivité d'attaque élevée du plasma de Cl_2 , entre le silicium polycristallin et le SiO_2 , empêche pratiquement l'attaque des oxydes de grille en SiO_2 , 30, par le plasma de Cl_2 , tandis que la sélectivité d'attaque élevée du plasma de CHF_3 entre le SiO_2 et le silicium empêche pratiquement l'attaque de la couche de silicium polycristallin 60 et de la couche active (en silicium) 20, par le plasma de CHF_3 . Ensuite, on enlève la couche de masquage 70, par exemple avec des solvants chimiques classiques tels que H_2SO_4 , ou par des procédés classiques d'attaque par plasma.

A l'achèvement de la procédure lithographique décrite ci-dessus, on dépose une seconde couche 90 de silicium polycristallin sur la première couche 60, et du silicium polycristallin est ainsi déposé également dans les trous 80 et en contact avec la couche active 20. C'est le silicium polycristallin présent dans les trous 80, en contact avec la couche 20, qui constitue les contacts en silicium polycris-

tallin 100 avec la couche active 20, sous les zones GSD sélectionnées. Ceci est représenté sur la figure 4. On dépose la seconde couche 90 en employant par exemple des techniques classiques de dépôt chimique en phase vapeur à basse pression.

5 L'épaisseur de la seconde couche 90 est comprise entre environ 150 et environ 250 nm et elle est de préférence d'environ 200 nm. La plage d'épaisseur spécifiée pour la couche 90, en combinaison avec la plage d'épaisseur spécifiée pour la couche 60, conduit à une épaisseur combinée des couches de silicium polycristallin 60 et 90 comprise entre environ 250 et environ 450 nm. Du fait qu'on forme ultérieurement un motif dans les couches de silicium polycristallin 60 et 10 90, pour former les grilles en silicium polycristallin du CI, les grilles auront une épaisseur comprise entre environ 250 15 et environ 450 nm. Une épaisseur des grilles en silicium polycristallin inférieure à environ 250 nm est indésirable, du fait que ceci conduit à des grilles ayant une résistance carrée défavorablement élevée. D'autre part, une épaisseur des grilles en silicium polycristallin supérieure à environ 20 450 nm est indésirable du fait que ceci conduit à des grilles en silicium polycristallin d'une hauteur telle que la capacité de paroi latérale devient défavorablement élevée.

Les deux couches de silicium polycristallin 60 et 90, et par conséquent les contacts en silicium polycristallin 25 100 qui sont formés par le dépôt de la seconde couche de silicium polycristallin 90, sont ensuite dopées (en employant des techniques classiques) avec un dopant n ou p approprié (selon que la couche active 20 est de conductivité de type n ou de type p). Le dopage des couches de silicium polycristallin 60 et 90 est utile pour produire des grilles à conductivité élevée (on forme des motifs dans les couches de silicium polycristallin pour former des grilles), tandis que le dopage des contacts en silicium polycristallin 100 produit de bons contacts électriques avec la couche active 20. Le dopant 30 diffuse également à travers les contacts en silicium poly-

cristallin 100, comme le montre la figure 4, pour former des régions 110 de la couche active 20 qui sont relativement fortement dopées, par exemple des parties des sources ou des drains des TEC MOS dont les oxydes de grille ont été percés par les contacts en silicium polycristallin. On forme ensuite des motifs dans les deux couches de silicium polycristallin 60 et 90, par des techniques classiques, pour former des grilles de TEC MOS 120 dans les zones GSD 50, et pour former des conducteurs en silicium polycristallin 130 qui s'étendent à partir des grilles en silicium polycristallin 120 dans des zones GSD sélectionnées, vers les contacts en silicium polycristallin 100 qui traversent les oxydes de grille jusqu'à la couche active, sous d'autres zones GSD sélectionnées, comme le montre la figure 5.

Les opérations qui interviennent dans l'achèvement du CI MOS sont classiques. Ainsi, on forme des régions de source et de drain auto-alignées sur les côtés opposés des grilles (par des techniques classiques), et on dépose sur le CI une couche isolante, par exemple une couche de SiO_2 . On utilise ensuite des techniques lithographiques classiques pour ouvrir des fenêtres dans la couche isolante afin de mettre à nu les grilles et les régions de source et de drain du CI. Enfin, on dépose sur le CI une couche de métal, par exemple de l'aluminium dopé au cuivre (et du métal est ainsi déposé dans les trous qui traversent la couche isolante, pour former des contacts métalliques avec les grilles et les régions de source et de drain), et on forme un motif dans la couche de métal pour définir des conducteurs métalliques.

Dans le cas où on désire des grilles composites de structure siliciure de métal sur silicium polycristallin, par exemple des grilles de structure siliciure de tantale sur silicium polycristallin, on modifie la procédure de fabrication ci-dessus en formant une couche de siliciure de métal sur les deux couches de silicium polycristallin, après que les couches de silicium polycristallin ont été dopées. On for-

me ensuite des motifs dans la couche de siliciure comme dans les couches de silicium polycristallin, pour former des grilles de structure siliciure de métal sur silicium polycristallin, et des conducteurs de structure siliciure de métal sur silicium polycristallin, allant de grilles sélectionnées vers les contacts en silicium polycristallin.

Il faut noter qu'une couche de SiO_2 extrêmement mince, de façon caractéristique d'environ 1 nm d'épaisseur, tend à se former sur la surface de la première couche de silicium polycristallin 60 avant le dépôt de la seconde couche de silicium polycristallin 90, au cours de la mise en oeuvre du procédé de fabrication de l'invention. Ainsi, les grilles en silicium polycristallin, de même que les contacts en silicium polycristallin, formés conformément au procédé de fabrication de l'invention, comprennent de façon caractéristique deux couches de silicium polycristallin séparées par une mince couche frontière de SiO_2 . Cette mince couche frontière de SiO_2 est détectable, par exemple sur des micrographies électroniques par transmission (de coupes) de CI fabriqués conformément à l'invention. Cependant, cette couche frontière de SiO_2 est si mince (comparée aux deux couches de silicium polycristallin), et la quantité de SiO_2 est si faible (comparée à la quantité de silicium polycristallin), que le SiO_2 n'a aucun effet défavorable détectable sur la conductance des grilles en silicium polycristallin et des contacts en silicium polycristallin qui sont formés conformément à l'invention.

Exemple

On a utilisé le procédé de fabrication de l'invention pour fabriquer un circuit logique MOS à très haut niveau d'intégration qui comprenait des oscillateurs en anneau, des émetteurs de ligne, des registres à décalage, des additionneurs à 4 bits et d'autres dispositifs. On a fabriqué le circuit logique MOS à très haut niveau d'intégration, qui comprenait également des contacts en silicium polycristallin, en

utilisant des règles de conception de 1 μm , 1,5 μm et 2 μm .

On a commencé à mettre en oeuvre le procédé de fabrication de l'invention en faisant croître un oxyde de champ en SiO_2 , d'environ 350 nm d'épaisseur, sur la surface d'une tranche de silicium de 7,6 cm. On a fait croître cet oxyde de champ par oxydation thermique de la tranche de silicium dans un environnement humide (H_2O).

Pour former la couche active du circuit logique, et pour définir la concentration en dopant à l'interface silicium-oxyde de champ (ce qui est l'un des paramètres qui déterminent la tension de seuil pour les grilles des TEC MOS à mode d'enrichissement du circuit logique), on a implanté la tranche de silicium recouverte d'oxyde de champ avec des atomes de bore, à une dose d'environ $2 \times 10^{12} \text{ cm}^{-2}$. L'énergie des atomes de bore, qui était d'environ 170 keV, était suffisante pour faire en sorte que les atomes de bore pénètrent dans l'oxyde de champ jusqu'à l'interface silicium-oxyde de champ.

On a ensuite mis à nu les zones GSD sur la surface de la tranche, en ouvrant des fenêtres dans l'oxyde de champ, par l'utilisation de techniques lithographiques classiques. Ces fenêtres (et donc les zones GSD) mesuraient environ 7 μm de longueur et environ 15 μm de largeur.

On a fait croître sur la surface de chacune des zones GSD un oxyde de grille en SiO_2 , d'environ 25 nm d'épaisseur, en chauffant la tranche pendant environ 15 minutes à environ 1000°C dans une ambiance $\text{O}_2\text{-HCl}$ (3% de HCl). On a ensuite recuit la tranche dans une atmosphère d'argon pendant environ 15 minutes et à environ 1000°C, dans le but de réduire la charge fixe à l'intérieur du SiO_2 . Ce traitement thermique active également le bore implanté (les atomes de bore déplacent les atomes de silicium dans le réseau cristallin du silicium, sous l'effet de l'opération de recuit dans l'argon).

On a ensuite déposé sur la tranche une première

couche de silicium polycristallin, d'environ 150 nm d'épaisseur, en utilisant des techniques classiques de dépôt chimique en phase vapeur à basse pression. On a ensuite déposé sur la tranche, par centrifugation, une matière de réserve organique de 1,8 μm d'épaisseur, vendue sous l'appellation commerciale HPR-204 par la firme Philip A. Hunt Chemical Corporation, Palisades Park, New Jersey, et on l'a étuvée pendant environ 120 minutes à environ 210°C. On a ensuite déposé par plasma sur la matière de réserve organique une couche de SiO_2 d'environ 120 nm d'épaisseur, après quoi on a déposé par centrifugation sur la couche de SiO_2 de 120 μm d'épaisseur une couche de matière de réserve pour rayons X du type DCOPA (90% d'acrylate de dichloropropyle et 10% de copolymère), d'environ 350 nm d'épaisseur.

Après avoir aligné sur les zones GSD le masque correspondant au niveau du silicium polycristallin, on a exposé la matière de réserve aux rayons X DCOPA pendant environ 5 minutes à un rayonnement X à 0,437 nm. L'intensité du rayonnement était d'environ 75 $\mu\text{W}/\text{cm}^2$. On a développé la matière de réserve pour rayons X avec un développateur humide qui comprenait de l'alcool isopropylique et de la méthyléthylcétone. On a ensuite formé un motif dans la couche de SiO_2 de 120 nm d'épaisseur, en utilisant comme masque d'attaque la matière de réserve pour rayons X formant un motif, en procédant par attaque de la tranche par pulvérisation cathodique réactive dans un plasma de CHF_3 . On a formé le plasma de CHF_3 en introduisant CHF_3 dans la chambre de réaction avec un débit d'environ 79 cm^3/mn , tout en maintenant la pression dans la chambre de réaction à environ 1,3 Pa, et en maintenant la densité de puissance à environ 0,1 W/cm^2 . Enfin, on a formé un motif dans la matière de réserve HPR-204, en utilisant comme masque d'attaque les couches de matière de réserve pour rayons X et de SiO_2 formant un motif, en procédant par attaque de la tranche par pulvérisation cathodique réactive dans un plasma $\text{O}_2\text{-CF}_4$ (1%

de CF_4). On a formé ce plasma $\text{O}_2\text{-CF}_4$ en introduisant dans la chambre de réaction un mélange de O_2 et CF_4 (1% de CF_4) avec un débit d'environ $83 \text{ cm}^3/\text{mn}$, tout en maintenant la pression dans la chambre de réaction à environ $0,53 \text{ Pa}$, et en maintenant la densité de puissance à environ $0,2 \text{ W/cm}^2$.

On a ensuite attaqué la couche de silicium polycristallin pour y former des trous (les trous étaient situés au-dessus des zones GSD dans lesquelles on désirait former des contacts en silicium polycristallin), en utilisant comme masque d'attaque la matière de réserve formant un motif, et en procédant par attaque de la couche de silicium polycristallin par pulvérisation cathodique réactive dans un plasma de Cl_2 , pendant environ 5 minutes. Cette attaque, qui a été effectuée dans une machine d'attaque par pulvérisation cathodique réactive à plaques parallèles, a été réalisée en introduisant le gaz Cl_2 dans la chambre de réaction à environ $20 \text{ cm}^3/\text{mn}$, tout en maintenant la pression totale dans la chambre de réaction à environ $0,66 \text{ Pa}$ et la densité de puissance à environ $0,3 \text{ W/cm}^2$. On a ensuite formé des trous par attaque dans les oxydes de grille aux emplacements auxquels on désirait des contacts en silicium polycristallin, en utilisant comme masque d'attaque la couche de silicium polycristallin formant un motif, et en procédant par attaque de la tranche par pulvérisation cathodique réactive (dans la machine d'attaque par pulvérisation cathodique réactive à plaques parallèles), dans un plasma de CHF_3 . Pendant cette dernière opération d'attaque, on a introduit CHF_3 dans la chambre de réaction avec un débit d'environ $18 \text{ cm}^3/\text{mn}$, tout en maintenant la pression totale dans la chambre de réaction à environ 9 Pa et en maintenant la densité de puissance à environ $0,2 \text{ W/cm}^2$.

On a ensuite décapé de la surface de la tranche le HPR-204, le SiO_2 et la matière de réserve pour rayons X DCOPA, en appliquant à la tranche une solution d'acide sulfurique et de peroxyde d'hydrogène, tout en maintenant la

température ambiante à environ 80°C. On a également nettoyé la surface de la tranche avec des solutions chimiques classiques, qui contenaient du HF, pour éliminer tout dépôt restant de la matière de réserve.

5 On a ensuite déposé sur la surface de la tranche une seconde couche de silicium polycristallin, d'environ 250 nm d'épaisseur, en utilisant des techniques classiques de dépôt chimique en phase vapeur à basse pression. Ceci a conduit au dépôt de silicium polycristallin dans les trous
10 traversant la première couche de silicium polycristallin et les oxydes de grille jusqu'au silicium sous-jacent, ce qui a formé les contacts en silicium polycristallin.

On a ensuite dopé avec du phosphore les deux couches de silicium polycristallin et les contacts en silicium
15 polycristallin, en plaçant la tranche pendant environ 60 minutes dans un four contenant une source de PBr_3 , de type classique. On a maintenu la température du four à environ 950°C. Cette opération de diffusion de phosphore a donné une conductivité de type n^+ aux couches de silicium poly-
20 cristallin et aux contacts en silicium polycristallin (le niveau de dopage était d'environ 10^{20} cm^{-3}). De plus, le phosphore a également été introduit dans les régions de silicium entourant les contacts en silicium polycristallin, ce qui a entraîné la formation partielle des régions de
25 source et de drain des TEC MOS dont les oxydes de grille avaient été percés par les contacts en silicium polycristallin.

Les opérations restantes dans la fabrication du circuit logique MOS à très haut niveau d'intégration étaient
30 classiques et elles sont décrites par Watts et col. dans un article intitulé "Electron Beam Lithography For Small MOSFETs," IEEE Transactions Electron Devices, novembre 1981, Volume ED-28, n° 11, page 1338.

Il va de soi que de nombreuses modifications peuvent
35 vent être apportées au procédé décrit et représenté, sans

sortir du cadre de l'invention.

REVENDICATIONS

1. Un procédé de fabrication d'un circuit intégré comprenant les opérations suivantes : on forme une couche isolante mince (30) sur un bloc de semiconducteur (20), on
5 forme une couche de masquage (70) sur la couche isolante, on attaque sélectivement la couche de masquage, on attaque sélectivement la couche isolante en utilisant la couche de masquage en tant que masque, et on enlève la couche de masquage par une opération d'attaque supplémentaire, caractérisé
10 sé en ce qu'on forme une couche protectrice conductrice (60) sur la couche mince, avant la formation de la couche de masquage, la couche protectrice protégeant la couche mince pendant l'opération d'enlèvement de la couche de masquage.

2. Procédé selon la revendication 1, caractérisé
15 en ce que la couche isolante mince (30) a une épaisseur inférieure à 40 nm.

3. Procédé selon la revendication 2, caractérisé en ce que la couche isolante mince est en SiO_2 et le bloc semiconducteur est en silicium.

20 4. Procédé selon la revendication 3, caractérisé en ce que la couche de masquage est une couche de matière de réserve qui est enlevée par attaque chimique ou par attaque par plasma.

5. Procédé selon la revendication 4, caractérisé
25 en ce que la couche protectrice est une couche de silicium polycristallin.

6. Procédé selon la revendication 5, caractérisé en ce que la couche de silicium polycristallin a une épaisseur allant d'environ 100 à environ 200 nm.

30 7. Procédé selon la revendication 6, caractérisé en ce que la couche de matière protectrice est une couche de métal réfractaire.

8. Procédé selon la revendication 7, caractérisé en ce qu'on forme par attaque un trou (80) traversant la cou-

che protectrice (60) et la couche isolante (30) et, après enlèvement de la couche de masquage (70), on forme sur la couche protectrice une seconde couche conductrice (90) qui traverse le trou pour établir un contact avec le bloc de semi-
5 conducteur (20).

9. Procédé selon la revendication 8, caractérisé en ce que la couche isolante mince (30) est un oxyde de grille, et on attaque la couche conductrice (60) et la seconde couche conductrice (90) pour former une électrode de
10 grille (120) sur une partie de l'oxyde de grille, et un conducteur (130) qui interconnecte l'électrode de grille avec une région de contact (100).

1/1

FIG. 1

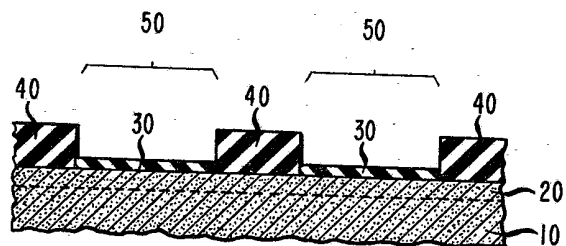


FIG. 2

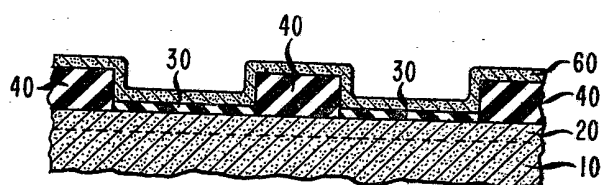


FIG. 3

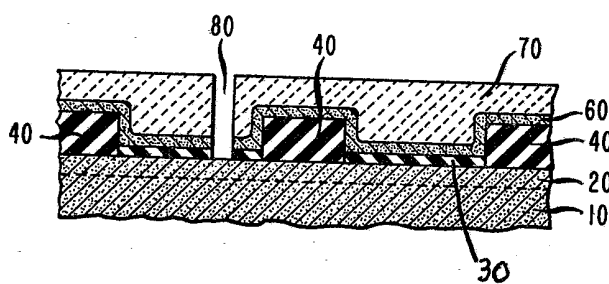


FIG. 4

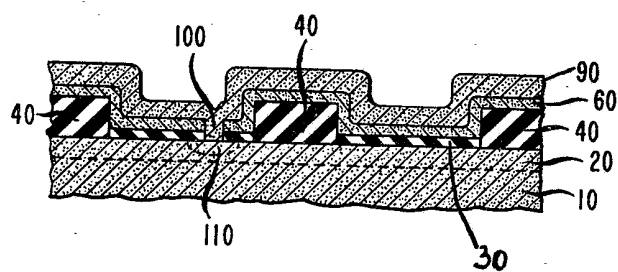


FIG. 5

