

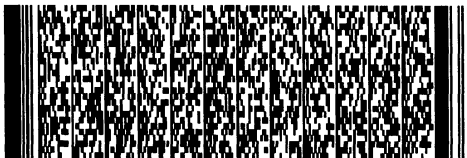
申請日期：93-02-17	IPC分類
申請案號：93103818	H05K 7/34

(以上各欄由本局填註)

發明專利說明書

200529720

一、 發明名稱	中文	改善雜散效應之焊墊結構
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 李勝源 2. 廖雅琪
	姓名 (英文)	1. 2.
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



一、本案已向

國家(地區)申請專利 申請日期 案號 主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

【發明之技術領域】

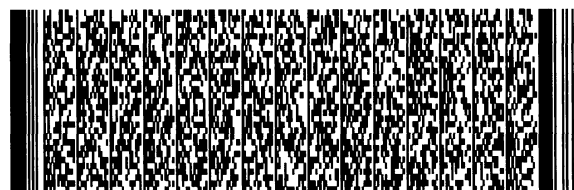
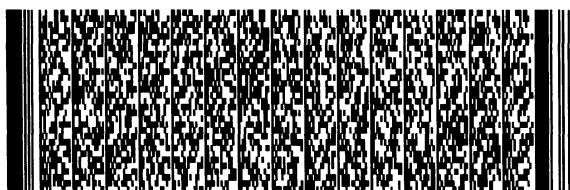
本發明係用以消除電路板各內層平面間不良的電性耦合，以提高佈線之響應，其中利用蝕刻的技術，蝕去接地平面上相對於佈線平面上的表面元件的位置，將可消除電路板的雜散電容效應，以增加電路板整體之電路品質。

【先前技術】

因積體電路 (IC) 的技術愈來愈進步，所需要的導電接腳 (pin) 也愈多愈複雜，相對需要更多的佈線 (routing trace)，於印刷電路板的設計也是愈來愈複雜與密集，故可節省電路板面積與設計的多層板因應而生。

傳統的印刷電路板之製作方式是藉由多種不同功能的各平面壓合而成，其中至少包含有電源平面、元件平面、訊號平面、接地平面以及複數個絕緣層，絕緣層係同樣位於上述各平面之間，印刷電路板結構中，至於積體電路元件則至少可以設置在元件平面上。當預燒板上所承載的積體電路元件數目增多時，每個積體電路元件可視為一等效的電阻元件，由於每通過一個積體電路 (等效電阻) 元件即會產生對應的電壓降，使得每個積體電路元件獲得不一致的電壓，因此又發展出一套佈線平面 (Routing Layer) 的技術，藉此，以增進印刷電路板功效上之完整性。

然而，以目前佈線平面、電源平面以及接地平面之間的距離而言之，由於每平面之間的介電層 (Dielectric



五、發明說明 (2)

Layer)厚度愈來愈小，因為過於狹窄，使得其中產生出不良的寄生效應 (parasitic effects)，這些不良效應已經超過原先電路板設計時所預知。

如第一圖所示之習用技術，即為多層印刷電路板中的佈線平面 11 與接地平面 13 示意圖，其中佈線平面 11 上有經蝕刻形成的金屬導線 12，與導線 12 連接的承載焊墊

(mounting pad) 14，此承載焊墊 14 係為了讓表面元件 (surface mount device, SMD) 16 焊附於佈線平面 11 上，焊墊 (pad) 為一電路裝置或晶片的表面上一塊較大的區域，可以作引線的搭接或探針施加的地方。鄰近佈線平面 11 有一接地平面 13 作為電性參考。

在厚度為千分之一英吋 (mil) 尺度下的印刷電路板中，在設計上需要避免多層板中的電性干擾，尤其是在高頻的電路之下。如間距微小的金屬材料的承載焊墊 14 之間會有相互耦合 (mutual coupling) 的問題，接地平面 13 與佈線平面 11 或其他各層間的耦合效應，尤其是有表面元件 16 的位置，各層之間的出現雜散電容會破壞印刷電路板之電路結構的表現 (performance) 以及頻率響應 (response)。

第二圖所示為在高頻電路設計之下所產生的耦合電容，曲線 21 所示為電路板厚度在 4mils 時產生的電容效應，曲線 23 為電路板在 12mils 時的特性，由圖可知，曲線 21 所示的電容值大於曲線 23 所示的值，也就是在愈來愈薄與元件愈來愈小的環境下，必須考慮其中所產生的雜散效



五、發明說明 (3)

應。

經由上述之習知技術說明可知，目前之印刷電路板於電路板厚度過小時，各層電路板間將發生嚴重的寄生效應，顯然具有缺失存在，而可待加以改善者。故本發明藉於接地平面上對應到佈線平面上之表面元件的相對位置，蝕去至少一個洞，而略去表面元件焊墊對接地平面的雜散電容效應，達到本發明改善雜散效應之焊墊結構。

【發明內容】

一種改善雜散效應之焊墊結構，係以蝕去接地平面上相對於佈線平面上的表面元件的位置，使表面元件所處之承載焊墊對接地平面耦合的雜散現象能以降低。而該焊墊結構包括有：一接地平面；至少一個蝕洞，係設置於該接地平面上；一佈線平面，係相鄰於該接地平面；一或複數個承載焊墊，係設置於該佈線平面上，用以承載至少一個表面元件。

【實施方式】

本發明之主要目的在於提供一種改善雜散效應之焊墊結構，藉此消除電路板表面元件焊墊與接地平面層間不良的耦合、提高佈線之響應。

第三A圖所示係為本發明之改善雜散效應之焊墊結構第一實施例立體示意圖，其中承載焊墊以圖示之第一承載焊墊31a與第二承載焊墊31b表示，實際實施並不限於此。



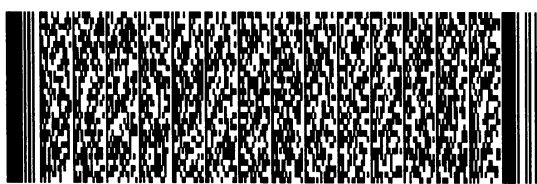
五、發明說明 (4)

承載焊墊 31a, 31b 一般設置於電路板之佈線之第一平面上，接地之第二平面 30 鄰近於承載焊墊 31a, 31b 所在之第一平面一側，為避免承載焊墊 31a, 31b 與第二平面 30 間產生耦合的雜散電容而影響所承載的表面元件 (SMD) 響應，此例係於第二平面 30 相對於承載焊墊 31a, 31b 的位置用蝕刻方法蝕去一蝕洞 33，蝕洞 33 完全包含上方的承載焊墊 31a, 31b，可消除焊墊本身與邊緣與接地之第二平面所造成的雜散效應。

第三 B 圖所示係為第一實施例之俯視示意圖，可明顯得知接地之第二平面 30 所蝕去之蝕洞 33 完全覆蓋鄰近的第一平面中第一承載焊墊 31a 與第二承載焊墊 31b，可消除焊墊與第二平面 30 之雜散效應。

第一實施例中所述之蝕洞 33 面積相較與承載焊墊 31a, 31b 的面積為大，此例能消除焊墊與第二平面的邊緣效應。但實際實施中並可能蝕洞之面積相同對應於該承載焊墊之面積；可完全與部分涵蓋對應於該承載焊墊之面積；可完全與部分涵蓋該承載焊墊之邊緣；可完全與部分涵蓋該承載焊墊之邊角；可完全與部分涵蓋該相鄰之承載焊墊間面積；故蝕洞面積如上述可為任意形狀。以下就本發明其他最佳實施例敘述之：

第四圖所示係為本發明之改善雜散效應之焊墊結構第二實施例立體示意圖，此例接地之第二平面 30 所蝕去的蝕洞 43 面積恰涵蓋鄰近的第一平面之第一承載焊墊 31a 與第二承載焊墊 31b 的面積與其間距包括的面積，可消除承載



五、發明說明 (5)

焊墊 31a, 31b 與接地平面 30 雜散效應。

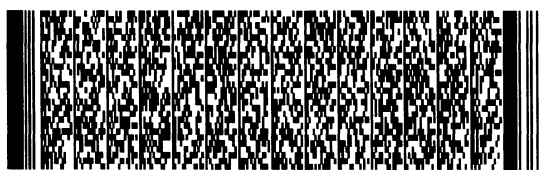
第五圖所示係為本發明之改善雜散效應之焊墊結構第三實施例立體示意圖，此例係於接地平面 30 上蝕去與承載焊墊 31a, 31b 面積相同大小之蝕洞 51, 53，並不考慮可能的承載焊墊之邊緣效應。

第六 A 圖所示係為本發明之改善雜散效應之焊墊結構第四實施例立體示意圖，本實施例於第二平面 30 上蝕去 H 型的蝕洞 61, 63，分別涵蓋第一平面中第一承載焊墊 31a 與第二承載焊墊 31b 之邊角部分，不僅可消除承載焊墊 31a, 31b 本身與接地平面 30 的雜散效應，亦能消除承載焊墊 31a, 31b 邊角部分與第二平面 30 的邊緣雜散效應，因為金屬尖端亦會產生耦合的較大電場造成雜散效應。

而第六 B 圖所示係為上述第四實施例之俯視示意圖，可得知承載焊墊之邊角部份已為蝕洞 61, 63 所涵蓋，可有效消除與接地之第二平面 30 的雜散效應。

第七圖所示係為本發明之改善雜散效應之焊墊結構第五實施例俯視示意圖，此實施例所示之蝕洞 71, 73 分別涵蓋鄰近的第一承載焊墊 31a 與第二承載焊墊 31b，並於邊緣處擴大一些蝕洞 71, 73 的面積以消除承載焊墊 31a, 31b 與第二平面 30 之邊緣耦合效應，更於兩承載焊墊間亦擴大了蝕洞 71, 73 的面積而能消除兩焊墊間的邊緣耦合效應。

第八 A 圖所示為本發明之改善雜散效應之焊墊結構第六實施例立體示意圖，第二平面 30 所蝕去的蝕洞 83 涵蓋全部承載焊墊 31a, 31b 的面積，更於邊緣處與兩焊墊間都多蝕



五、發明說明 (6)

去一些面積，以消除焊墊與第二平面 30 的邊緣效應。

第八 B 圖所示為第六實施例之俯視示意圖，清楚揭露蝕洞 83 所涵蓋的面積完全涵蓋鄰近的第一承載焊墊 31a 與第二承載焊墊 31b，更包含其間隔所涵蓋之面積。

第九圖所示係為本發明之改善雜散效應之焊墊結構第七實施例俯視示意圖，此實施例僅於承載焊墊 31a, 31b 之邊緣處相對應於第二平面 30 上蝕去蝕洞 93，而第二平面 30 相對於承載焊墊 31a, 31b 之面積並未蝕去，以形成一 H 型之蝕洞 93，此例企圖消除承載焊墊 31a, 31b 於邊緣所產生的耦合效應，更因保留了第一承載焊墊 31a 與第二承載焊墊 31b 間的第二平面 30 面積，而能藉與第二平面 30 的交互作用來降低其互感效應。

然而，上述之多種蝕洞實施態樣，係依照設計者所自行設計而成，是為任意形狀，可並且該蝕洞之面積大小可搭配設計為完全涵蓋或部分涵蓋承載表面元件之承載焊墊，更不為本實施例所加以限制。

上述為本發明之最佳實施例，在不改變印刷電路板厚度的情況下，亦能藉本發明來降低層間的耦合效應，更不需增加額外的電路即可藉本發明達到增加電路板效能之目的。於接地之第二平面上設置蝕洞以解決雜散效應之方式可應用於印刷電路板中，亦可應用於具有電源面之晶片封裝結構中，如球閘陣列封裝 (ball grid array, BGA) 等。

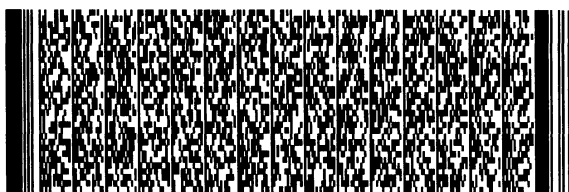
綜上所述，本發明之改善雜散效應之焊墊結構可以降



五、發明說明 (7)

低印刷電路板於高頻時所產生的雜散效應，以增加印刷電路板整體之電路品質，同時克服習知電路所需之時間設計、修改的成本耗費，又其申請前未現於刊物或公開使用，誠以符合發明專利之要件，爰依法提出發明專利申請。

惟，以上所述，僅為本發明最佳之一的具體實施例之詳細說明與圖式，凡合於本發明申請專利範圍之精神與其類似變化之實施例，皆應包含於本創作之範疇中，任何熟悉該項技藝者在本發明之領域內，可輕易思及之變化或修飾皆可涵蓋在本發明之專利範圍。



圖式簡單說明

【圖示之簡單說明】

第一圖所示為習用技術之焊墊結構與接地平面示意圖；

第二圖所示為習用技術之頻率與電容關係曲線圖；

第三 A圖所示係為本發明之改善雜散效應之焊墊結構第一實施例立體示意圖；

第三 B圖所示係為本發明之改善雜散效應之焊墊結構第一實施例俯視示意圖；

第四圖所示係為本發明之改善雜散效應之焊墊結構第二實施例立體示意圖；

第五圖所示係為本發明之改善雜散效應之焊墊結構第三實施例立體示意圖；

第六 A圖所示係為本發明之改善雜散效應之焊墊結構第四實施例立體示意圖；

第六 B圖所示係為本發明之改善雜散效應之焊墊結構第四實施例俯視示意圖；

第七圖所示係為本發明之改善雜散效應之焊墊結構第五實施例俯視示意圖；

第八 A圖所示係為本發明之改善雜散效應之焊墊結構第六實施例立體示意圖；

第八 B圖所示係為本發明之改善雜散效應之焊墊結構第六實施例俯視示意圖；

第九圖所示係為本發明之改善雜散效應之焊墊結構第七實施例俯視示意圖。



圖式簡單說明

【圖式中之參考號數】

11 佈線平面

12 導線

13 接地平面

14 承載焊墊

16 表面元件

21, 23 曲線

30 第二平面

31a 第一承載焊墊

31b 第二承載焊墊

33 蝕洞

43 蝕洞

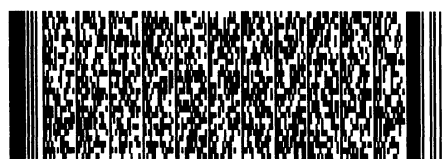
51, 53 蝕洞

61, 63 蝕洞

71, 73 蝕洞

83 蝕洞

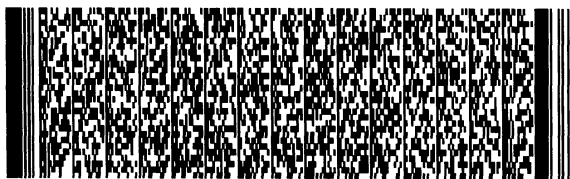
93 蝕洞



四、中文發明摘要 (發明名稱：改善雜散效應之焊墊結構)

一種改善雜散效應之焊墊結構，主要係用以消除電路板各內層平面間不良的電性耦合，以提高佈線 (Routing Trace) 之響應 (response)。其中利用蝕刻的技術，蝕去接地平面上相對於佈線平面上的表面元件的位置，使表面元件所處之承載焊墊 (mounting pad) 對接地平面耦合的雜散現象 (stray capacitor) 能藉以降低。由於耦合電容的減少，將可消除電路板於高頻時所產生的雜散電容效應，以增加電路板整體之電路品質。

五、英文發明摘要 (發明名稱：)



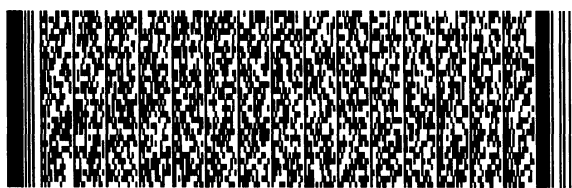
六、申請專利範圍

1. 一種改善雜散效應之焊墊結構，該結構包括有：
至少一承載焊墊，係設置於一第一平面上，用以承載一表面元件的一端；以及
至少一個蝕洞，係設置於一第二平面上相對應於該承載焊墊之處。
。
2. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞係於該第二平面上蝕刻而成。
3. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積相同對應於該承載焊墊之面積。
4. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋對應於該承載焊墊之面積。
5. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該承載焊墊之邊緣。
6. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該承載焊墊之邊角。
7. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該相鄰之承載焊墊間面積。
8. 如申請專利範圍第 1 項所述之改善雜散效應之焊墊結構，其中該蝕洞為任意形狀。



六、申請專利範圍

- 9.如申請專利範圍第1項所述之改善雜散效應之焊墊結構，其中該結構係設置於一印刷電路板中。
- 10.如申請專利範圍第1項所述之改善雜散效應之焊墊結構，其中該結構係設置於一晶片封裝結構中。
- 11.一種改善雜散效應之焊墊結構，該結構包括有：
至少一組承載焊墊，設置於一第一平面上，用以承載一表面元件之兩端；及
至少一蝕洞，係設置於一第二平面上相對應於該組焊墊之處。
- 12.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞係於該第二平面上蝕刻而成。
- 13.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積相同對應於該承載焊墊之面積。
- 14.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋對應於該承載焊墊之面積。
- 15.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該承載焊墊之邊緣。
- 16.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該承載焊墊之邊角。
- 17.如申請專利範圍第11項所述之改善雜散效應之焊墊結構，其中該蝕洞之面積可完全與部分涵蓋該相鄰之承載



六、申請專利範圍

焊墊間面積。

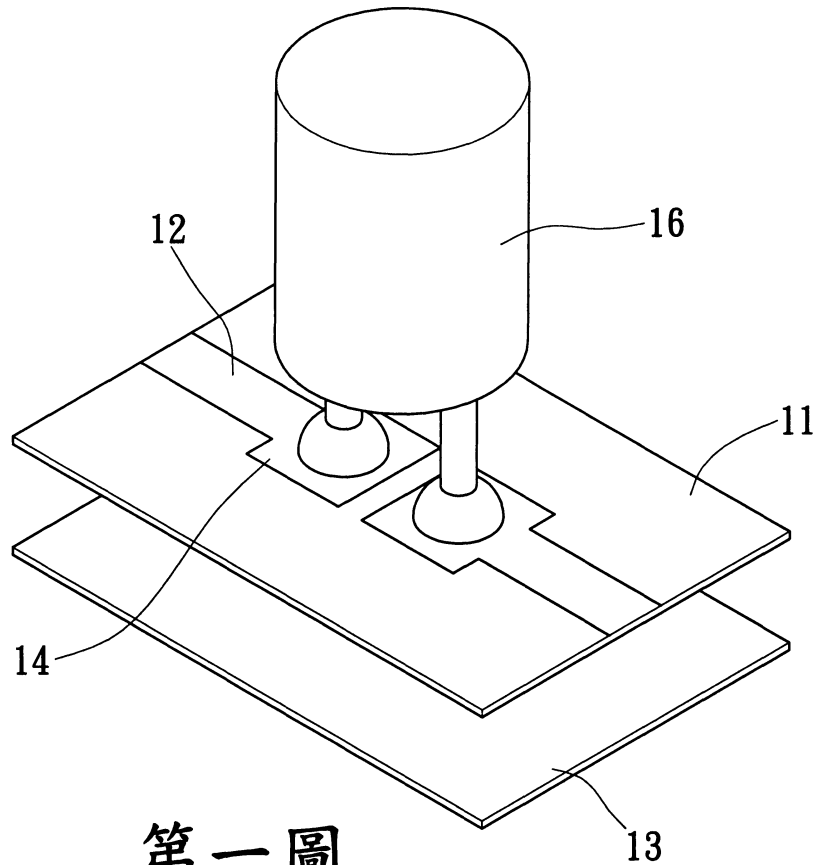
18.如申請專利範圍第 11項所述之改善雜散效應之焊墊結構，其中該蝕洞為任意形狀。

19.如申請專利範圍第 11項所述之改善雜散效應之焊墊結構，其中該結構係設置於一印刷電路板中。

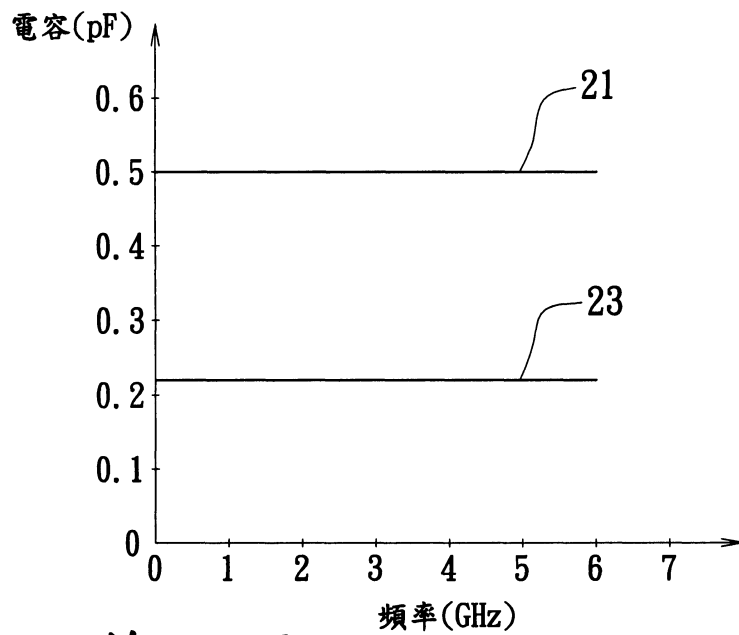
20.如申請專利範圍第 11項所述之改善雜散效應之焊墊結構，其中該結構係設置於一晶片封裝結構中。



圖式

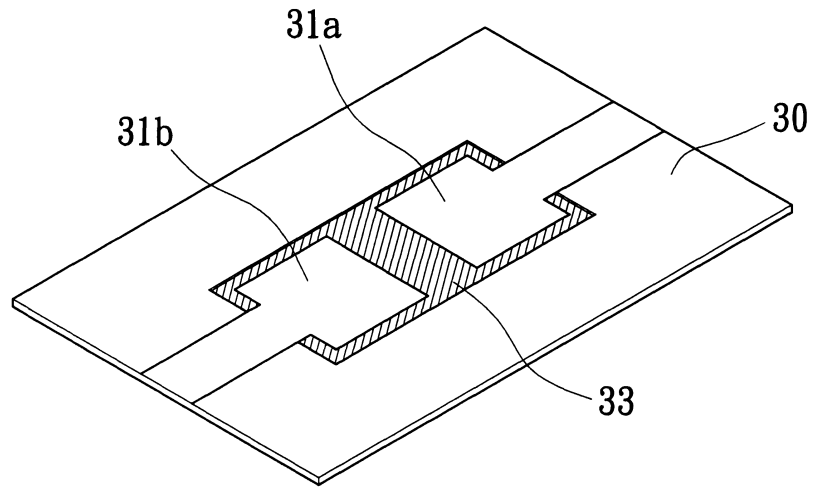


第一圖
(習用技術)

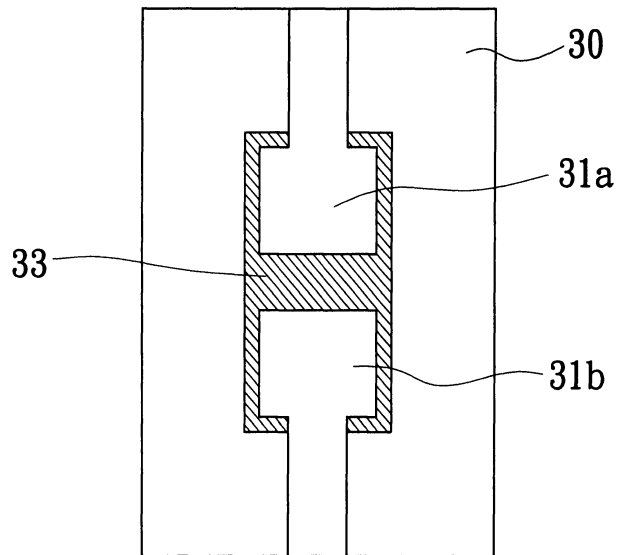


第二圖
(習用技術)

圖式

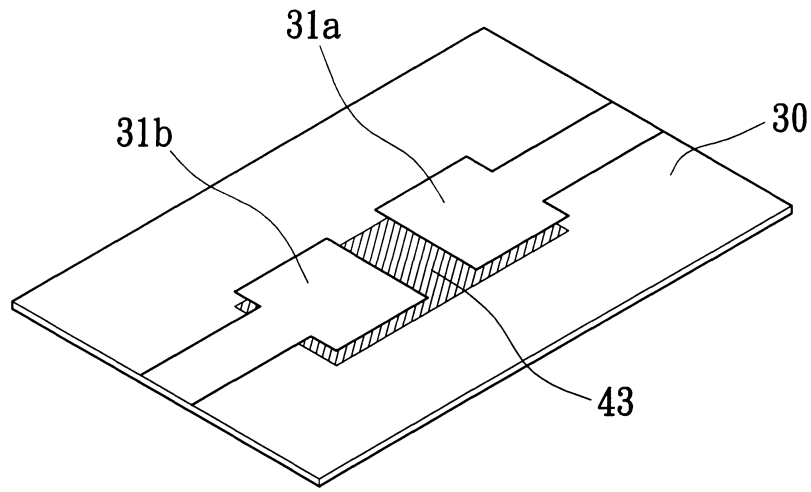


第三A圖

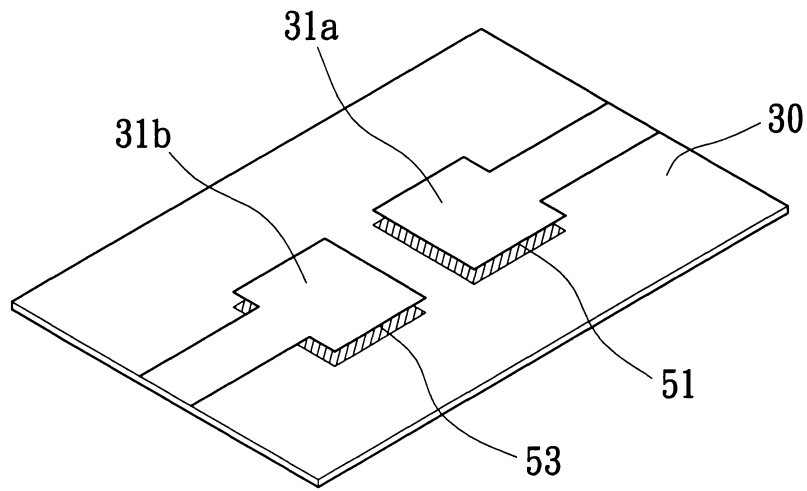


第三B圖

圖式

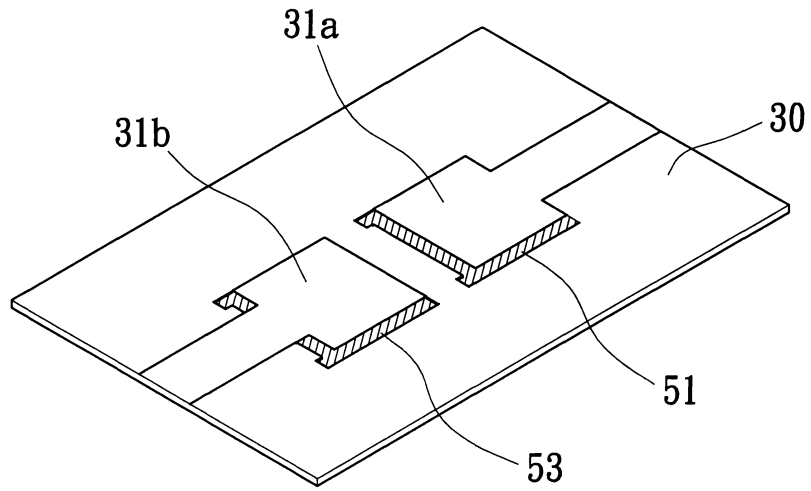


第四圖

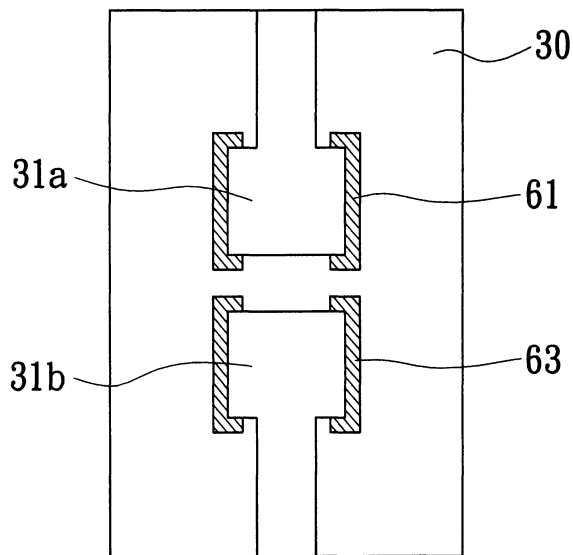


第五圖

圖式

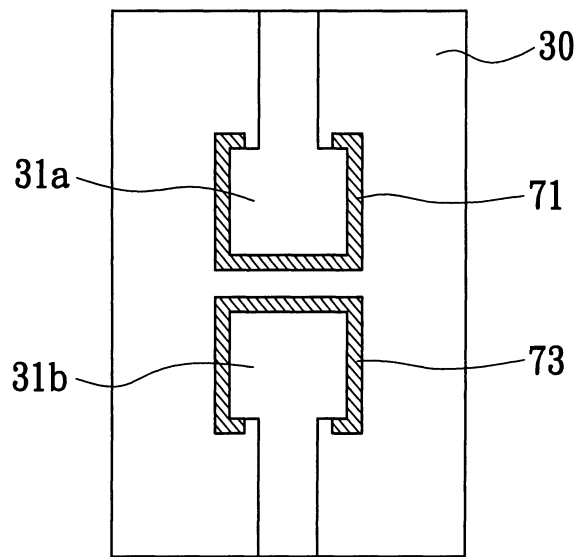


第六A圖



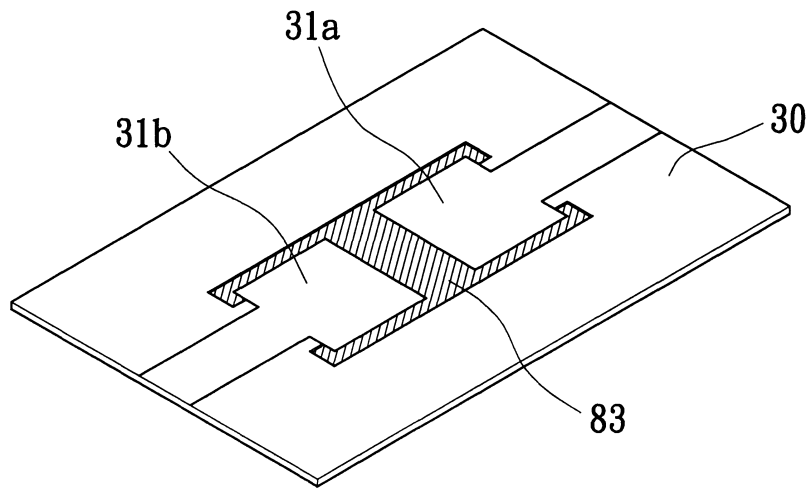
第六B圖

圖式

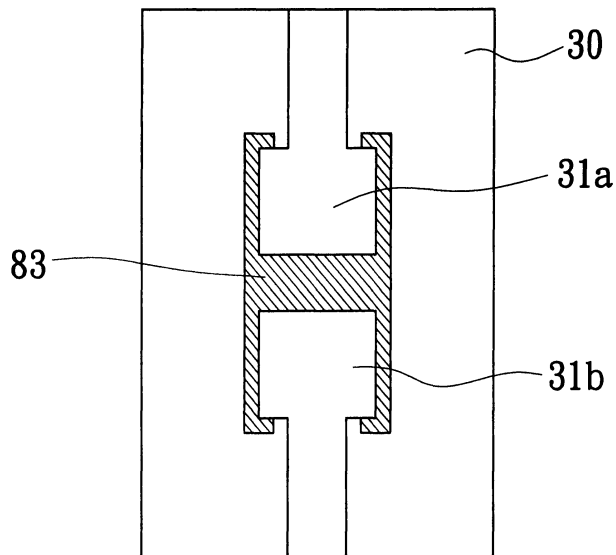


第七圖

圖式

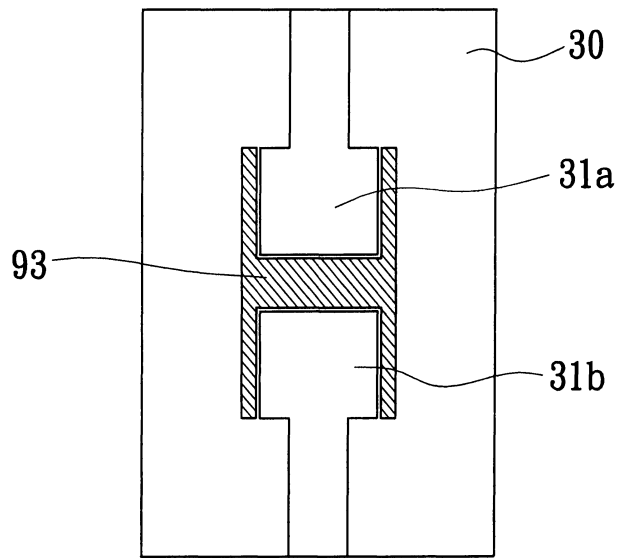


第八A圖



第八B圖

圖式



第九圖

六、指定代表圖

(一)、本案代表圖為：第 ___三 A___圖

(二)、本案代表圖之元件代表符號簡單說明：

30 接地平面

31a 第一承載焊墊

31b 第二承載焊墊

33 蝕洞

