(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6671101号
(P6671101)

(45)発行日　令和2年3月25日(2020.3.25)　(24)登録日　令和2年3月5日(2020.3.5)

(51)Int.Cl.			F I		
G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	623A
G02F	1/133	(2006.01)	G09G	3/20	632F
			G09G	3/20	650C
			G02F	1/133	505

請求項の数 7　(全 37 頁)

(21)出願番号　特願2015-21417(P2015-21417)
(22)出願日　平成27年2月5日(2015.2.5)
(65)公開番号　特開2016-143039(P2016-143039A)
(43)公開日　平成28年8月8日(2016.8.8)
審査請求日　平成30年2月2日(2018.2.2)

(73)特許権者　308017571
シナプティクス・ジャパン合同会社
東京都中野区中野四丁目１０番２号
(74)代理人　100205350
弁理士　狩野　芳正
(74)代理人　100117617
弁理士　中尾　圭策
(72)発明者　織尾　正雄
東京都小平市上水本町５丁目２２番１号
シナプティクス・ディスプレイ・デバイス株式会社内
(72)発明者　降旗　弘史
東京都小平市上水本町５丁目２２番１号
シナプティクス・ディスプレイ・デバイス株式会社内

最終頁に続く

(54)【発明の名称】画像処理回路、表示パネルドライバ、表示装置及び画像処理方法

(57)【特許請求の範囲】

【請求項１】

入力画像に対してスケーリング処理を行って出力画像を生成するスケーリング演算部と、

前記スケーリング演算部の複数の補間係数入力のそれぞれに供給する補間係数を、複数の第１補間係数、及び、所定値から前記複数の第１補間係数をそれぞれ減じて得られる複数の第２補間係数のうちの複数から前記出力画像の注目画素の座標に応じて選択するように構成された補間係数並び替え部と、

前記出力画像の前記注目画素の画素データの算出に用いられる前記入力画像の４画素の画素データを受け取り、受け取った前記４画素の画素データを前記注目画素の座標に応じて並び替えて前記スケーリング演算部の第１～第４画素データ入力に供給する画素データ並び替え部と

を備え、

前記スケーリング演算部は、前記第１～第４画素データ入力で受け取った前記入力画像の前記４画素の画素データに対して前記複数の補間係数入力に供給された前記補間係数を用いて前記スケーリング処理を行って前記出力画像の前記注目画素の画素データを生成するように構成され、

前記スケーリング処理では、前記第１画素データ入力及び前記第２画素データ入力にそれぞれに供給された画素データに対して前記出力画像の第１方向の第１補間演算を行い、前記第３画素データ入力及び前記第４画素データ入力にそれぞれに供給された画素データ

に対して前記出力画像の前記第１方向の第２補間演算を行い、前記第１補間演算と前記第２補間演算とによって得られた画素データに対して前記出力画像の前記第１方向に垂直な第２方向の第３補間演算を行うことで、前記注目画素の画素データを生成する
画像処理回路。
【請求項２】
当該画像処理回路がＭ／Ｎ倍（Ｍ、Ｎは、Ｍ／Ｎが既約分数になるように選ばれた正の整数）のスケーリング処理を行う場合において、前記スケーリング処理の各処理単位である前記入力画像の（Ｎ＋２）×（Ｎ＋２）個の画素と前記出力画像のＭ×Ｍ個の画素とが配置される領域に、第１エリア、第２エリア、第３エリア及び第４エリアを、下記条件：
（ａ）前記第２エリアが前記第１エリアに対して前記第１方向にずれて位置し、前記第３エリアが前記第１エリアに対して前記第２方向にずれて位置し、前記第４エリアが前記第３エリアに対して前記第１方向にずれて位置しており、
（ｂ）前記第２エリアにおける前記入力画像の画素と前記出力画像の画素の配置が前記第１エリアにおける前記入力画像の画素と前記出力画像の画素の配置と線対称であり、
（ｃ）前記第３エリアにおける前記入力画像の画素と前記出力画像の画素の配置が前記第１エリアにおける前記入力画像の画素と前記出力画像の画素の配置と線対称であり、
（ｄ）前記第４エリアにおける前記入力画像の画素と前記出力画像の画素の配置が前記第１エリアにおける前記入力画像の画素と前記出力画像の画素の配置と点対称である
を満たすように規定したとき、
前記第１エリアの前記出力画像の画素に対応する補間係数が前記複数の第１補間係数として前記補間係数並び替え部に供給される
請求項１に記載の画像処理回路。
【請求項３】
前記Ｍが偶数であり、
前記第１エリア、前記第２エリア、前記第３エリア及び前記第４エリアが互いに重ならないように規定された
請求項２に記載の画像処理回路。
【請求項４】
前記Ｍが奇数であり、
前記第１エリア、前記第２エリア、前記第３エリア及び前記第４エリアが互いに部分的に重なるように規定された
請求項２に記載の画像処理回路。
【請求項５】
入力画像に対してスケーリング処理を行って出力画像を生成するスケーラ回路と、
前記スケーラ回路から出力される前記出力画像の画素の画素データに応答して表示パネルを駆動する駆動部
とを具備し、
前記スケーラ回路は、
複数の補間係数入力と第１～第４画素データ入力とを有するスケーリング演算部と、
前記複数の補間係数入力のそれぞれに供給する補間係数を、複数の第１補間係数、及び、所定値から前記複数の第１補間係数をそれぞれ減じて得られる複数の第２補間係数のうちの複数から前記出力画像の注目画素の座標に応じて選択するように構成された補間係数並び替え部と、
前記出力画像の前記注目画素の画素データの算出に用いられる前記入力画像の４画素の画素データを受け取り、受け取った前記４画素の画素データを前記注目画素の座標に応じて並び替えて前記第１～第４画素データ入力に供給する画素データ並び替え部と
を備え、
前記スケーリング演算部は、前記第１～第４画素データ入力で受け取った前記入力画像の前記４画素の画素データに対して前記複数の補間係数入力に供給された前記補間係数を用いて前記スケーリング処理を行って前記出力画像の前記注目画素の画素データを生成す

るように構成され、
前記スケーリング処理では、前記第１画素データ入力及び前記第２画素データ入力にそれぞれに供給された画素データに対して前記出力画像の第１方向の第１補間演算を行い、前記第３画素データ入力及び前記第４画素データ入力にそれぞれに供給された画素データに対して前記出力画像の前記第１方向の第２補間演算を行い、前記第１補間演算と前記第２補間演算とによって得られた画素データに対して前記出力画像の前記第１方向に垂直な第２方向の第３補間演算を行うことで、前記注目画素の画素データを生成する
表示パネルドライバ。
【請求項６】
請求項５に記載の表示パネルドライバを備える表示装置。
【請求項７】
複数の補間係数入力と第１～第４画素データ入力とを有するスケーリング演算部を用いて入力画像に対してスケーリング処理を行って出力画像を生成するための画像処理方法であって、
前記複数の補間係数入力のそれぞれに供給する補間係数を、複数の第１補間係数、及び、所定値から前記複数の第１補間係数をそれぞれ減じて得られる複数の第２補間係数のうちの複数から前記出力画像の注目画素の座標に応じて選択するステップと、
前記出力画像の前記注目画素の画素データの算出に用いられる前記入力画像の４画素の画素データを受け取るステップと、
前記受け取った前記４画素の画素データを前記注目画素の座標に応じて並び替えて前記スケーリング演算部の第１～第４画素データ入力に供給するステップと、
前記スケーリング演算部が、前記第１～第４画素データ入力で受け取った前記入力画像の前記４画素の画素データに対して前記複数の補間係数入力に供給された前記補間係数を用いて前記スケーリング処理を行って前記出力画像の前記注目画素の画素データを生成するステップと
を含み、
前記スケーリング処理が、
前記第１画素データ入力及び前記第２画素データ入力にそれぞれに供給された画素データに対して前記出力画像の第１方向の第１補間演算を行うことと、
前記第３画素データ入力及び前記第４画素データ入力にそれぞれに供給された画素データに対して前記出力画像の前記第１方向の第２補間演算を行うことと、
前記第１補間演算と前記第２補間演算とによって得られた画素データに対して前記出力画像の前記第１方向に垂直な第２方向の第３補間演算を行うことで、前記注目画素の画素データを生成することと
を含む
画像処理方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画像処理回路、表示パネルドライバ、表示装置及び画像処理方法に関し、特に、スケーリング処理に対応した画像処理回路、表示パネルドライバ、表示装置及び画像処理方法に関する。
【背景技術】
【０００２】
表示パネル（例えば、液晶表示パネル）を駆動する表示パネルドライバには、画像を拡大するスケーリング処理を行う機能が搭載されることがある。このような機能は、例えば、表示パネルドライバに供給される入力画素データの解像度と表示パネルの解像度が整合しないときに、供給された入力画素データから表示パネルの解像度に整合した画素データ

を生成するために使用され得る。

【０００３】

スケーリング処理を行う一つの手法として、バイリニア法が知られている。バイリニア法とは、入力画像（入力画像）の画素データの直線補間により出力画像（出力画像又は縮小画像）の画素データを算出する方法である。バイリニア法によるスケーリング処理では、出力画像の各画素の位置を拡大／縮小率に応じて決定し、更に、出力画像の各画素の画素データ（最も典型的には、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の階調を示すデータ）を、該各画素に最近接する入力画像の４つの画素の画素データの直線補間によって算出する。直線補間において入力画像の４つの画素に与えられる重みは、出力画像の各画素の位置に基づいて決定される。

【０００４】

例えば表示パネルドライバのような集積回路（ＩＣ：integrated circuit）では、スケーリング処理は、しばしば、ハードウェア回路で実行される。ハードウェア回路でスケーリング処理を行う構成は処理速度に優れており、表示パネルドライバにおけるスケーリング処理のようにリアルタイム処理が求められる場合に好適である。

【０００５】

ハードウェア回路でスケーリング処理を行う場合の一つの問題は、補間係数の供給である。バイリニア法によってＭ／Ｎ倍のスケーリング処理を行う場合（即ち、入力画像のＮ×Ｎ個の画素の画素データに対応して出力画像のＭ×Ｍ個の画素の画素データを生成する場合）、出力画像のＭ×Ｍ個の画素のそれぞれについて、補間係数を決定する必要がある。ここで、Ｍ、Ｎは、Ｍ／Ｎが既約分数となるように選択された正の整数である。即ち、Ｍ／Ｎ倍の拡大処理を行う場合、Ｍ×Ｍ種類の補間係数の組を、スケーリング処理を行う回路部に供給する必要がある。これは、補間係数の供給に必要なハードウェア資源を不所望に増大させる。例えば、補間係数をＲＯＭ（read only memory）で保持するような構成が採用される場合、当該ＲＯＭの回路規模が増大してしまう。

【０００６】

このように、補間係数の供給に用いられるハードウェア資源を低減する事には技術的なニーズが存在する。

【０００７】

なお、スケーリング処理については、下記の特許文献に開示されている。

特開平２－１７６８７３号公報は、直線補間によって画像拡大を行う画像拡大処理装置において、補間関数と拡大定数をＲＯＭに保存する技術を開示している。

【０００８】

特開平２－２３４５７９号公報は、隣り合った２画素、及び、該２画素の近傍の画素の画素データから、該２画素の中間の位置の画素の画素データを内挿によって算出し、該２画素の間の任意の位置の新画素の画素データを、該２画素の中間の位置の画素の画素データを用いた内挿によって算出する技術を開示している。

【０００９】

国際公開２０１２／１１４５７４　Ａ１は、拡大画像の画素の画素データを低解像度画像の複数の画素の画素データの補間によって求める技術を開示している。この国際公開に開示された技術では、注目画素との相関が高い画素の画素データの補間係数が増大され、これにより、エッジの形状によらない適切な補間演算が行われる。

【００１０】

特開２０１１－１４６８８８号公報は、拡大画像の画素について、原画像において隣接する２画素を含む近傍の３画素から画素変化率を求め、該画素変化率を用いて補間する技術を開示している。

【００１１】

特開平８－３１５１２９号公報は、周波数領域に直交変換して画像拡大処理を行う技術を開示している。

【００１２】

特開平８－１８７６９号公報は、原画像の各画素を中心にしてＮ×Ｎ画素を生成する画像拡大処理を開示している。この公報に開示された技術では、原画像の画素の上下左右に隣接する画素の画素データは、原画像の画素の画素データと同一に設定し、斜めに位置している画素の画素データは、原画像の当該画素の周囲の画素の画素データの平均に設定する。

【００１３】

特開平４－１５６６９０号公報は、アフィン変換による画像拡大処理を開示している。

【００１４】

特開昭６２－２８２３７７号公報は、シフトレジスタをラインバッファとして用い、また、補間係数をアドレスを拡大率で除算して算出する技術を開示している。

【先行技術文献】

【特許文献】

【００１５】

【特許文献１】特開平２－１７６８７３号公報
【特許文献２】特開平２－２３４５７９号公報
【特許文献３】国際公開２０１２／１１４５７４　Ａ１
【特許文献４】特開２０１１－１４６８８８号公報
【特許文献５】特開平８－３１５１２９号公報
【特許文献６】特開平８－１８７６９号公報
【特許文献７】特開平４－１５６６９０号公報
【特許文献８】特開昭６２－２８２３７７号公報

【発明の概要】

【発明が解決しようとする課題】

【００１６】

したがって、本発明の目的は、スケーリング処理を行う回路部への補間係数の供給に用いられるハードウェア資源を低減することにある。

【００１７】

本発明の他の目的、課題及び新規な特徴は、下記の記載から容易に理解されるであろう。

【課題を解決するための手段】

【００１８】

本発明の一の観点では、入力画像に対してスケーリング処理を行って出力画像を生成するための画像処理回路が提供される。該画像処理回路は、複数の補間係数入力を有するスケーリング演算部と、補間係数並び替え部と、補間係数供給部とを具備する。補間係数供給部は、複数の第１補間係数を補間係数並び替え部に供給する。補間係数並び替え部は、スケーリング演算部の複数の補間係数入力のそれぞれに、複数の第１補間係数、及び、所定値から複数の第１補間係数をそれぞれ減じて得られる複数の第２補間係数のうちから選択された補間係数を、出力画像の注目画素の座標に応じて供給するように構成される。スケーリング演算部は、入力画像の画素の画素データに対して補間係数並び替え部から複数の補間係数入力に供給された補間係数を用いて補間演算を行って出力画像の注目画素の画素データを生成するように構成される。

【００１９】

本発明の他の観点では、表示パネルを駆動する表示パネルドライバが提供される。当該表示パネルドライバは、入力画像の画素の画素データに対してスケーリング処理を行って出力画像の画素の画素データを生成するスケーラ回路と、スケーラ回路から出力される出力画像の画素の画素データに応答して表示パネルを駆動する駆動部とを具備する。スケーラ回路は、複数の補間係数入力を有するスケーリング演算部と、補間係数並び替え部と、補間係数供給部とを備えている。補間係数供給部は、複数の第１補間係数を補間係数並び替え部に供給する。補間係数並び替え部は、スケーリング演算部の複数の補間係数入力のそれぞれに、複数の第１補間係数、及び、所定値から複数の第１補間係数をそれぞれ減じ

て得られる複数の第２補間係数のうちから選択された補間係数を、出力画像の注目画素の座標に応じて供給するように構成される。スケーリング演算部は、入力画像の画素の画素データに対して補間係数並び替え部から複数の補間係数入力に供給された補間係数を用いて補間演算を行って注目画素の画素データを生成するように構成される。

【００２０】

本発明の更に他の観点では、表示装置が、表示パネルと、表示パネルドライバとを具備する。表示パネルドライバは、入力画像の画素の画素データに対してスケーリング処理を行って出力画像の画素の画素データを生成するスケーラ回路と、スケーラ回路から出力される出力画像の画素の画素データに応答して表示パネルを駆動する駆動部とを備えている。スケーラ回路は、複数の補間係数入力を有するスケーリング演算部と、補間係数並び替え部と、補間係数供給部とを備えている。補間係数供給部は、複数の第１補間係数を補間係数並び替え部に供給する。補間係数並び替え部は、スケーリング演算部の複数の補間係数入力のそれぞれに、複数の第１補間係数、及び、所定値から複数の第１補間係数をそれぞれ減じて得られる複数の第２補間係数のうちから選択された補間係数を、出力画像の注目画素の座標に応じて供給するように構成される。スケーリング演算部は、入力画像の画素の画素データに対して補間係数並び替え部から複数の補間係数入力に供給された補間係数を用いて補間演算を行って注目画素の画素データを生成するように構成される。

【発明の効果】

【００２１】

本発明によれば、スケーリング処理を行う回路部への補間係数の供給に用いられるハードウェア資源を低減することができる。

【図面の簡単な説明】

【００２２】

【図１】バイリニア法によるスケーリング処理を概念的に示す図である。

【図２】バイリニア法における出力画像の注目画素Ｑの画素データの決定方法を詳細に説明する図である。

【図３】４／３倍のスケーリング処理の一の処理単位に対応する出力画像の４×４個の画素Ｑ、及び、入力画像の５×５個の画素Ｐの配置を示す図である。

【図４】４／３倍のスケーリング処理が行われる場合の入力画像と出力画像の画素の配置の対称性を示す図である。

【図５】左上エリアに位置する出力画像の画素Ｑの画素データの算出方法を示す図である。

【図６】本実施形態のスケーリング処理を行う画像処理回路の構成の例を示す回路図である。

【図７Ａ】本実施形態における画素データ並び替え回路の動作を示す真理値表である。

【図７Ｂ】本実施形態における補間係数並び替え回路の動作を示す真理値表である。

【図８Ａ】本実施形態における、ｙ＝０の場合の画像処理回路の動作を示すタイミングチャートである。

【図８Ｂ】本実施形態における、ｙ＝１の場合の画像処理回路の動作を示すタイミングチャートである。

【図８Ｃ】本実施形態における、ｙ＝２の場合の画像処理回路の動作を示すタイミングチャートである。

【図８Ｄ】本実施形態における、ｙ＝３の場合の画像処理回路の動作を示すタイミングチャートである。

【図９】３／２倍のスケーリング処理を概念的に示す図である。

【図１０】３／２倍のスケーリング処理の一の処理単位に対応する出力画像の３×３個の画素Ｑ、及び、入力画像の４×４個の画素Ｐの配置を示す図である。

【図１１】３／２倍のスケーリング処理を行う画像処理回路の構成の例を示す回路図である。

【図１２】図１１の画像処理回路によってスケーリング処理が行われる画素の配置を示す

概念図である。
【図１３】本実施形態における補間係数並び替え回路の動作を示す真理値表である。
【図１４Ａ】ｙ＝０の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１４Ｂ】ｙ＝０の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１５Ａ】ｙ＝１の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１５Ｂ】ｙ＝１の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１６Ａ】ｙ＝２の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１６Ｂ】ｙ＝２の場合における図１１の画像処理回路の動作を示すタイミングチャートである。
【図１７】本発明の一実施形態の表示装置の構成を示すブロック図である。
【図１８】液晶表示パネルの表示領域における構成の一例を示す図である。
【図１９】ドライバＩＣの構成の例を示すブロック図である。
【発明を実施するための形態】
【００２３】
本発明の理解を容易にするために、以下では、まず、バイリニア法によるスケーリング処理の概要を説明する。
【００２４】
図１は、バイリニア法によるスケーリング処理を概念的に示す図である。図１では、４／３倍の拡大処理、即ち、入力画像の３×３の画素Ｐの画素データから、出力画像の４×４画素の画素データを生成するスケーリング処理が図示されている。
【００２５】
バイリニア法によるスケーリング処理においては、出力画像（拡大画像又は縮小画像）の各画素Ｑの位置を拡大率（縮小率）に応じて決定し、更に、出力画像の各画素Ｑの画素データ（最も典型的には、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の階調を示すデータ）を、該各画素に最近接する入力画像の４つの画素の画素データの直線補間によって算出する。ここで、画像の拡大を行う場合には、入力画像の最外周の画素Ｐよりも外側に出力画像の画素の位置が決定されるので、入力画像の最外周の画素Ｐよりも外側に位置する出力画像の画素Ｑの画素データは、入力画像の最外周の画素Ｐをコピーした（即ち、同一の画素データを有する）コピー画素を仮想的に設定し、最外周の画素Ｐとコピー画素の画素データに対して直線補間を行うことで決定される。
【００２６】
図２は、バイリニア法における出力画像の注目画素Ｑの画素データの決定方法を詳細に説明する図である。注目画素Ｑの画素データは、該注目画素Ｑに最近接する入力画像の４つの画素Ａ、Ｂ、Ｃ、Ｄの画素データから算出される。より具体的には、画素Ａ、Ｂに対して横方向の直線補間を行うことで画素Ｒ１の画素データが算出され、画素Ｃ、Ｄに対して横方向の直線補間を行うことで、画素Ｒ２の画素データが算出される。ここで、画素Ｒ１は、注目画素Ｑと横方向（図２におけるｘ方向）の位置が同一で、且つ、画素Ａ、Ｂと縦方向の位置が同一である仮想的な画素であり、画素Ｒ２は、注目画素Ｑと横方向の位置が同一で、且つ、画素Ｃ、Ｄと縦方向の位置が同一である仮想的な画素である。注目画素Ｑの画素データは、画素Ｒ１、Ｒ２に対して縦方向の直線補間を行うことで決定される。
【００２７】
注目画素Ｑの画素データの算出においては、４つの補間係数ｔ、１－ｔ、ｓ、１－ｓが用いられる。より具体的には、横方向の補間により得られる画素Ｒ１、Ｒ２の画素データ及び注目画素Ｑの画素データは、下記式で表される：
Ｒ１＝ｔ・Ａ＋（１－ｔ）・Ｂ　　・・・（１ａ）

Ｒ２＝ｔ・Ｃ＋（１－ｔ）・Ｄ　　・・・（１ｂ）
Ｑ＝ｓ×Ｒ１＋（１－ｓ）・Ｒ２　　・・・（１ｃ）
図２の例では、ｔ、１－ｔが、横方向の補間演算に用いられる補間係数であり、ｓ、１－ｓが縦方向の補間演算に用いられる補間係数である。

【００２８】
なお、図２では、横方向の直線補間の後に縦方向の直線補間が行われているが、順序は逆でもよい。また、実際の実装においては、横方向の直線補間と縦方向の直線補間とが同時に行われる演算が行われてもよい。また、画素データがＲＧＢ形式を有している場合、画素データの演算は、色毎に行われる。

【００２９】
図１を再度に参照して、Ｍ／Ｎ倍のスケーリング処理の処理単位は、出力画像のＭ×Ｍの画素Ｑの画素データを生成する処理である。ここで、Ｍ、Ｎは、Ｍ／Ｎが既約分数となるように選択された正の整数である。例えば、４／３倍のスケーリング処理を示す図１において、領域Ｕ１に囲まれている出力画像の４×４個の画素Ｑは、ある処理単位において画素データが処理される画素Ｑである。バイリニア法では、補間を行うために出力画像のＭ×Ｍの画素Ｑの外側に位置する入力画像の画素Ｐの画素データ必要であるから、出力画像のＭ×Ｍの画素Ｑの画素データの生成には、入力画像の（Ｎ＋２）×（Ｎ＋２）画素の画素データが必要である。

【００３０】
図３は、４／３倍のスケーリング処理の一の処理単位に対応する出力画像の４×４個の画素Ｑ、及び、４×４個の画素Ｑの画素データの生成に用いられる入力画像の５×５個の画素Ｐを図示している。４／３倍のスケーリング処理の場合には、入力画像の５×５画素の画素データから、出力画像の４×４個の画素Ｑの画素データが生成されることになる。

【００３１】
出力画像のＭ×Ｍ個の画素Ｑの画素データの算出においては、Ｍ×Ｍ個の画素Ｑのそれぞれについて、一組の補間係数（ｔ、１－ｔ、ｓ、１－ｓ）が必要であるから、最も単純には、Ｍ×Ｍ組の補間係数が必要となることになる。一つの手法としては、例えば特許文献１に開示されている技術と同様に、Ｍ×Ｍ組の補間係数を何らかの記憶部（ＲＯＭ等）に記憶させることが考えられる。しかしながら、この手法では、記憶部の回路規模が大きくなってしまう。他の手法としては、例えば特許文献４に開示されているように、補間係数を逐次に計算することが考えられる。しかしながら、補間係数を逐次に計算する構成は、演算量や回路規模の観点で不利である。以下に述べられる本実施形態のスケーリング処理では、スケーリング処理を行う回路部への補間係数の供給に用いられるハードウェア資源を低減するための手法が採用される。

【００３２】
発明者が注目したことは、バイリニア法によるＭ／Ｎ倍のスケーリング処理の各処理単位において、入力画像と出力画像の画素の配置に対称性が存在することである。図４は、入力画像と出力画像の画素の配置の対称性を示す図である。図４においては、４／３倍のスケーリング処理が行われる場合の入力画像と出力画像の画素の配置の対称性、即ち、入力画像の５×５画素及び出力画像の４×４画素の配置の対称性を示す図である。

【００３３】
以下の議論においては、入力画像の５×５画素が配置される領域に４つのエリア：左上エリア、右上エリア、左下エリア、右下エリアを規定する。これらの４つのエリアは、入力画像の５×５画素が配置される領域を、直線Ｖ、Ｈによって分割することで規定されている。ここで、直線Ｈは、ｘ方向に延伸し、且つ、入力画像の５×５画素が配置される領域の中心を通過する直線であり、直線Ｖは、ｙ方向に延伸し、且つ、入力画像の５×５画素が配置される領域の中心を通過する直線である。より具体的には、左上エリアは、入力画像の画素Ｐ（０，０）、Ｐ（０，２）、Ｐ（２，０）、Ｐ（２，２）を頂点とする矩形のエリアであり、右上エリアは、入力画像の画素Ｐ（０，２）、Ｐ（０，４）、Ｐ（２，２）、Ｐ（２，４）を頂点とする矩形のエリアである。また、左下エリアは、入力画像の

画素Ｐ（２，０）、Ｐ（２，２）、Ｐ（４，０）、Ｐ（４，２）を頂点とする矩形のエリアであり、右下エリアは、入力画像の画素Ｐ（２，２）、Ｐ（２，４）、Ｐ（４，２）、Ｐ（４，４）を頂点とする矩形のエリアである。ここで、画素Ｐ（ｉ，ｊ）は、入力画像の５×５の画素のうち、ｉ行ｊ列に位置する画素である。

【００３４】

注目すべきことは、右上エリア、左下エリア、右下エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置と線対称、又は、点対称である点である。詳細には、右上エリアにおける入力画像と出力画像の画素の配置と左上エリアにおける入力画像と出力画像の画素の配置とは、直線Ｖを対称軸とする線対称である。即ち、右上エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を左右反転する（即ち、直線Ｖに対して反転する）ことで得られる。即ち、図４の右上図に示されているように、右上エリアにおける入力画像と出力画像の画素の配置を左右反転した配置は、左上エリアにおける入力画像と出力画像の画素の配置に一致している。

【００３５】

また、左下エリアにおける入力画像と出力画像の画素の配置と左上エリアにおける入力画像と出力画像の画素の配置とは、直線Ｈを対称軸とする線対称である。即ち、左下エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を上下反転する（即ち、直線Ｈに対して反転する）ことで得られる。即ち、図４の左下図に示されているように、左下エリアにおける入力画像と出力画像の画素の配置を上下反転した配置は、左上エリアにおける入力画像と出力画像の画素の配置に一致している。

【００３６】

更に、右下エリアにおける入力画像と出力画像の画素の配置と左上エリアにおける入力画像と出力画像の画素の配置とは、特定の点（この具体例では、画素Ｐ（２，２））を対称の中心とする点対称である。即ち、右下エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を上下左右反転する（即ち、直線Ｖに対して反転し、更に、直線Ｈに対して反転する）ことで得られる。即ち、図４の右下図に示されているように、右下エリアにおける入力画像と出力画像の画素の配置を上下左右反転した配置は、左上エリアにおける入力画像と出力画像の画素の配置に一致している。

【００３７】

このような対称性を利用すれば、スケーリング処理を行う回路部に供給する補間係数の組の数を低減することができる。まず、図５は、左上エリアに位置する出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（１，０）、Ｑ（１，１）の画素データの算出方法を示す図である。出力画像の画素Ｑ（０，０）の画素データは、入力画像の画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（１，０）、Ｐ（１，１）の画素データの直線補間で得られる。この直線補間では、横方向の補間演算についての補間係数、縦方向の補間演算についての補間係数のいずれについても、ｓ、１－ｓが用いられる。また、出力画像の画素Ｑ（０，１）の画素データは、入力画像の画素Ｐ（０，１）、Ｐ（０，２）、Ｐ（１，１）、Ｐ（１，２）の画素データの直線補間で得られる。この直線補間では、横方向の補間演算についての補間係数としてｔ、１－ｔが用いられ、縦方向の補間演算についての補間係数としてはｓ、１－ｓが用いられる。

【００３８】

更に、出力画像の画素Ｑ（１，０）の画素データは、入力画像の画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（２，０）、Ｐ（２，１）の画素データの直線補間で得られる。この直線補間では、横方向の補間演算についての補間係数としてｓ、１－ｓが用いられ、縦方向の補間演算についての補間係数としてはｔ、１－ｔが用いられる。出力画像の画素Ｑ（１，１）の画素データは、入力画像の画素Ｐ（１，１）、Ｐ（１，２）、Ｐ（２，１）、Ｐ（２，２）の画素データの直線補間で得られる。この直線補間では、横方向の補間演算につ

いての補間係数、縦方向の補間演算についての補間係数のいずれについても、ｔ、１－ｔが用いられる。

【００３９】

右上エリア、左下エリア、右下エリアにおける出力画像の画素の画素データの算出は、入力画像と出力画像の画素の配置を、それぞれ、左右反転、上下反転、上下左右反転した上で左上エリアにおける出力画像の画素の画素データの算出と同一の演算を行うことで実行できる。ここで、入力画像と出力画像の画素の配置の反転は、画素データ及び／又は補間係数の並び替えによって実現可能である。よって、図５に図示されている演算（即ち、左上エリアの出力画像の画素の画素データの算出）を実行するスケーリング演算部を用意すると共に、当該スケーリング演算部への入力画像の４画素の画素データ及び補間係数の供給において画素データ及び／又は補間係数の並び替えを行うことで、右上エリア、左下エリア、右下エリアについての出力画像の画素の画素データを算出できる。このような手法は、スケーリング処理を行う回路部に供給される補間係数の組の数を低減することを可能にする。画素データ及び／又は補間係数の並び替えは、例えば、セレクタやマルチプレクサのような選択機能を有する並び替え回路で行うことができる。以下では、画素データ及び／又は補間係数の並び替えを行うことでスケーリング演算部に供給される補間係数の組の数を低減するための画像処理回路の構成を説明する。

【００４０】

図６は、本実施形態のスケーリング処理を行う画像処理回路１０の構成の例を示す回路図である。画像処理回路１０は、図２に図示されているように配置されている入力画像の４つの画素Ａ、Ｂ、Ｃ、Ｄの画素データから、出力画像の注目画素Ｑの画素データを算出するように構成されている。なお、以下においては、入力画像の４つの画素Ａ、Ｂ、Ｃ、Ｄの画素データについても、記号“Ａ”、“Ｂ”、“Ｃ”、“Ｄ”と参照し、出力画像の注目画素Ｑの画素データについても記号Ｑで参照することがある。

【００４１】

画像処理回路１０は、画素データ並び替え回路１１と、補間係数保持部１２と、補間係数並び替え回路１３と、スケーリング演算部１４とを備えている。

【００４２】

画素データ並び替え回路１１は、入力画像の４つの画素の画素データＡ、Ｂ、Ｃ、Ｄを受け取り、適正な順序に並び替えてスケーリング演算部１４の画素データ入力ａ、ｂ、ｃ、ｄに出力する。この並び替えは、出力画像の注目画素Ｑの座標（ｘ，ｙ）に応じて行われる。ここで座標ｘは、注目画素Ｑの、出力画像の横方向における位置を画素数で示しており、座標ｙは、注目画素Ｑの、出力画像の縦方向における位置を画素数で示している。

【００４３】

図７Ａは、本実施形態における画素データ並び替え回路１１の動作を示す真理値表である。図７Ａの真理値表では、例えば、座標（ｘ，ｙ）について（ｙ／２）％２＝０、（ｘ／２）％２＝０が成立する場合、画素データ入力ａ、ｂ、ｃ、ｄには、それぞれ、画素データＡ、Ｂ、Ｃ、Ｄが入力されることが図示されている。ここで、演算子“／”は除算を示しており、演算子“％”は、剰余を求める演算（modulo）を示している。（ｙ／２）％２、（ｘ／２）％２が異なる値をとる場合の動作も同様にして理解されよう。

【００４４】

図６に戻り、補間係数保持部１２は、補間係数ｓ，ｔを保持しており、保持している補間係数ｓ，ｔを補間係数並び替え回路１３に供給する。ここで、補間係数保持部１２は、左上エリアに位置する出力画像の画素の画素データに必要な補間係数ｓ，ｔのみを保持している。

【００４５】

補間係数並び替え回路１３は、補間係数ｓ，ｔから補間係数１－ｓ、１－ｔを算出すると共に、補間係数ｓ，１－ｓ、ｔ、１－ｔのうちから選択された補間係数をスケーリング演算部１４の補間係数入力ｑ１～ｑ６のそれぞれに出力する。ここで、補間係数入力ｑ１～ｑ４は、横方向の補間についての補間係数を受け取る入力であり、補間係数入力ｑ５、

ｑ６は、縦方向の補間についての補間係数を受け取る入力である。なお、補間係数入力ｑ１、ｑ３に入力される補間係数は同一値であり、補間係数入力ｑ２、ｑ４に入力される補間係数は同一値である。補間係数入力ｑ１～ｑ６のそれぞれに出力する補間係数の選択は、出力画像の注目画素Ｑの座標（ｘ，ｙ）に応じて行われる。

【００４６】

図７Ｂは、本実施形態における補間係数並び替え回路１３の動作を示す真理値表である。図７Ｂの真理値表では、例えば、座標（ｘ，ｙ）についてｙ％２＝０、ｘ％２＝０が成立する場合、補間係数入力ｑ１～ｑ６に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓ、ｓ、１－ｓが入力されることが図示されている。ｙ％２、ｘ％２が異なる値をとる場合の動作も同様にして理解されよう。

【００４７】

図６に戻り、スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄで受け取った４画素の画素データに対し、補間係数入力ｑ１～ｑ６で受け取った補間係数を用いてスケーリング処理を行い、出力画像の注目画素の画素データＱを算出する。詳細には、スケーリング演算部１４は、積和演算を行う積和演算回路として構成されており、乗算器２１～２４と、加算器２５、２６と、乗算器２７、２８と、加算器２９とを備えている。

【００４８】

乗算器２１は、画素データ入力ａで受け取った画素データと補間係数入力ｑ１で受け取った補間係数との積を出力し、乗算器２２は、画素データ入力ｂで受け取った画素データと補間係数入力ｑ２で受け取った補間係数との積を出力する。同様に、乗算器２３は、画素データ入力ｃで受け取った画素データと補間係数入力ｑ３で受け取った補間係数との積を出力し、乗算器２４は、画素データ入力ｄで受け取った画素データと補間係数入力ｑ４で受け取った補間係数との積を出力する。

【００４９】

加算器２５は、乗算器２１の出力と乗算器２２の出力の和を出力し、加算器２６は、乗算器２３の出力と乗算器２４の出力の和を出力する。

【００５０】

乗算器２７は、加算器２５の出力と補間係数入力ｑ５で受け取った補間係数との積を出力し、乗算器２８は、加算器２６の出力と補間係数入力ｑ６で受け取った補間係数との積を出力する。

【００５１】

加算器２９は、乗算器２７の出力と乗算器２８の出力との和を出力する。本実施形態の画像処理回路１０では、加算器２９の出力が、出力画像の注目画素Ｑの画素データとして用いられる。

【００５２】

なお、画像処理回路１０の実際の実装においては、補間係数ｓ、１－ｓは、２進数で表現されるので、補間係数ｓから補間係数１－ｓを得る演算は、実際には、所定値から補間係数ｓを減じる演算として実装され得ることに留意されたい。同様に、補間係数ｔから補間係数１－ｔを得る演算は、該所定値から補間係数ｔを減じる演算として実装され得る。

【００５３】

図８Ａ～図８Ｄは、本実施形態における画像処理回路１０の動作を示すタイミングチャートである。以下では、左上エリア、右上エリア、左下エリア、右下エリアのそれぞれにおける出力画像の画素の画素データの算出について説明する。

【００５４】

（左上エリア、右上エリアにおける出力画像の画素の画素データの算出）

図８Ａ、図８Ｂは、左上エリア、右上エリアの出力画像の画素Ｑの画素データの算出方法を示すタイミングチャートである。

【００５５】

図８Ａは、ｙ＝０の場合、即ち、出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）、Ｑ（０，３）・・・の画素データの算出における画像処理回路１０の動作を示し

ている。ｙ＝０、ｘ＝０の場合、出力画像の画素Ｑ（０，０）の画素データが算出される。出力画像の画素Ｑ（０，０）の画素データは、図４から理解されるように、入力画像の画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（１，０）、Ｐ（１，１）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（１，０）、Ｐ（１，１）の画素データが供給される。出力画像の画素Ｑ（０，０）は、図４から理解されるように左上エリアに位置しており、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＡ、Ｂ、Ｃ、Ｄ、即ち、入力画像の画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（１，０）、Ｐ（１，１）の画素データを供給する。

【００５６】

一方、補間係数並び替え回路１３は、横方向の補間についての補間係数を補間係数入力ｑ１～ｑ４に供給し、縦方向の補間についての補間係数を補間係数入力ｑ５、ｑ６に供給する。即ち、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４には、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓが供給され、また、補間係数入力ｑ５、ｑ６には、補間係数ｓ、１－ｓが供給される。出力画像の画素Ｑ（０，０）の画素データの算出において、横方向の補間演算についての補間係数がｓ、１－ｓであり、縦方向の補間演算についての補間係数がｓ、１－ｓであることは、図５から容易に理解されよう。

【００５７】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（０，０）の画素データを算出する。画素Ｑ（０，０）の画素データは、下記式のように算出される：

Ｑ（０，０）＝ｓ・（ｓ・Ｐ（０，０）＋（１－ｓ）・Ｐ（０，１））＋
（１－ｓ）・（ｓ・Ｐ（１，０）＋（１－ｓ）・Ｐ（１，１））

ここで、記号“・”は、乗算を意味している。

【００５８】

ｙ＝０、ｘ＝１の場合、出力画像の画素Ｑ（０，１）の画素データが算出される。画素Ｑ（０，１）の画素データは、入力画像の画素Ｐ（０，１）、Ｐ（０，２）、Ｐ（１，１）、Ｐ（１，２）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（０，１）、Ｐ（０，２）、Ｐ（１，１）、Ｐ（１，２）の画素データが供給される。

【００５９】

出力画像の画素Ｑ（０，１）も左上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＡ、Ｂ、Ｃ、Ｄ、即ち、入力画像の画素Ｐ（０，１）、Ｐ（０，２）、Ｐ（１，１）、Ｐ（１，２）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。

【００６０】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（０，１）の画素データを算出する。画素Ｑ（０，１）の画素データは、下記式のように算出される：

Ｑ（０，１）＝ｓ・（ｔ・Ｐ（０，１）＋（１－ｔ）・Ｐ（０，２））＋
（１－ｓ）・（ｔ・Ｐ（１，１）＋（１－ｔ）・Ｐ（１，２））

【００６１】

ｙ＝０、ｘ＝２の場合、出力画像の画素Ｑ（０，２）の画素データが算出される。画素Ｑ（０，２）の画素データは、入力画像の画素Ｐ（０，２）、Ｐ（０，３）、Ｐ（１，２）、Ｐ（１，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（０，２）、Ｐ（０，３）、Ｐ（１，２）、Ｐ（１，３）の画素データが供給さ

れる。

【００６２】

出力画像の画素Ｑ（０，２）は、図４から理解されるように右上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データ、Ｂ、Ａ、Ｄ、Ｃ、即ち、入力画像の画素Ｐ（０，３）、Ｐ（０，２）、Ｐ（１，３）、Ｐ（１，２）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（０，２）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（０，２）と直線Ｖに対して線対称の位置にある画素Ｑ（０，１）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００６３】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（０，２）の画素データを算出する。画素Ｑ（０，２）の画素データは、下記式のように算出される：

Ｑ（０，２）＝ｓ・（ｔ・Ｐ（０，３）＋（１－ｔ）・Ｐ（０，２））＋
（１－ｓ）・（ｔ・Ｐ（１，３）＋（１－ｔ）・Ｐ（１，２））

【００６４】

ｙ＝０、ｘ＝３の場合、出力画像の画素Ｑ（０，３）の画素データが算出される。画素Ｑ（０，３）の画素データは、入力画像の画素Ｐ（０，３）、Ｐ（０，４）、Ｐ（１，３）、Ｐ（１，４）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（０，３）、Ｐ（０，４）、Ｐ（１，３）、Ｐ（１，４）の画素データが供給される。

【００６５】

出力画像の画素Ｑ（０，３）も右上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データ、Ｂ、Ａ、Ｄ、Ｃ、即ち、入力画像の画素Ｐ（０，４）、Ｐ（０，３）、Ｐ（１，４）、Ｐ（１，３）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（０，３）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（０，３）と直線Ｖに対して線対称の位置にある画素Ｑ（０，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００６６】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（０，３）の画素データを算出する。画素Ｑ（０，３）の画素データは、下記式のように算出される：

Ｑ（０，３）＝ｓ・（ｓ・Ｐ（０，４）＋（１－ｓ）・Ｐ（０，３））＋
（１－ｓ）・（ｓ・Ｐ（１，４）＋（１－ｓ）・Ｐ（１，３））

【００６７】

ｙ座標が０である出力画像の他の画素Ｑについても、画素Ｑ（０、０）～Ｑ（０、３）と同様にして画素データが算出される。画素Ｑ（０、４ｉ）、Ｑ（０，４ｉ＋１）（ｉは

、１以上の整数）の画素データは、それぞれ、画素Ｑ（０，０）、Ｑ（０，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転が行われないとして算出される。また、画素Ｑ（０、４ｉ＋２）、Ｑ（０，４ｉ＋３）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（０，２）、Ｑ（０，３）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われるとして算出される。

【００６８】

図８Ｂは、ｙ＝１の場合、即ち、出力画像の画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）、Ｑ（１，３）・・・の画素データの算出における画像処理回路１０の動作を示している。ｙ＝１の場合の出力画像の画素Ｑの画素データの算出は、ｙ＝０の場合の出力画像の画素Ｑの画素データの算出と同様である。

【００６９】

詳細には、ｙ＝１、ｘ＝０の場合、出力画像の画素Ｑ（１，０）の画素データが算出される。出力画像の画素Ｑ（１，０）の画素データは、図４から理解されるように、入力画像の画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（２，０）、Ｐ（２，１）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（２，０）、Ｐ（２，１）の画素データが供給される。

【００７０】

出力画像の画素Ｑ（１，０）は、図４から理解されるように左上エリアに位置しており、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＡ、Ｂ、Ｃ、Ｄ、即ち、入力画像の画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（２，０）、Ｐ（２，１）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。

【００７１】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（１，０）の画素データを算出する。画素Ｑ（１，０）の画素データは、下記式のように算出される：

$$Q(1,0)=t\cdot(s\cdot P(1,0)+(1-s)\cdot P(1,1))+(1-t)\cdot(s\cdot P(2,0)+(1-s)\cdot P(2,1))$$

【００７２】

ｙ＝１、ｘ＝１の場合、出力画像の画素Ｑ（１，１）の画素データが算出される。画素Ｑ（１，１）の画素データは、入力画像の画素Ｐ（１，１）、Ｐ（１，２）、Ｐ（２，１）、Ｐ（２，２）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（１，１）、Ｐ（１，２）、Ｐ（２，１）、Ｐ（２，２）の画素データが供給される。

【００７３】

出力画像の画素Ｑ（１，１）も左上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＡ、Ｂ、Ｃ、Ｄ、即ち、入力画像の画素Ｐ（１，１）、Ｐ（１，２）、Ｐ（２，１）、Ｐ（２，２）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。

【００７４】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（１，１）の画素データを算出する。画素Ｑ（１，１）の画素データは、下記式のように算出される：

Ｑ（１，１）＝ｔ・（ｔ・Ｐ（１，１）＋（１－ｔ）・Ｐ（１，２））＋
（１－ｔ）・（ｔ・Ｐ（２，１）＋（１－ｔ）・Ｐ（２，２））

【００７５】

ｙ＝１、ｘ＝２の場合、出力画像の画素Ｑ（１，２）の画素データが算出される。画素Ｑ（１，２）の画素データは、入力画像の画素Ｐ（１，２）、Ｐ（１，３）、Ｐ（２，２）、Ｐ（２，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（１，２）、Ｐ（１，３）、Ｐ（２，２）、Ｐ（２，３）の画素データが供給される。

【００７６】

出力画像の画素Ｑ（１，２）は、図４から理解されるように右上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データ、Ｂ、Ａ、Ｄ、Ｃ、即ち、入力画像の画素Ｐ（１，３）、Ｐ（１，２）、Ｐ（２，３）、Ｐ（２，２）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｔ、１－ｔを供給する。出力画像の画素Ｑ（１，２）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（１，２）と直線Ｖに対して線対称の位置にある画素Ｑ（１，１）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（１，２）の画素データを算出する。画素Ｑ（１，２）の画素データは、下記式のように算出される：

Ｑ（１，２）＝ｔ・（ｔ・Ｐ（１，３）＋（１－ｔ）・Ｐ（１，２））＋
（１－ｔ）・（ｔ・Ｐ（２，３）＋（１－ｔ）・Ｐ（２，２））

【００７７】

ｙ＝１、ｘ＝３の場合、出力画像の画素Ｑ（１，３）の画素データが算出される。画素Ｑ（１，３）の画素データは、入力画像の画素Ｐ（１，３）、画素Ｐ（１，４）、画素Ｐ（２，３）、画素Ｐ（２，４）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（１，３）、画素Ｐ（１，４）、画素Ｐ（２，３）、画素Ｐ（２，４）の画素データが供給される。

【００７８】

出力画像の画素Ｑ（１，３）も右上エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データ、Ｂ、Ａ、Ｄ、Ｃ、即ち、入力画像の画素Ｐ（１，４）、Ｐ（１，３）、Ｐ（２，４）、Ｐ（２，３）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（１，３）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（１，３）と直線Ｖに対して線対称の位置にある画素Ｑ（１，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００７９】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（１，３）の画素データを算出する。画素Ｑ（１，３）の画素データは、下記式のように算出される：

Ｑ（１，３）＝ｔ・（ｓ・Ｐ（１，４）＋（１－ｓ）・Ｐ（１，３））＋
（１－ｔ）・（ｓ・Ｐ（２，４）＋（１－ｓ）・Ｐ（２，３））

【００８０】

ｙ座標が１である出力画像の他の画素Ｑについても、画素Ｑ（１、０）～Ｑ（１、３）と同様にして画素データが算出される。画素Ｑ（１、４ｉ）、Ｑ（１，４ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（１，０）、Ｑ（１，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転が行われないとして算出される。また、画素Ｑ（１、４ｉ＋２）、Ｑ（１，４ｉ＋３）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（１，２）、Ｑ（１，３）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われるとして算出される。

【００８１】

（左下エリア、右下エリアにおける出力画像の画素の画素データの算出）

図８Ｃ、図８Ｄは、左下エリア、右下エリアの出力画像の画素Ｑの画素データの算出方法を示すタイミングチャートである。

【００８２】

図８Ｃは、ｙ＝２の場合、即ち、出力画像の画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）、Ｑ（２，３）・・・の画素データの算出における画像処理回路１０の動作を示している。

【００８３】

ｙ＝２、ｘ＝０の場合、出力画像の画素Ｑ（２，０）の画素データが算出される。出力画像の画素Ｑ（２，０）の画素データは、図４から理解されるように、入力画像の画素Ｐ（２，０）、Ｐ（２，１）、Ｐ（３，０）、Ｐ（３，１）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（２，０）、Ｐ（２，１）、Ｐ（３，０）、Ｐ（３，１）の画素データが供給される。

【００８４】

出力画像の画素Ｑ（２，０）は、図４から理解されるように左下エリアに位置しており、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＣ、Ｄ、Ａ、Ｂ、即ち、入力画像の画素Ｐ（３，０）、Ｐ（３，１）、Ｐ（２，０）、Ｐ（２，１）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（２，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（２，０）と直線Ｈに対して線対称の位置にある画素Ｑ（１，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００８５】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（２，０）の画素データを算出する。画素Ｑ（２，０）の画素データは、下記式のように算出される：

Ｑ（２，０）＝ｔ・（ｓ・Ｐ（３，０）＋（１－ｓ）・Ｐ（３，１））＋
（１－ｔ）・（ｓ・Ｐ（２，０）＋（１－ｓ）・Ｐ（２，１））

【００８６】

ｙ＝２、ｘ＝１の場合、出力画像の画素Ｑ（２，１）の画素データが算出される。画素Ｑ（２，１）の画素データは、入力画像の画素Ｐ（２，１）、Ｐ（２，２）、Ｐ（３，１）、Ｐ（３，２）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（２，１）、Ｐ（２，２）、Ｐ（３，１）、Ｐ（３，２）の画素データが供給される。

【００８７】

出力画像の画素Ｑ（２，１）も左下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＣ、Ｄ、Ａ、Ｂ、即ち、入力画像の画素Ｐ（３，１）、Ｐ（３，２）、Ｐ（２，１）、Ｐ（２，２）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（２，１）の画素データを算出する。画素Ｑ（２，１）の画素データは、下記式のように算出される：

Ｑ（２，１）＝ｔ・（ｔ・Ｐ（３，１）＋（１－ｔ）・Ｐ（３，２））＋
（１－ｔ）・（ｔ・Ｐ（２，１）＋（１－ｔ）・Ｐ（２，２））

【００８８】

ｙ＝２、ｘ＝２の場合、出力画像の画素Ｑ（２，２）の画素データが算出される。画素Ｑ（２，２）の画素データは、入力画像の画素Ｐ（２，２）、Ｐ（２，３）、Ｐ（３，２）、Ｐ（３，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（２，２）、Ｐ（２，３）、Ｐ（３，２）、Ｐ（３，３）の画素データが供給される。

【００８９】

出力画像の画素Ｑ（２，２）は、図４から理解されるように右下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転（１８０°回転）が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＤ、Ｃ、Ｂ、Ａ、即ち、入力画像の画素Ｐ（３，３）、Ｐ（３，２）、Ｐ（２，３）、Ｐ（２，２）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｔ、１－ｔを供給する。出力画像の画素Ｑ（２，２）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（２，２）と点対称の位置にある画素Ｑ（１，１）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００９０】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（２，２）の画素データを算出する。画素Ｑ（２，２）の画素データは、下記式のように算出される：

Ｑ（２，２）＝ｔ・（ｔ・Ｐ（３，３）＋（１－ｔ）・Ｐ（３，２））＋
（１－ｔ）・（ｔ・Ｐ（２，３）＋（１－ｔ）・Ｐ（２，２））

【００９１】

ｙ＝２、ｘ＝３の場合、出力画像の画素Ｑ（２，３）の画素データが算出される。画素Ｑ（２，３）の画素データは、入力画像の画素Ｐ（２，３）、Ｐ（２，４）、Ｐ（３，３）、Ｐ（３，４）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（２，３）、Ｐ（２，４）、Ｐ（３，３）、Ｐ（３，４）の画素データが供給される。

【００９２】

出力画像の画素Ｑ（２，３）も右下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＤ、Ｃ、Ｂ、Ａ、即ち、入力画像の画素Ｐ（３，４）、Ｐ（３，３）、Ｐ（２，４）、Ｐ（２，３）の画素データ

を供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（２，３）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（２，３）と点対称の位置にある画素Ｑ（１，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（２，３）の画素データを算出する。画素Ｑ（２，３）の画素データは、下記式のように算出される：

Ｑ（２，３）＝ｔ・（ｓ・Ｐ（３，４）＋（１－ｓ）・Ｐ（３，３））＋
（１－ｔ）・（ｓ・Ｐ（２，４）＋（１－ｓ）・Ｐ（２，３））

【００９３】

ｙ座標が２である出力画像の他の画素Ｑについても、画素Ｑ（２、０）～Ｑ（２、３）と同様にして画素データが算出される。画素Ｑ（２、４ｉ）、Ｑ（２，４ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（２，０）、Ｑ（２，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われるとして算出される。また、画素Ｑ（２、４ｉ＋２）、Ｑ（２，４ｉ＋３）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（２，２）、Ｑ（２，３）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われるとして算出される。

【００９４】

図８Ｄは、ｙ＝３の場合、即ち、出力画像の画素Ｑ（３，０）、Ｑ（３，１）、Ｑ（３，２）、Ｑ（３，３）・・・の画素データの算出における画像処理回路１０の動作を示している。ｙ＝３の場合の出力画像の画素Ｑの画素データの算出は、ｙ＝２の場合の出力画像の画素Ｑの画素データの算出と同様である。

【００９５】

ｙ＝３、ｘ＝０の場合、出力画像の画素Ｑ（３，０）の画素データが算出される。出力画像の画素Ｑ（３，０）の画素データは、図４から理解されるように、入力画像の画素Ｐ（３，０）、Ｐ（３，１）、Ｐ（４，０）、Ｐ（４，１）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（３，０）、Ｐ（３，１）、Ｐ（４，０）、Ｐ（４，１）の画素データが供給される。

【００９６】

出力画像の画素Ｑ（３，０）は、図４から理解されるように左下エリアに位置しており、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＣ、Ｄ、Ａ、Ｂ、即ち、入力画像の画素Ｐ（４，０）、Ｐ（４，１）、Ｐ（３，０）、Ｐ（３，１）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（３，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（３，０）と直線Ｈに対して線対称の位置にある画素Ｑ（０，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【００９７】

スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（３，０）の画素デ

ータを算出する。画素Ｑ（３，０）の画素データは、下記式のように算出される：
Ｑ（３，０）＝ｓ・（ｓ・Ｐ（４，０）＋（１－ｓ）・Ｐ（４，１））＋
（１－ｓ）・（ｓ・Ｐ（３，０）＋（１－ｓ）・Ｐ（３，１））

【００９８】
ｙ＝３、ｘ＝１の場合、出力画像の画素Ｑ（３，１）の画素データが算出される。画素Ｑ（３，１）の画素データは、入力画像の画素Ｐ（３，１）、Ｐ（３，２）、Ｐ（４，１）、Ｐ（４，２）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（３，１）、Ｐ（３，２）、Ｐ（４，１）、Ｐ（４，２）の画素データが供給される。

【００９９】
出力画像の画素Ｑ（３，１）も左下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＣ、Ｄ、Ａ、Ｂ、即ち、入力画像の画素Ｐ（４，１）、Ｐ（４，２）、Ｐ（３，１）、Ｐ（３，２）の画素データを供給する。一方、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、それぞれ補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（３，１）の画素データを算出する。画素Ｑ（３，１）の画素データは、下記式のように算出される：
Ｑ（３，１）＝ｓ・（ｔ・Ｐ（４，１）＋（１－ｔ）・Ｐ（４，２））＋
（１－ｓ）・（ｔ・Ｐ（３，１）＋（１－ｔ）・Ｐ（３，２））

【０１００】
ｙ＝３、ｘ＝２の場合、出力画像の画素Ｑ（３，２）の画素データが算出される。画素Ｑ（３，２）の画素データは、入力画像の画素Ｐ（３，２）、Ｐ（３，３）、Ｐ（４，２）、Ｐ（４，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（３，２）、Ｐ（３，３）、Ｐ（４，２）、Ｐ（４，３）の画素データが供給される。

【０１０１】
出力画像の画素Ｑ（３，２）は、図４から理解されるように右下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転（１８０°回転）が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＤ、Ｃ、Ｂ、Ａ、即ち、入力画像の画素Ｐ（４，３）、Ｐ（４，２）、Ｐ（３，３）、Ｐ（３，２）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｔ、１－ｔ、ｔ、１－ｔを供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｓ、１－ｓを供給する。出力画像の画素Ｑ（３，２）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（３，２）と点対称の位置にある画素Ｑ（０，１）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。

【０１０２】
スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（３，２）の画素データを算出する。画素Ｑ（３，２）の画素データは、下記式のように算出される：
Ｑ（３，２）＝ｓ・（ｔ・Ｐ（４，３）＋（１－ｔ）・Ｐ（４，２））＋
（１－ｓ）・（ｔ・Ｐ（３，３）＋（１－ｔ）・Ｐ（３，２））

【０１０３】

ｙ＝３、ｘ＝３の場合、出力画像の画素Ｑ（３，３）の画素データが算出される。画素Ｑ（３，３）の画素データは、入力画像の画素Ｐ（３，３）、Ｐ（３，４）、Ｐ（４，３）、Ｐ（４，４）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄとして、画素Ｐ（３，３）、Ｐ（３，４）、Ｐ（４，３）、Ｐ（４，４）の画素データが供給される。

【０１０４】

出力画像の画素Ｑ（３，３）も右下エリアに位置しているので、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われる。このため、画素データ並び替え回路１１は、画素データ入力ａ、ｂ、ｃ、ｄに、それぞれ、画素データＤ、Ｃ、Ｂ、Ａ、即ち、入力画像の画素Ｐ（４，４）、Ｐ（４，３）、Ｐ（３，４）、Ｐ（３，３）の画素データを供給する。一方、補間係数並び替え回路１３は、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われたとして補間係数を補間係数入力ｑ１～ｑ６に供給する。即ち、補間係数並び替え回路１３は、補間係数入力ｑ１、ｑ２、ｑ３、ｑ４に、それぞれ、補間係数ｓ、１－ｓ、ｓ、１－ｓを横方向の補間演算についての補間係数として供給し、また、補間係数入力ｑ５、ｑ６に、補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。出力画像の画素Ｑ（３，３）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数は、出力画像の画素Ｑ（３，３）と点対称の位置にある画素Ｑ（０，０）の画素データの算出において補間係数入力ｑ１～ｑ６に供給される補間係数と同一であることに留意されたい。スケーリング演算部１４は、画素データ入力ａ、ｂ、ｃ、ｄに供給された画素データと補間係数入力ｑ１～ｑ６に供給された補間係数から出力画像の画素Ｑ（３，３）の画素データを算出する。画素Ｑ（３，３）の画素データは、下記式のように算出される：

Ｑ（３，３）＝ｓ・（ｓ・Ｐ（４，４）＋（１－ｓ）・Ｐ（４，３））＋
（１－ｓ）・（ｓ・Ｐ（３，４）＋（１－ｓ）・Ｐ（３，３））

【０１０５】

ｙ座標が３である出力画像の他の画素Ｑについても、画素Ｑ（３、０）～Ｑ（３、３）と同様にして画素データが算出される。画素Ｑ（３、４ｉ）、Ｑ（３，４ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（３，０）、Ｑ（３，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われるとして算出される。また、画素Ｑ（３、４ｉ＋２）、Ｑ（３，４ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（３，２）、Ｑ（３，３）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われるとして算出される。

【０１０６】

ｙが４以上である場合も同様にして出力画像の画素Ｑの画素データが算出される。ｙ＝４ｊ（ｊは、１以上の整数）の場合には、ｙ＝０の場合と同様にして出力画像の画素Ｑの画素データが算出され、ｙ＝４ｊ＋１の場合には、ｙ＝１の場合と同様にして出力画像の画素Ｑの画素データが算出される。ｙ＝４ｊ＋２の場合には、ｙ＝２の場合と同様にして出力画像の画素Ｑの画素データが算出され、ｙ＝４ｊ＋３の場合には、ｙ＝３の場合と同様にして出力画像の画素Ｑの画素データが算出される。

【０１０７】

なお、Ｍ、Ｎが他の値である場合についても、画素データ並び替え回路１１における画素データの並び替え及び補間係数並び替え回路１３における補正係数の並び替えを適宜に変更することにより、図６に図示された構成の画像処理回路１０によって出力画像の画素Ｑの画素データを算出することが可能である。

【０１０８】

ただし、スケーリング処理の処理単位となる出力画像のＭ×Ｍ個の画素の画素データの算出に用いられる入力画像の（Ｎ＋２）×（Ｎ＋２）個の画素が配置される領域に規定される４つのエリアについては、下記の議論も参照されたい。Ｍ／Ｎ倍のスケーリング処理においてＭが偶数である場合には、上述されているように、処理単位となる出力画像のＭ

×Ｍ個の画素の画素データの算出に用いられる入力画像の（Ｎ＋２）×（Ｎ＋２）個の画素が配置される領域を４つに分割することで画素の配置に対称性がある４つのエリア：左上エリア、右上エリア、左下エリア、右下エリアを規定できる（Ｍが４である例が図示されている図３を参照）。ここで、当該４つのエリアは、互いに重ならないように規定されている。

【０１０９】

一方、Ｍが奇数である場合については、入力画像の（Ｎ＋２）×（Ｎ＋２）個の画素が配置される領域を（互いに重ならない）４つのエリアに分割しても、画素の配置に対称性がある４つのエリアを規定できない。しかしながら、以下に議論するように、Ｍが奇数である場合でも、当該４つのエリアが互いに重なることを許容することで、入力画像の画素と出力画像の画素の配置について互いに対称性がある４つのエリアを規定することができる。

【０１１０】

図９は、３／２倍のスケーリング処理を概念的に示す図であり、図１０は、３／２倍のスケーリング処理における一の処理単位に対応する入力画像の４×４個の画素Ｐ及び出力画像の３×３個の画素Ｑの配置を図示している。３／２倍のスケーリング処理においては、入力画像の４×４画素が配置される領域に４つのエリア：左上エリア、右上エリア、左下エリア、右下エリアが規定される。ここで、当該４つのエリアは、互いに重なるように規定されている。より具体的には、左上エリアは、入力画像の画素Ｐ（０，０）、Ｐ（０，２）、Ｐ（２，０）、Ｐ（２，２）を頂点とする矩形のエリアと規定され、右上エリアは、入力画像の画素Ｐ（０，１）、Ｐ（０，３）、Ｐ（２，１）、Ｐ（２，３）を頂点とする矩形のエリアと規定される。また、左下エリアは、入力画像の画素Ｐ（１，０）、Ｐ（１，２）、Ｐ（３，０）、Ｐ（３，２）を頂点とする矩形のエリアと規定され、右下エリアは、入力画像の画素Ｐ（１，１）、Ｐ（１，３）、Ｐ（３，１）、Ｐ（３，３）を頂点とする矩形のエリアと規定される。左上エリア、右上エリア、左下エリア、右下エリアがこのように規定される場合、右上エリア、左下エリア、右下エリアは、いずれも、左上エリアに部分的に重なっていることに留意されたい。

【０１１１】

左上エリア、右上エリア、左下エリア、右下エリアをこのように規定することで、右上エリア、左下エリア、右下エリアにおける入力画像と出力画像の画素の配置を、左上エリアにおける入力画像と出力画像の画素の配置と線対称、又は、点対称にすることができる。詳細には、右上エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を左右反転することで得られる。また、左下エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を上下反転することで得られる。更に、右下エリアにおける入力画像と出力画像の画素の配置は、左上エリアにおける入力画像と出力画像の画素の配置を上下左右反転することで得られる。このような対称性を利用すれば、スケーリング演算部に供給する補間係数の組の数を低減することができる。

【０１１２】

ここで、２つのエリアが重なっている領域に位置している出力画像の画素Ｑについては、２つのいエリアのいずれに属するとして演算をおこなってもよい。例えば、画素Ｑ（０，１）は、左上エリア、右上エリアの両方に属している。このとき、画素Ｑ（０，１）が左上エリアに属するとして、入力画像の画素及び出力画像の画素の配置が反転されずに画素Ｑ（０，１）の画素データが算出されてもよい。また、画素Ｑ（０，１）が右上エリアに属するとして、入力画像の画素及び出力画像の画素の配置が左右反転されて画素（０，１）の画素データが算出されてもよい。

【０１１３】

以上の議論から理解されるように、Ｍが奇数である場合についても、画素データ並び替え回路１１における画素データの並び替え及び補間係数並び替え回路１３における補正係数の並び替えを適宜に変更することにより、図６に図示された構成の画像処理回路１０に

よって出力画像の画素Ｑの画素データを算出することが可能である。

【０１１４】

図６の画像処理回路１０は、一の積和演算回路（スケーリング演算部）を有しており、同時に画素データが算出される出力画像の画素の数が一であるような構成を有しているが、複数の積和演算回路を有し、出力画像の複数の画素の画素データを算出するように構成されてもよい。

【０１１５】

図１１は、出力画像の複数の画素の画素データを同時に算出するように構成された画像処理回路１０Ａの構成の例を示す回路図である。図１１の画像処理回路１０Ａは、３／２倍のスケーリング処理を行うように構成されている。３／２倍のスケーリング処理は、上記の議論においてＭが奇数である場合に相当していることに留意されたい。図１１の画像処理回路１０Ａは、図１２に図示されているように配置されている入力画像の８つの画素Ａ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ、Ｈの画素データから、同一の水平ラインに位置する（即ち、ｙ座標が同一である）出力画像の３つの注目画素Ｑ１、Ｑ２、Ｑ３の画素データを並列して算出するように構成されている。

【０１１６】

画像処理回路１０Ａは、補間係数保持部１２と、補間係数並び替え回路１３Ａと、スケーリング演算部１４Ａとを備えている。補間係数保持部１２は、補間係数ｓ，ｔを保持しており、保持している補間係数ｓ，ｔを補間係数並び替え回路１３Ａに供給する。ここで、補間係数保持部１２は、左上エリアに位置する出力画像の画素の画素データに必要な補間係数ｓ，ｔのみを保持している。補間係数並び替え回路１３Ａは、補間係数ｓ，ｔから補間係数１－ｓ、１－ｔを算出すると共に、補間係数ｓ，１－ｓ、ｔ、１－ｔのうちから選択された補間係数をスケーリング演算部１４Ａの補間係数入力ｑ５、ｑ６のそれぞれに出力する。スケーリング演算部１４Ａは、受け取った８画素の画素データＡ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ、Ｈに対して補間係数入力ｑ５、ｑ６に入力された補間係数を用いてスケーリング処理を行い、出力画像の注目画素の画素データＱ１、Ｑ２、Ｑ３を算出する。

【０１１７】

図１１の画像処理回路１０Ａは、スケーリング処理回路の各処理単位においてｙ座標が同一である出力画像の全画素を並列で処理するように構成されていることに留意されたい。上述のように、３／２倍のスケーリング処理の各処理単位においては、出力画素の３×３個の画素の画素データが算出されるので、図１１に図示された画像処理回路１０Ａは、ｙ座標が同一である出力画像の全画素の画素データを並列で処理することになる。

【０１１８】

各処理単位においてｙ座標が同一である出力画像の全画素を並列で処理する構成においては、入力画像の画素の画素データの並び替えは、画像処理回路１０Ａに画素データを供給する配線の接続を適切に決定することで実現可能である。このため、図１１の画像処理回路１０Ａには、図６の画像処理回路１０とは異なり、入力画像の画素の画素データを並び替える画素データ並び替え回路１１は設けられていない。

【０１１９】

加えて、各処理単位においてｙ座標が同一である出力画像の全画素を並列で処理する構成においては、横方向の補間演算についての補間係数が固定される。このため、補間係数並び替え回路１３は、縦方向の補間演算についての補間係数のみをスケーリング演算部１４Ａの補間係数入力ｑ５、ｑ６に供給するように構成されている。

【０１２０】

スケーリング演算部１４Ａは、それぞれがスケーリング処理の補間演算を実行する機能を有する同一構成の３つの積和演算回路14_1、14_2、14_3を備えている。ここで、積和演算回路14_1、14_2、14_3は、それぞれ、出力画像の注目画素の画素データＱ１、Ｑ２、Ｑ３を算出する。

【０１２１】

積和演算回路14_1は、乗算器21_1～24_1と、加算器25_1、26_1と、乗算器２

7_1、28_1と、加算器29_1とを備えている。

【０１２２】

乗算器21_1は、画素データ入力ａ１で受け取った画素データと補間係数ｓとの積を出力し、乗算器22_1は、画素データ入力ｂ１で受け取った画素データと補間係数１－ｓとの積を出力する。同様に、乗算器23_1は、画素データ入力ｃ１で受け取った画素データと補間係数ｓとの積を出力し、乗算器24_1は、画素データ入力ｄ１で受け取った画素データと補間係数１－ｓとの積を出力する。ここで、乗算器21_1、22_1、23_1、24_1に供給される補間係数ｓ、１－ｓは、横方向の補間演算についての補間係数であることに留意されたい。乗算器21_1、22_1、23_1、24_1に供給される補間係数ｓ、１－ｓは、補間係数並び替え回路１３Ａから供給されてもよい。また、補間係数保持部１２から補間係数ｓを受け取り、乗算器21_1、22_1、23_1、24_1に補間係数ｓ、１－ｓを供給する回路が補間係数並び替え回路１３Ａとは別に用意されてもよい。

【０１２３】

加算器25_1は、乗算器21_1の出力と乗算器22_1の出力の和を出力し、加算器26_1は、乗算器23_1の出力と乗算器24_1の出力の和を出力する。乗算器27_1は、加算器25_1の出力と補間係数入力ｑ５で受け取った補間係数との積を出力し、乗算器28_1は、加算器２６の出力と補間係数入力ｑ６で受け取った補間係数との積を出力する。加算器29_1は、乗算器27_1の出力と乗算器28_1の出力との和を出力する。加算器29_1の出力が、出力画像の注目画素Ｑ１の画素データである。

【０１２４】

同様に、積和演算回路14_2は、乗算器21_2～24_2と、加算器25_2、26_2と、乗算器27_2、28_2と、加算器29_2とを備えている。

【０１２５】

乗算器21_2は、画素データ入力ａ２で受け取った画素データと補間係数ｔとの積を出力し、乗算器22_2は、画素データ入力ｂ２で受け取った画素データと補間係数１－ｔとの積を出力する。同様に、乗算器23_2は、画素データ入力ｃ２で受け取った画素データと補間係数ｔとの積を出力し、乗算器24_2は、画素データ入力ｄ２で受け取った画素データと補間係数１－ｔとの積を出力する。ここで、乗算器21_2、22_2、23_2、24_2に供給される補間係数ｔ、１－ｔは、横方向の補間演算についての補間係数であることに留意されたい。乗算器21_2、22_2、23_2、24_2に供給される補間係数ｔ、１－ｔは、補間係数並び替え回路１３Ａから供給されてもよい。また、補間係数保持部１２から補間係数ｔを受け取り、乗算器21_2、22_2、23_2、24_2に補間係数ｔ、１－ｔを供給する回路が補間係数並び替え回路１３Ａとは別に用意されてもよい。

【０１２６】

加算器25_2は、乗算器21_2の出力と乗算器22_2の出力の和を出力し、加算器26_2は、乗算器23_2の出力と乗算器24_2の出力の和を出力する。乗算器27_2は、加算器25_2の出力と補間係数入力ｑ５で受け取った補間係数との積を出力し、乗算器28_2は、加算器２６の出力と補間係数入力ｑ６で受け取った補間係数との積を出力する。加算器29_2は、乗算器27_2の出力と乗算器28_2の出力との和を出力する。加算器29_2の出力が、出力画像の注目画素Ｑ２の画素データである。

【０１２７】

また、積和演算回路14_3は、乗算器21_3～24_3と、加算器25_3、26_3と、乗算器27_3、28_3と、加算器29_3とを備えている。

【０１２８】

乗算器21_3は、画素データ入力ａ３で受け取った画素データと補間係数ｓとの積を出力し、乗算器22_3は、画素データ入力ｂ３で受け取った画素データと補間係数１－ｓとの積を出力する。同様に、乗算器23_3は、画素データ入力ｃ３で受け取った画素データと補間係数ｓとの積を出力し、乗算器24_3は、画素データ入力ｄ３で受け取った画素データと補間係数１－ｓとの積を出力する。ここで、乗算器21_3、22_3、23_3、24_3に供給される補間係数ｓ、１－ｓは、横方向の補間演算についての補間係数であること

に留意されたい。乗算器２１$_3$、２２$_3$、２３$_3$、２４$_3$に供給される補間係数ｓ、１－ｓは、補間係数並び替え回路１３Ａから供給されてもよい。また、補間係数保持部１２から補間係数ｓを受け取り、乗算器２１$_3$、２２$_3$、２３$_3$、２４$_3$に補間係数ｓ、１－ｓを供給する回路が補間係数並び替え回路１３Ａとは別に用意されてもよい。

【０１２９】

加算器２５$_3$は、乗算器２１$_3$の出力と乗算器２２$_3$の出力の和を出力し、加算器２６$_3$は、乗算器２３$_3$の出力と乗算器２４$_3$の出力の和を出力する。乗算器２７$_3$は、加算器２５$_3$の出力と補間係数入力ｑ５で受け取った補間係数との積を出力し、乗算器２８$_3$は、加算器２６の出力と補間係数入力ｑ６で受け取った補間係数との積を出力する。加算器２９$_3$は、乗算器２７$_3$の出力と乗算器２８$_3$の出力との和を出力する。加算器２９$_3$の出力が、出力画像の注目画素Ｑ３の画素データである。

【０１３０】

ここで、積和演算回路１４$_1$、１４$_2$に供給される画素データは、入力画像の画素の配置を反転せずに供給されているのに対し、積和演算回路１４$_3$に供給される画素データは、入力画像の画素の配置を左右反転して供給されることに留意されたい。即ち、入力画像の画素Ａ～Ｈが図１２に図示されているように配置されている場合について、積和演算回路１４$_1$の画素データ入力ａ１、ｂ１、ｃ１、ｄ１には、それぞれ、画素データＡ、Ｂ、Ｅ、Ｆが供給され、積和演算回路１４$_2$の画素データ入力ａ２、ｂ２、ｃ２、ｄ２には、それぞれ、画素データＢ、Ｃ、Ｆ、Ｇが供給される。積和演算回路１４$_1$、１４$_2$については、画素データの並び替えは行われていない。一方、積和演算回路１４$_3$については、画素データ入力ａ３、ｂ３、ｃ３、ｄ３に、それぞれ、画素データＤ、Ｃ、Ｈ、Ｇが供給される。このように、図１１に図示されている構成では、積和演算回路１４$_3$に画素データを供給する配線によって画素データの並び替えが行われている。

【０１３１】

図１３は、本実施形態における補間係数並び替え回路１３Ａの動作を示す真理値表である。図１３に図示されているように、注目画素Ｑ１～Ｑ３のｙ座標についてｙ％３＝０が成立する場合、補間係数並び替え回路１３Ａは、それぞれ、補間係数ｓ、１－ｓを補間係数入力ｑ５、ｑ６に入力する。また、ｙ％３＝１が成立する場合、補間係数並び替え回路１３Ａは、それぞれ補間係数ｔ、１－ｔを補間係数入力ｑ５、ｑ６に入力し、ｙ％３＝２が成立する場合、それぞれ補間係数１－ｓ、ｓを補間係数入力ｑ５、ｑ６に入力する。ここで、本実施形態では、ｙ％３＝０が成立する場合とｙ％３＝２が成立する場合とで補間係数入力ｑ５、ｑ６に供給される補間係数が入れ替えられることで、入力画像の画素と出力画像の画素の配置が上下反転される。

【０１３２】

図１４Ａ～図１６Ｂは、本実施形態における画像処理回路１０Ａの動作を示すタイミングチャートである。

【０１３３】

図１４Ａ、図１４Ｂは、ｙ＝０の場合、即ち、出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）、Ｑ（０，３）、Ｑ（０、４）・・・の画素データの算出における画像処理回路１０Ａの動作を示している。

【０１３４】

詳細には、ｙ座標が０に設定された最初のクロックサイクルでは、出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）の画素データが算出される。出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）の画素データは、図１０から理解されるように、入力画像の画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（０，２）、Ｐ（０，３）、Ｐ（１，０）、Ｐ（１，１）、Ｐ（１，２）、Ｐ（１，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ、Ｈとして、画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（０，２）、Ｐ（０，３）、Ｐ（１，０）、Ｐ（１，１）、Ｐ（１，２）、Ｐ（１，３）の画素データが供給される。

【０１３５】

出力画像の画素Ｑ（０，０）、Ｑ（０、１）は、図１０から理解されるように左上エリアに位置しており、画素Ｑ（０，０）、Ｑ（０、１）の画素データの算出において入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、図１４Ａに図示されているように、画素データ入力ａ１、ｂ１、ｃ１、ｄ１に、それぞれ、画素データＡ、Ｂ、Ｅ、Ｆ、即ち、入力画像の画素Ｐ（０，０）、Ｐ（０，１）、Ｐ（１，０）、Ｐ（１，１）の画素データが供給され、画素データ入力ａ２、ｂ２、ｃ２、ｄ２に、それぞれ、画素データＢ、Ｃ、Ｆ、Ｇ、即ち、入力画像の画素Ｐ（０，１）、Ｐ（０，２）、Ｐ（１，１）、Ｐ（１，２）の画素データが供給される。

【０１３６】

一方、出力画像の画素Ｑ（０，２）は、図１０から理解されるように右上エリアに位置しており、画素Ｑ（０，２）の画素データの算出においては入力画像の画素Ｐ、出力画像の画素Ｑの左右反転が行われる。このため、画素データ入力ａ３、ｂ３、ｃ３、ｄ３に、それぞれ、画素データＤ、Ｃ、Ｈ、Ｇ、即ち、入力画像の画素Ｐ（０，３）、Ｐ（０，２）、Ｐ（１，３）、Ｐ（１，２）の画素データが供給される。

【０１３７】

ここで、画素Ｑ（０，１）は、左上エリアと右上エリアが重なった領域に位置しているので、画素Ｑ（０，１）が右上エリアに位置しているとして、入力画像の画素Ｐ、出力画像の画素Ｑの位置を左右反転して画素Ｑ（０，１）の画素データを算出してもよい。ただし、図１４Ａ、図１４Ｂの動作では、画素Ｑ（０，１）が左上エリアに位置しているとして画素Ｑ（０，１）の画素データが算出されている。

【０１３８】

一方、補間係数並び替え回路１３は、補間係数入力ｑ５、ｑ６に、それぞれ、補間係数ｓ、１－ｓを縦方向の補間演算についての補間係数として供給する。この場合、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転は行われない。

【０１３９】

スケーリング演算部１４Ａは、画素データ入力ａ１～ｄ１、ａ２～ｄ２、ａ３～ｄ３に供給された画素データと補間係数入力ｑ５、ｑ６に供給された補間係数から出力画像の画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）の画素データを算出する。図１４Ｂに図示されているように、画素Ｑ（０，０）、Ｑ（０，１）、Ｑ（０，２）の画素データは、それぞれ、下記式のように算出される：

$$Q(0,0)=s\cdot(s\cdot P(0,0)+(1-s)\cdot P(0,1))+(1-s)\cdot(s\cdot P(1,0)+(1-s)\cdot P(1,1))$$

$$Q(0,1)=s\cdot(t\cdot P(0,1)+(1-t)\cdot P(0,2))+(1-s)\cdot(t\cdot P(1,1)+(1-t)\cdot P(1,2))$$

$$Q(0,2)=s\cdot(s\cdot P(0,3)+(1-s)\cdot P(0,2))+(1-s)\cdot(s\cdot P(1,3)+(1-s)\cdot P(1,2))$$

【０１４０】

ｙ座標が０である出力画像の他の画素Ｑについても、画素Ｑ（０、０）～Ｑ（０、２）と同様にして画素データが算出される。画素Ｑ（０、３ｉ）、Ｑ（０，３ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（０，０）、Ｑ（０，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転が行われないとして算出される。また、画素Ｑ（０、３ｉ＋２）の画素データは、それぞれ、画素Ｑ（０，２）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われるとして算出される。

【０１４１】

図１５Ａ、図１５Ｂは、ｙ＝１の場合、即ち、出力画像の画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）、Ｑ（１，３）、Ｑ（１、４）・・・の画素データの算出における画像処理回路１０Ａの動作を示している。

【０１４２】

詳細には、ｙ座標が１に設定された最初のクロックサイクルでは、出力画像の画素Ｑ（

１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データが算出される。出力画像の画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データは、図１０から理解されるように、入力画像の画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（１，２）、Ｐ（１，３）、Ｐ（２，０）、Ｐ（２，１）、Ｐ（２，２）、Ｐ（２，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ、Ｈとして、画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（１，２）、Ｐ（１，３）、Ｐ（２，０）、Ｐ（２，１）、Ｐ（２，２）、Ｐ（２，３）の画素データが供給される。

【０１４３】

ここで、図１０から理解されるように、出力画像の画素Ｑ（１，０）は、左上エリアと左下エリアが重なった領域に位置しており、画素Ｑ（１，１）は、４つのエリア全てが重なった領域に位置しており、画素Ｑ（１，２）は、右上エリアと右下エリアが重なった領域に位置している。本実施形態では、演算の簡略化のために、出力画像の画素Ｑ（１，０）、Ｑ（１，１）が左上エリアに位置し、Ｑ（１，２）が右上エリアに位置しているとして画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データが算出される。これにより、補間係数入力ｑ５、ｑ６の縦方向の補間演算についての補間係数を変更するだけで、ｙ＝０の場合と同様の演算により、画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データが算出可能である。

【０１４４】

即ち、画素Ｑ（１，０）、Ｑ（１、１）については左上エリアに位置しているとみなされ、画素Ｑ（１，０）、Ｑ（１、１）の画素データの算出については、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転は行われない。このため、図１５Ａに図示されているように、画素データ入力ａ１、ｂ１、ｃ１、ｄ１に、それぞれ、画素データＡ、Ｂ、Ｅ、Ｆ、即ち、入力画像の画素Ｐ（１，０）、Ｐ（１，１）、Ｐ（２，０）、Ｐ（２，１）の画素データが供給され、画素データ入力ａ２、ｂ２、ｃ２、ｄ２に、それぞれ、画素データＢ、Ｃ、Ｆ、Ｇ、即ち、入力画像の画素Ｐ（１，１）、Ｐ（１，２）、Ｐ（２，１）、Ｐ（２，２）の画素データが供給される。

【０１４５】

一方、出力画像の画素Ｑ（１，２）については右上エリアに位置しているとみなされ、画素Ｑ（１，２）の画素データの算出においては入力画像の画素Ｐ、出力画像の画素Ｑの左右反転が行われる。このため、画素データ入力ａ３、ｂ３、ｃ３、ｄ３に、それぞれ、画素データＤ、Ｃ、Ｈ、Ｇ、即ち、入力画像の画素Ｐ（１，３）、Ｐ（１，２）、Ｐ（２，３）、Ｐ（２，２）の画素データが供給される。

【０１４６】

一方、補間係数並び替え回路１３は、補間係数入力ｑ５、ｑ６に、それぞれ、補間係数ｔ、１－ｔを縦方向の補間演算についての補間係数として供給する。この場合、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転は行われない。

【０１４７】

スケーリング演算部１４Ａは、画素データ入力ａ１～ｄ１、ａ２～ｄ２、ａ３～ｄ３に供給された画素データと補間係数入力ｑ５、ｑ６に供給された補間係数から出力画像の画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データを算出する。図１５Ｂに図示されているように、画素Ｑ（１，０）、Ｑ（１，１）、Ｑ（１，２）の画素データは、それぞれ、下記式のように算出される：

$$Q(1,0)=t\cdot(s\cdot P(1,0)+(1-s)\cdot P(1,1))+(1-t)\cdot(s\cdot P(2,0)+(1-s)\cdot P(2,1))$$

$$Q(1,1)=t\cdot(t\cdot P(1,1)+(1-t)\cdot P(1,2))+(1-t)\cdot(t\cdot P(2,1)+(1-t)\cdot P(2,2))$$

$$Q(1,2)=t\cdot(s\cdot P(1,3)+(1-s)\cdot P(1,2))+(1-t)\cdot(s\cdot P(2,3)+(1-s)\cdot P(2,2))$$

【０１４８】

ｙ座標が１である出力画像の他の画素Ｑについても、画素Ｑ（１、０）～Ｑ（１、２）

と同様にして画素データが算出される。画素Ｑ（１、３ｉ）、Ｑ（１，３ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（１，０）、Ｑ（１，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の反転が行われないとして算出される。また、画素Ｑ（１、３ｉ＋２）の画素データは、それぞれ、画素Ｑ（１，２）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転が行われるとして算出される。

【０１４９】

図１６Ａ、図１６Ｂは、ｙ＝２の場合、即ち、出力画像の画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）、Ｑ（２，３）、Ｑ（２、４）・・・の画素データの算出における画像処理回路１０Ａの動作を示している。

【０１５０】

詳細には、ｙ座標が２に設定された最初のクロックサイクルでは、出力画像の画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）の画素データが算出される。出力画像の画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）の画素データは、図１０から理解されるように、入力画像の画素Ｐ（２，０）、Ｐ（２，１）、Ｐ（２，２）、Ｐ（２，３）、Ｐ（３，０）、Ｐ（３，１）、Ｐ（３，２）、Ｐ（３，３）の画素データから算出される。即ち、画素データＡ、Ｂ、Ｃ、Ｄ、Ｅ、Ｆ、Ｇ、Ｈとして、画素Ｐ（２，０）、Ｐ（２，１）、Ｐ（２，２）、Ｐ（２，３）、Ｐ（３，０）、Ｐ（３，１）、Ｐ（３，２）、Ｐ（３，３）の画素データが供給される。

【０１５１】

出力画像の画素Ｑ（２，０）、Ｑ（２、１）は、図１０から理解されるように左下エリアに位置しており、画素Ｑ（２，０）、Ｑ（２、１）の画素データの算出においては、入力画像の画素Ｐ、出力画像の画素Ｑの位置の左右反転は行われない（後述のように、最終的には、上下反転が行われる）。このため、図１６Ａに図示されているように、画素データ入力ａ１、ｂ１、ｃ１、ｄ１に、それぞれ、画素データＡ、Ｂ、Ｅ、Ｆ、即ち、入力画像の画素Ｐ（２，０）、Ｐ（２，１）、Ｐ（３，０）、Ｐ（３，１）の画素データが供給され、画素データ入力ａ２、ｂ２、ｃ２、ｄ２に、それぞれ、画素データＢ、Ｃ、Ｆ、Ｇ、即ち、入力画像の画素Ｐ（２，１）、Ｐ（２，２）、Ｐ（３，１）、Ｐ（３，２）の画素データが供給される。

【０１５２】

一方、出力画像の画素Ｑ（２，２）は、図１０から理解されるように右下エリアに位置しており、画素Ｑ（２，２）の画素データの算出においては入力画像の画素Ｐ、出力画像の画素Ｑの左右反転が行われる（後述のように、最終的には上下左右反転が行われる）。このため、画素データ入力ａ３、ｂ３、ｃ３、ｄ３に、それぞれ、画素データＤ、Ｃ、Ｈ、Ｇ、即ち、入力画像の画素）Ｐ（２，３）、Ｐ（２，２）、Ｐ（３，３）、Ｐ（３，２）の画素データが供給される。

【０１５３】

ここで、画素Ｑ（２，１）は、左下エリアと右下エリアが重なった領域に位置しているので、画素Ｑ（２，１）が右下エリアに位置しているとして、入力画像の画素Ｐ、出力画像の画素Ｑの位置を左右反転して画素Ｑ（２，１）の画素データを算出してもよい。ただし、図１６Ａ、図１６Ｂの動作では、画素Ｑ（２，１）が左下エリアに位置しているとして画素Ｑ（２，１）の画素データが算出されている。

【０１５４】

一方、補間係数並び替え回路１３は、補間係数入力ｑ５、ｑ６に、それぞれ、補間係数１－ｓ、ｓを縦方向の補間演算についての補間係数として供給する。これにより、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる。出力画像の画素Ｑ（２，０）、Ｑ（２、１）が、左下エリアに位置しており、画素Ｑ（２，２）は右下エリアに位置しているので、出力画像の画素Ｑ（２，０）、Ｑ（２、１）、Ｑ（２，２）のいずれについても入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われる必要がある。

【０１５５】

スケーリング演算部１４Ａは、画素データ入力ａ１～ｄ１、ａ２～ｄ２、ａ３～ｄ３に供給された画素データと補間係数入力ｑ５、ｑ６に供給された補間係数から出力画像の画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）の画素データを算出する。図１６Ｂに図示されているように、画素Ｑ（２，０）、Ｑ（２，１）、Ｑ（２，２）の画素データは、それぞれ、下記式のように算出される：

Ｑ（２，０）＝（１－ｓ）・（ｓ・Ｐ（２，０）＋（１－ｓ）・Ｐ（２，１））＋
ｓ・（ｓ・Ｐ（３，０）＋（１－ｓ）・Ｐ（３，１））
Ｑ（２，１）＝（１－ｓ）・（ｔ・Ｐ（２，１）＋（１－ｔ）・Ｐ（２，２））＋
ｓ・（ｔ・Ｐ（３，１）＋（１－ｔ）・Ｐ（３，２））
Ｑ（２，２）＝（１－ｓ）・（ｓ・Ｐ（２，３）＋（１－ｓ）・Ｐ（２，２））＋
ｓ・（ｓ・Ｐ（３，３）＋（１－ｓ）・Ｐ（３，２））

【０１５６】

ｙ座標が２である出力画像の他の画素Ｑについても、画素Ｑ（２、０）～Ｑ（２、２）と同様にして画素データが算出される。画素Ｑ（２、３ｉ）、Ｑ（２，３ｉ＋１）（ｉは、１以上の整数）の画素データは、それぞれ、画素Ｑ（２，０）、Ｑ（２，１）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下反転が行われるとして算出される。また、画素Ｑ（２、３ｉ＋２）の画素データは、それぞれ、画素Ｑ（２，２）の画素データと同様に、入力画像の画素Ｐ、出力画像の画素Ｑの位置の上下左右反転が行われるとして算出される。

【０１５７】

上述されている実施形態の画像処理回路は、ハードウェアの規模の抑制が求められる場合に特に有用である。このような用途の例としては、例えば、パネル表示装置において表示パネル（例えば、液晶表示パネル）を駆動する表示パネルドライバが挙げられる。以下では、上述されている実施形態の画像処理回路の表示パネルドライバへの実装の例について説明する。

【０１５８】

図１７は、本発明の一実施形態の表示装置の構成を示すブロック図である。本実施形態の表示装置は、液晶表示装置１として構成されており、液晶表示パネル２と、ドライバＩＣ（integrated　circuit：集積回路）３とを備えている。

【０１５９】

液晶表示パネル２は、表示領域４とゲート線駆動回路５（ＧＩＰ（gate　in　panel）回路とも呼ばれる）を備えている。図１８に図示されているように、表示領域４には、複数のゲート線４１（走査線、アドレス線とも呼ばれる）と、複数のソース線４２（信号線、データ線とも呼ばれる）が配置されると共に、画素４３が配置されている。本実施形態では、各画素４３は、赤色（Ｒ）を表示するＲ副画素４４Ｒ、緑色（Ｇ）を表示するＧ副画素４４Ｇ及び青色（Ｂ）を表示するＢ副画素４４Ｂを備えている。各画素４３のＲ副画素４４Ｒ、Ｇ副画素４４Ｇ、Ｂ副画素４４Ｂは、同一のゲート線４１に接続される一方で、異なるソース線４２に接続されている。なお、各画素４３の構成（例えば、Ｒ副画素４４Ｒ、Ｇ副画素４４Ｇ、Ｂ副画素４４Ｂの配置）は、様々に変更され得ることは当業者には自明的であろう。ゲート線駆動回路５は、ゲート線４１を順次に駆動する。液晶表示パネル２の各画素４３の駆動においては、ゲート線４１が順次に選択され、選択されたゲート線４１に接続された副画素（Ｒ副画素４４Ｒ、Ｇ副画素４４Ｇ、Ｂ副画素４４Ｂ）にソース線４２から所望のアナログ駆動電圧が書き込まれる。これにより、各副画素が所望の階調に設定され、所望の画像が液晶表示パネル２の表示領域４に表示される。

【０１６０】

図１７に戻り、ドライバＩＣ３は、外部から（最も典型的には、演算装置から）供給される入力画像の各画素の画素データD_{IN}に応答して、表示領域４の各ソース線４２を駆動する。液晶表示パネル２の各画素４３が図１８に図示されている構成を有している場合、各画素の画素データD_{IN}としては、Ｒ副画素４４Ｒ、Ｇ副画素４４Ｇ、Ｂ副画素４４Ｂの階調を示すデータが用いられる。ドライバＩＣ３は、ソース線４２を、ドライバＩＣ

３に外部から供給されるタイミング制御信号、より具体的には、垂直同期信号Ｖｓｙｎｃ及び水平同期信号Ｈｓｙｎｃに同期して駆動する。ドライバＩＣ３は、ＣＯＧ（Chip on Glass）のような表面実装技術を用いて液晶表示パネル２に搭載されている。

【０１６１】

図１９は、本実施形態のドライバＩＣ３の構成の一例を示す図である。本実施形態では、ドライバＩＣ３は、インターフェース３１と、ＲＡＭ３２と、ＲＡＭアクセスロジック回路３３と、ラインバッファ３４と、スケーラ回路３５と、画像処理回路３６と、ソースドライバ回路３７とを備えている。

【０１６２】

インターフェース３１は、入力画像の画素データD_{IN}をＲＡＭ３２に転送すると共に、垂直同期信号Ｖｓｙｎｃ及び水平同期信号Ｈｓｙｎｃに同期してドライバＩＣ３の動作タイミングを制御する。

【０１６３】

ＲＡＭ３２は、入力画像の画素データD_{IN}を保存する。本実施形態では、ＲＡＭ３２は、１枚のフレーム画像（各フレーム期間（各垂直同期期間）に表示領域４に表示される画像）の画素データを保存する容量を有している。

【０１６４】

ＲＡＭアクセスロジック回路３３は、ＲＡＭ３２から入力画像の画素データD_{IN}を読み出してスケーラ回路３５に転送する。

【０１６５】

ラインバッファ３４は、ＲＡＭ３２から読み出した入力画像の画素データD_{IN}をＲＡＭアクセスロジック回路３３からスケーラ回路３５に適正な順序で送るためのワークエリアとして用いられる。

【０１６６】

スケーラ回路３５は、ＲＡＭアクセスロジック回路３３から受け取った画素データに対してスケーリング処理を行って出力画像の各画素の画素データを生成する。上述された本実施形態の画像処理回路１０は、スケーラ回路３５に組み込まれる。

【０１６７】

画像処理回路３６は、スケーラ回路３５におけるスケーリング処理によって得られた出力画像の各画素の画素データに対して所定の画像処理を行って最終的に液晶表示パネル２の表示領域４に表示される画像の各画素の画素データを生成する。画像処理回路３６で行われる画像処理としては、例えば、エッジ強調処理が挙げられる。上述のバイリニア法によるスケーリング処理では、一般に、エッジがぼやけた画像が得られるので、シャープな画像を得るためには、画像処理回路３６においてエッジ強調処理を行うことが好ましい。

【０１６８】

ソースドライバ回路３７は、画像処理回路３６から受け取った出力画素データに応答して表示領域４の各画素４３を駆動する。

【０１６９】

以上には、本発明の様々な実施形態が具体的に説明されているが、本発明は、上述の実施形態に限定されるものではない。本発明が様々な変更と共に実施され得ることは、当業者には自明的であろう。特に、上記では、本発明が、液晶表示装置において液晶表示パネルを駆動するドライバＩＣに適用されている実施形態が記述されているが、本発明は、他の表示装置において表示パネル（例えば、ＯＬＥＤ（organic light emitting diode）表示パネルやプラズマ表示パネル）を駆動する表示パネルドライバに適用可能である。

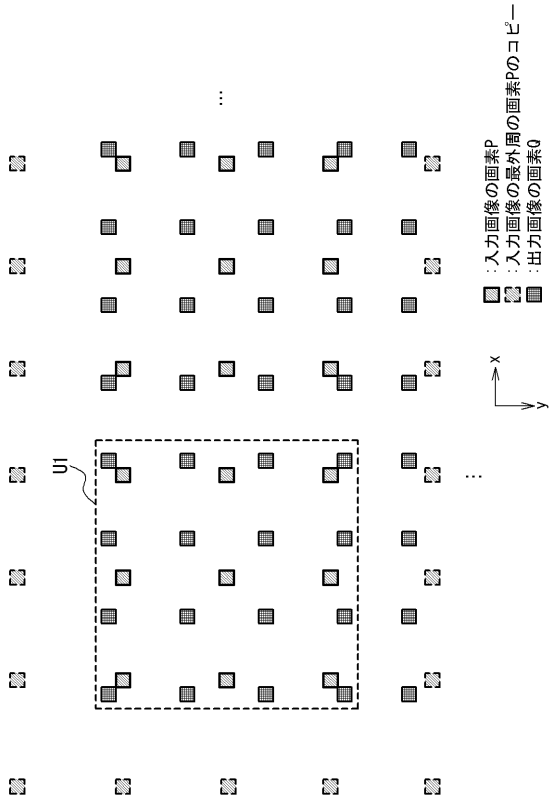
【符号の説明】

【０１７０】

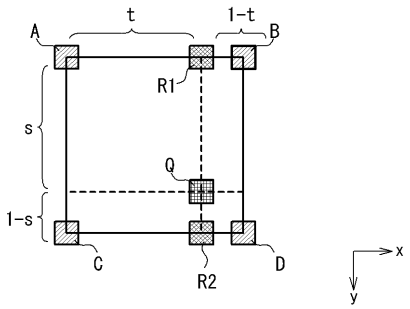
１　：液晶表示装置
２　：液晶表示パネル
３　：ドライバＩＣ
４　：表示領域

５　　：ゲート線駆動回路
１０、１０Ａ　　：画像処理回路
１１　　：画素データ並び替え回路
１２　　：補間係数保持部
１３、１３Ａ：補間係数並び替え回路
１４、１４Ａ：スケーリング演算部
14_1　　：積和演算回路
14_2　　：積和演算回路
14_3　　：積和演算回路
２１～２４　：乗算器
２５、２６　：加算器
２７、２８　：乗算器
２９　　：加算器
３１　　：インターフェース
３２　　：ＲＡＭ
３３　　：ＲＡＭアクセスロジック回路
３４　　：ラインバッファ
３５　　：スケーラ回路
３６　　：画像処理回路
３７　　：ソースドライバ回路
４１　　：ゲート線
４２　　：ソース線
４３　　：画素
４４Ｂ　　：Ｂ副画素
４４Ｇ　　：Ｇ副画素
４４Ｒ　　：Ｒ副画素

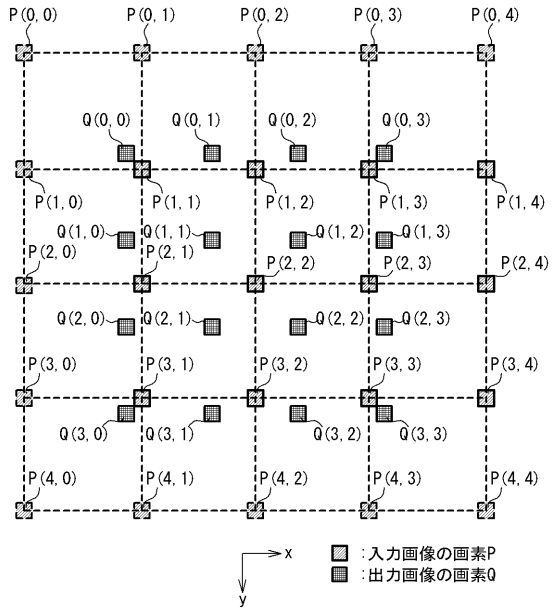
【図１】


：入力画像の画素P
：入力画像の最外周の画素Pのコピー
：出力画像の画素Q
UI
x
y

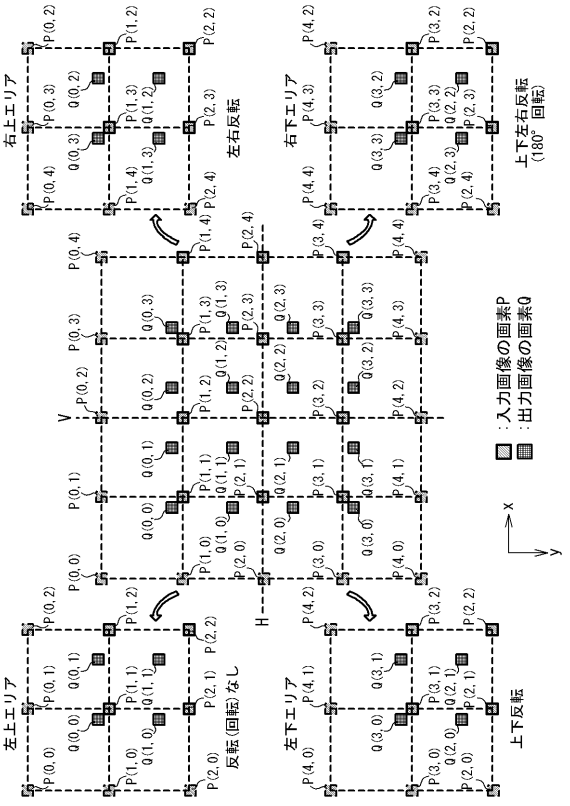
【図２】


A
t
1-t
B
R1
s
Q
1-s
C
R2
D
x
y

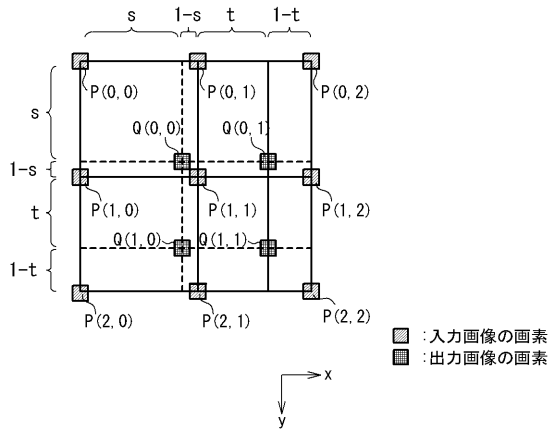
【図３】


：入力画像の画素P
：出力画像の画素Q
x
y

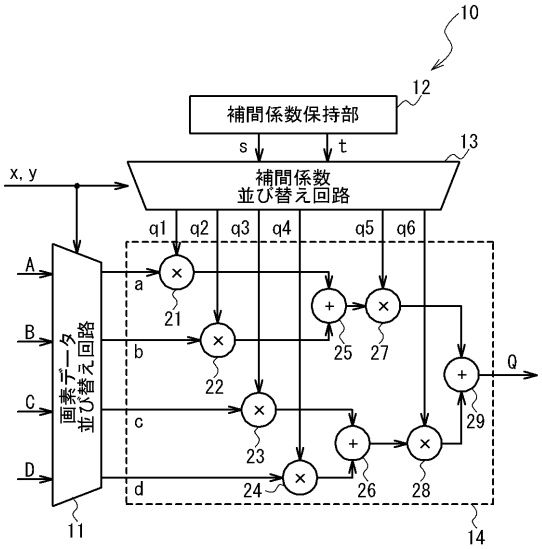
【図４】


右上エリア
左右反転
右下エリア
上下左右反転
（180°回転）
：入力画像の画素P
：出力画像の画素Q
左上エリア
反転（回転）なし
左下エリア
上下反転

【図５】



【図６】



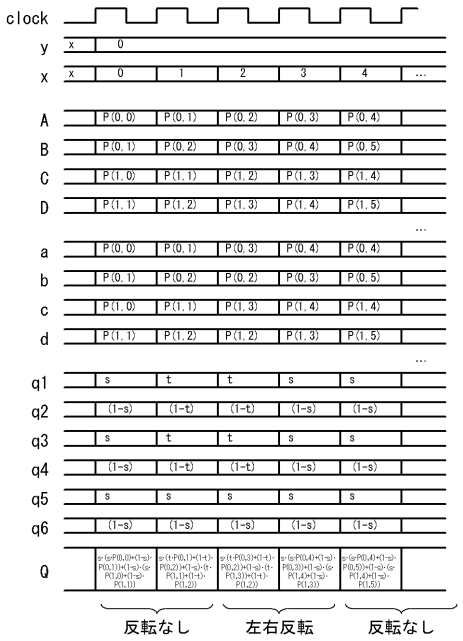
【図７Ａ】

(y/2)%2	(x/2)%2	a	b	c	d
0	0	A	B	C	D
0	1	B	A	D	C
1	0	C	D	A	B
1	1	D	C	B	A

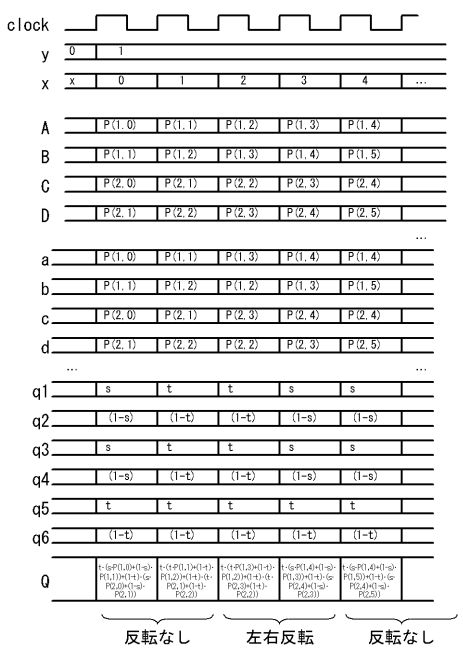
【図７Ｂ】

y%2	x%2	q1	q2	q3	q4	q5	q6
0	0	s	1-s	s	1-s	s	1-s
0	1	t	1-t	t	1-t	s	1-s
1	0	s	1-s	s	1-s	t	1-t
1	1	t	1-t	t	1-t	t	1-t

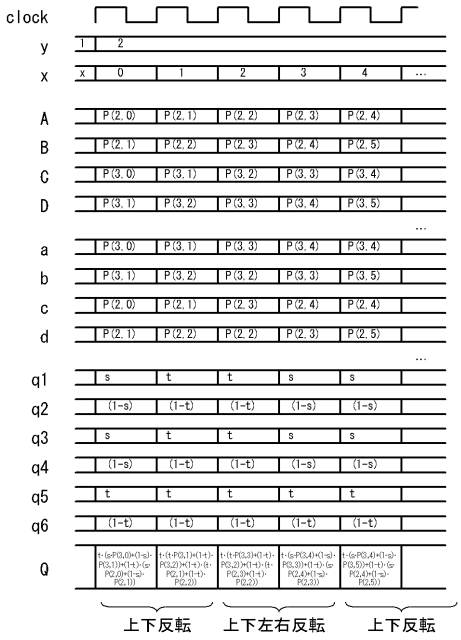
【図８Ａ】



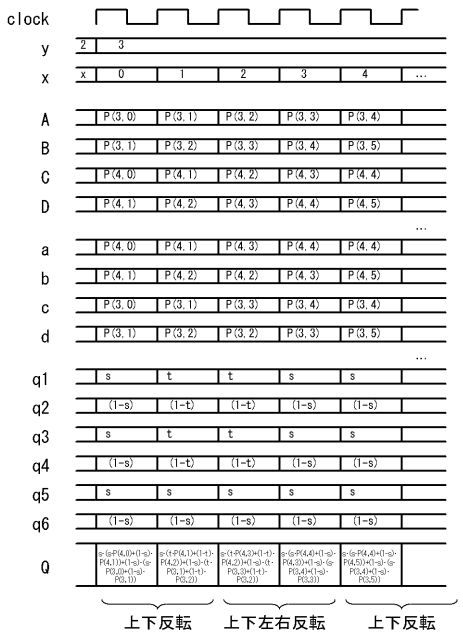
【図８Ｂ】



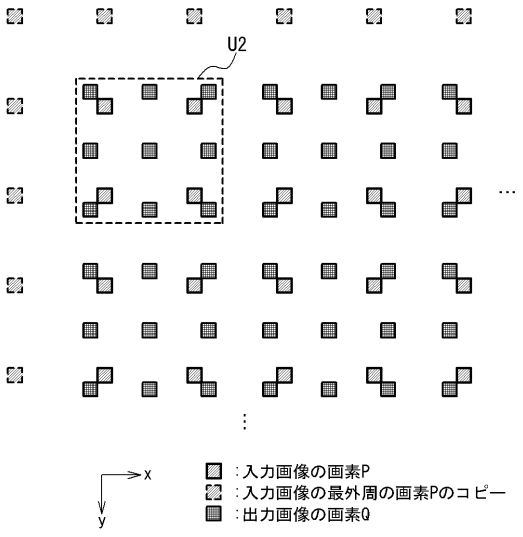
【図８Ｃ】



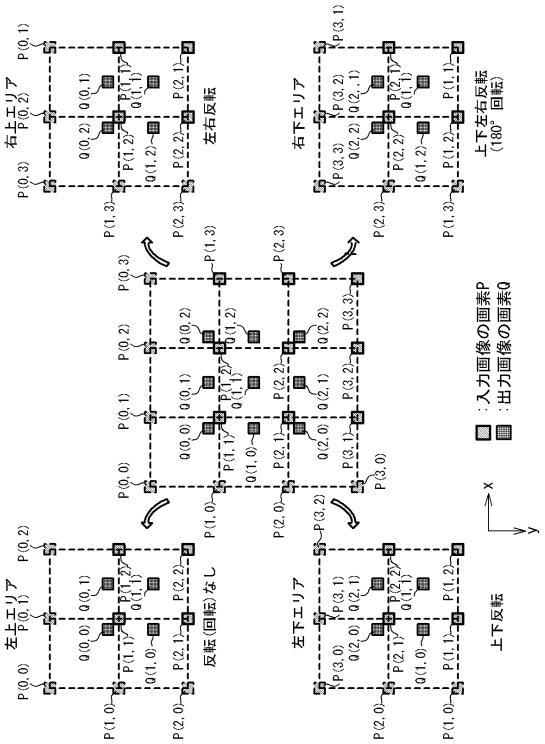
【図８Ｄ】



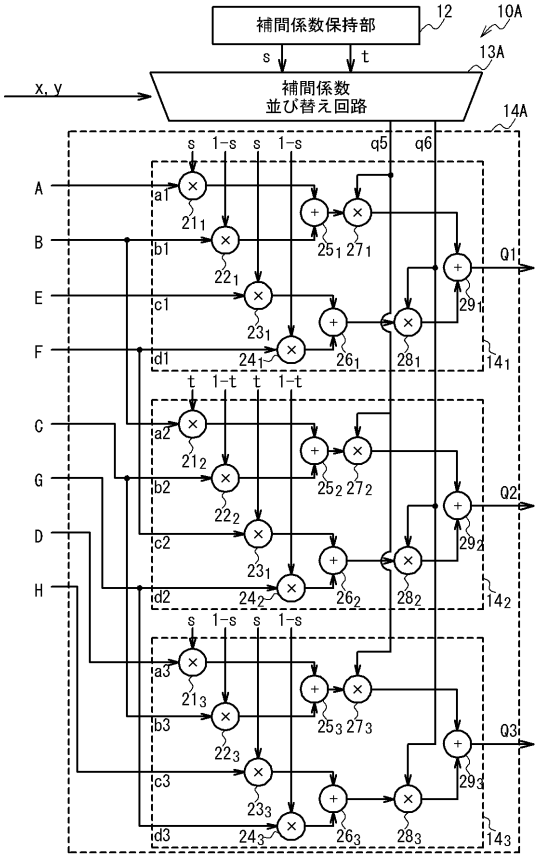
【図９】



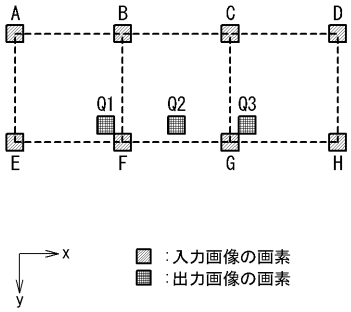
【図１０】



【図１１】



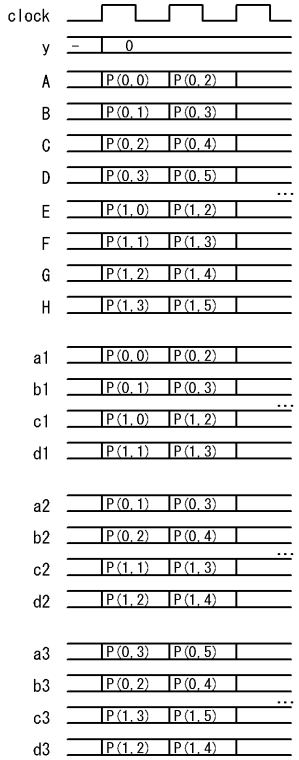
【図１２】



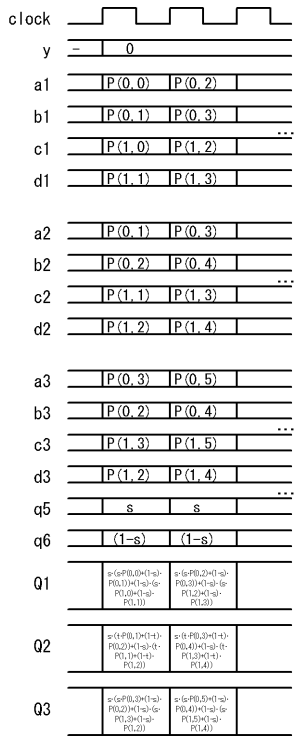
【図１３】

y%3	q5	q6
0	s	1-s
1	t	1-t
2	1-s	s

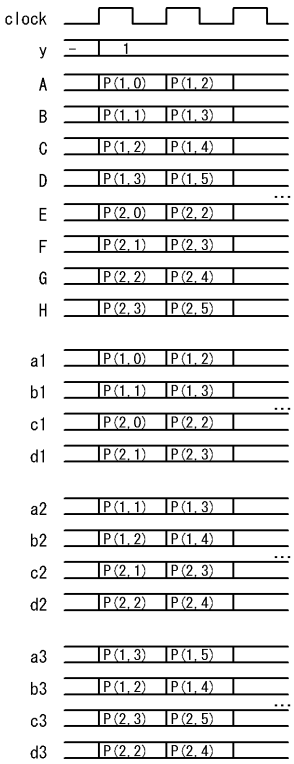
【図１４Ａ】



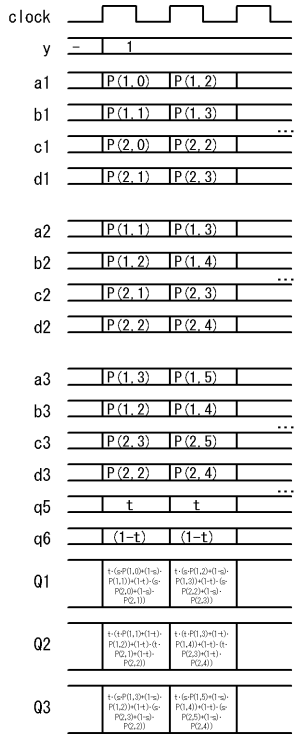
【図１４Ｂ】



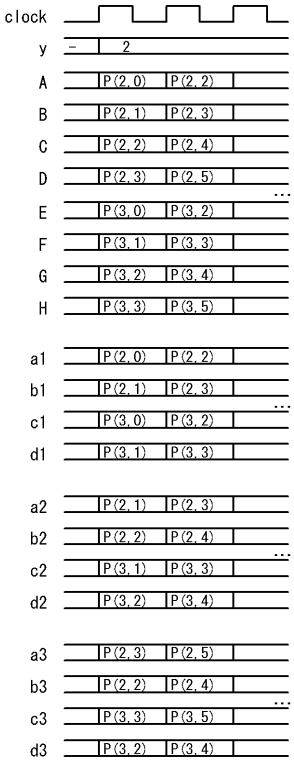
【図１５Ａ】



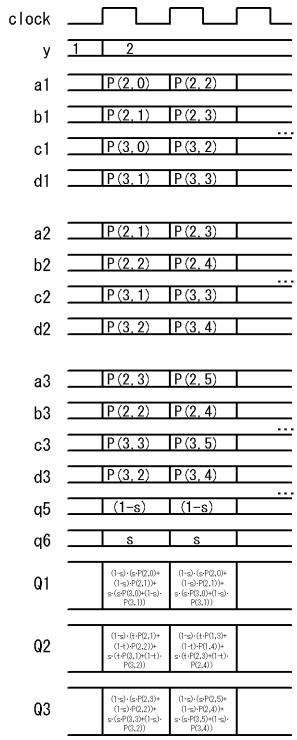
【図１５Ｂ】



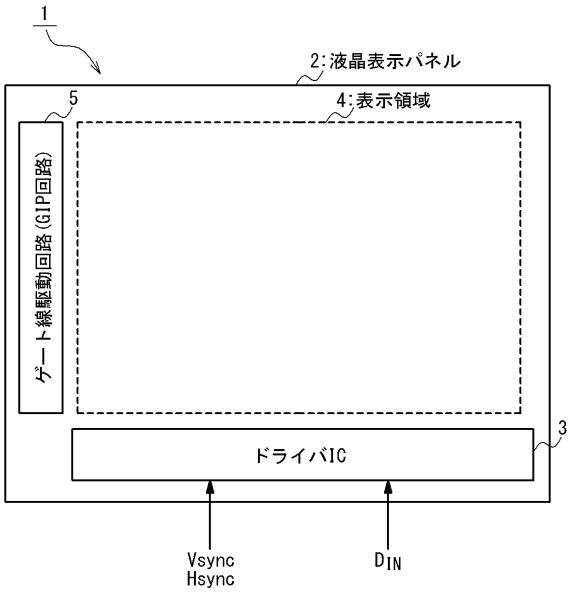
【図１６Ａ】



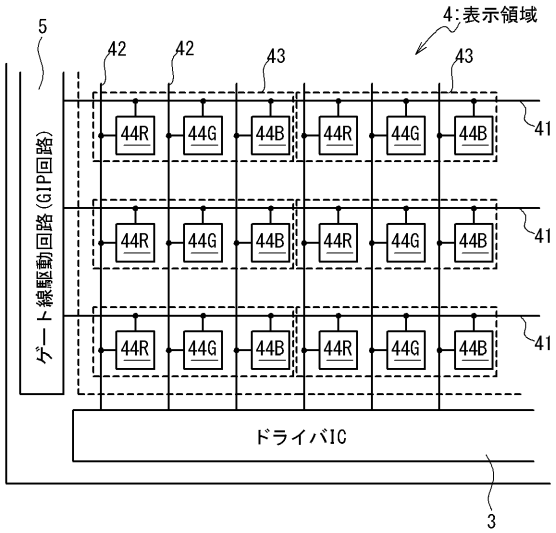
【図１６Ｂ】



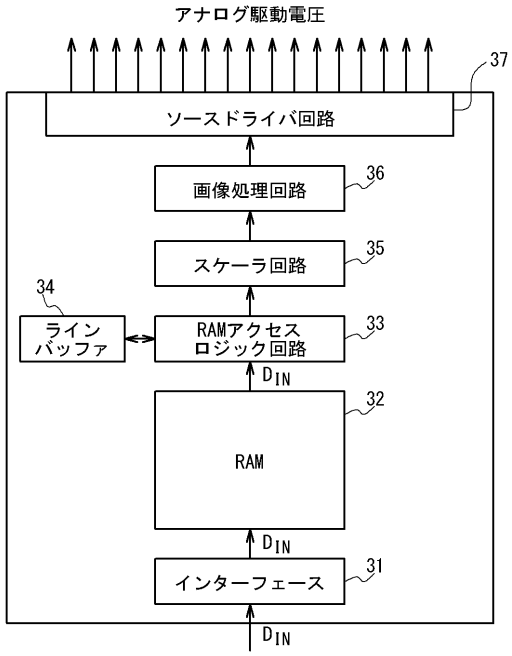
【図１７】



【図１８】



【図１９】



フロントページの続き

(72)発明者　能勢　崇
東京都小平市上水本町５丁目２２番１号　シナプティクス・ディスプレイ・デバイス株式会社内

審査官　武田　悟

(56)参考文献　特開２００６－７４２２２（ＪＰ，Ａ）
特開平２－２５０４７１（ＪＰ，Ａ）
特開平８－２１２３３６（ＪＰ，Ａ）
米国特許出願公開第２０１４／００１０４７９（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０９Ｇ　３／００　－　３／３８
Ｇ０２Ｆ　１／１３３