



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 603 19 065 T2** 2009.02.05

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 473 835 B1**

(21) Deutsches Aktenzeichen: **603 19 065.0**

(96) Europäisches Aktenzeichen: **03 029 342.7**

(96) Europäischer Anmeldetag: **18.12.2003**

(97) Erstveröffentlichung durch das EPA: **03.11.2004**

(97) Veröffentlichungstag

der Patenterteilung beim EPA: **13.02.2008**

(47) Veröffentlichungstag im Patentblatt: **05.02.2009**

(51) Int Cl.<sup>8</sup>: **H03M 1/08** (2006.01)  
**H03M 1/74** (2006.01)

(30) Unionspriorität:

**427578                      30.04.2003                      US**

(73) Patentinhaber:

**Agilent Technologies Inc., Santa Clara, Calif., US**

(74) Vertreter:

**BOEHMERT & BOEHMERT, 80336 München**

(84) Benannte Vertragsstaaten:

**DE, FR, GB**

(72) Erfinder:

**Jewett, Robert E., Redwood City California 94061,  
US; Liu, Jacky Kin Chi, Sunnyvale California  
94086, US**

(54) Bezeichnung: **Parallele Wiederabtastung für Digital-Analog-Wandler**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

**Beschreibung****ERFINDUNGSGEBIET**

**[0001]** Die vorliegende Erfindung betrifft im Allgemeinen Schaltungen, und insbesondere einen Digital-Analog-Wandler.

**HINTERGRUND DER ERFINDUNG**

**[0002]** Digital-Analog-Wandler (DAC, "digital-to-analog converters") sind Schaltungen, die digitale Eingaben empfangen und analoge Ausgaben produzieren, die analoge Äquivalente der digitalen Eingaben in Form von Strömen oder Spannungen darstellen. Ein typischer DAC umfasst einen Codierer, eine Anzahl von analogen Ausgangselementen und eine Summierschaltung. Der Codierer empfängt eine digitale Eingabe, die durch einen Digitalwert gebildet wird, welcher durch eine Anzahl von binären Datenbits repräsentiert sind, und codiert dann die binären Datenbits in geeignete Antriebssignale, um selektiv bzw. gezielt die analogen Ausgangselemente zu aktivieren. In Antwort auf die Antriebssignale erzeugen die aktivierten analogen Ausgangselemente bzw. Ausgangsbauteile analoge Teilsignale. Diese analogen Teilsignale werden dann durch die Summierschaltung kombiniert, um ein analoges Ausgangssignal zu erzeugen, welches eine analoge Repräsentation der digitalen Eingabe darstellt.

**[0003]** Ein Problem, das oft während des Betriebs eines DAC auftritt, ist das Auftreten von Ausgabefehlern, die "Glitch" genannt werden, die hauptsächlich durch falsche Zeitsteuerung der analogen Teilsignale am Ausgang des DAC hervorgerufen werden. Die Glitches beeinflussen nicht den Endwert eines eingependelten Ausgangssignals für ein jedes digitales Eingangssignal, und sie treten nur während des Übergangs von einer digitalen Eingabe zur nächsten auf. Daher beeinträchtigen die Glitches den spektralen Gehalt des Ausgangssignals, was für Hochgeschwindigkeitsanwendungen äußerst bedenklich ist, da die Glitches als analoge Ausgangssignale missinterpretiert werden können.

**[0004]** Eine Quelle für eine fehlerhafte Zeitsteuerung besteht in unterschiedlichen Ankunftszeiten der Datenbits eines digitalen Eingangssignals am Eingang des Codierers. Jedoch kann diese fehlerhafte Zeitsteuerung leicht minimiert werden, indem Aufwandspeicher, so genannte "Latches" am Eingang des Codierers verwendet werden, um die Datenbits zu synchronisieren. Eine andere Quelle der fehlerhaften Zeitsteuerung besteht in einer differentiellen logischen Verzögerung zwischen der Eingabe des Codierers und der Ausgabe des Codierers. Diese Quelle der fehlerhaften Zeitsteuerung kann jedoch minimiert werden, indem Latches am Ausgang des Codierers mit einem sorgfältig gesteuerten Taktsignal

zugefügt werden. Noch eine weitere Quelle fehlerhafter Zeitsteuerung besteht in einem Missverhältnis der Pfadlängen zwischen dem Codierer und den analogen Ausgangselementen und/oder einem Missverhältnis der Pfadlänge zwischen den analogen Ausgangselementen und der Ausgabe des DAC durch die Summierschaltung. Diese letzte Quelle einer fehlerhaften Zeitsteuerung kann minimiert werden, indem ein Schalter zwischen der Summierschaltung und dem Ausgang des DAC zugefügt wird. Der Schalter wird verwendet, um das analoge Signal erst dann zum Ausgang durchzulassen, wenn sich das Signal auf einem Endwert eingependelt hat. Somit kann der Teil des analogen Signals mit Glitches durch die Verwendung des Schalters blockiert werden. Diese Technik führt die Ausgabe-Wellenform auf Null oder irgendeinen Referenzwert während der problematischen Zeit zurück, und wird daher im Allgemeinen auch als "Rückkehr zu Null" oder RZ ("Return to Zero") bezeichnet.

**[0005]** Unter Verwendung der RZ-Technik beeinflussen die nicht aufeinander abgestimmten Verzögerungen vor der Summereinheit nicht mehr das Hochgeschwindigkeits-Leistungsverhalten des DAC, und die Integrität des Signals wird vornehmlich durch die Linearität des Schalters und die Reinheit eines Wiederabtastungs-Taktes begrenzt, der verwendet wird, um den Schalter zu betätigen. Unter diesen zwei limitierenden Faktoren ist die Linearität des Schalters der entscheidende limitierende Faktor. Eine Nichtlinearität des Schalters kann auf dem reinen Widerstand des Schalters beruhen, der eine nichtlineare Funktion bezüglich des Stroms darstellen kann, welcher durch den Schalter fließt. Ferner kann eine Nichtlinearität des Schalters auf nichtlinearen parasitären Effekten beruhen, beispielsweise einer Kapazität, die mit dem Stromniveau variieren. Der Digital-Analog-Wandler, der in der US 4,663,610 beschrieben ist, umfasst zwei Schieberegister, wobei ein jedes Schieberegister drei strukturelle Stromquellen steuert, die denselben Strom bereitstellen. Das Ausgangssignal des Wandlers ist eine in der Zeit kontinuierliche Addition der geschalteten Stromquellen in Abhängigkeit von seriellen digitalen Daten, die durch die Schieberegister wandern.

**[0006]** In dem Dokument US 2001/0052868 A1 ist ein DAC für parallele digitale Daten eines Worts der Länge N beschrieben, wobei der Wandler  $2^N$  geschaltete Stromquellen umfasst. Sämtliche Stromquellen stellen dieselbe Stromstärke bereit, wobei der Ausgangsstrom des Wandlers durch die Anzahl von geschalteten Stromquellen ausgewählt wird. Eine Anti-Glitch-Schaltung für  $2^N$ -Stromquellen wird verwendet, um die verzögerte Dispersion unter den  $2^N$ -Schaltern zu verringern, indem individuelle Verzögerungen zu den individuellen Anti-Glitch-Signalen addiert werden.

**[0007]** In Anbetracht dieser Erwägungen besteht ein Bedarf für einen DAC und für ein Verfahren zum Umwandeln digitaler Eingangssignale in analoge Ausgangssignale dergestalt, dass Glitches in dem Ausgangssignal verringert oder eliminiert werden, ohne eine Schalter-Nichtlinearität in das Ausgangssignal einzuführen.

## ZUSAMMENFASSUNG DER ERFINDUNG

**[0008]** Ein Digital-Analog-Wandler (DAC) und ein Verfahren zum Umwandeln digitaler Eingangssignale in analoge Ausgangssignale verwenden Wiederabtastschalter ("resampling switches"), um die Übertragung analoger Teilsignale zwischen analogen Ausgangsbau teilen und einer Summierschaltung zu regulieren, um "Glitches" in dem Ausgangssignal zu verringern oder zu eliminieren. Ein jeder Wiederabtastschalter kann individuell mit einem analogen Ausgangsbau teil bzw. -element verbunden sein, um ein feststehendes analoges Teilsignal, z. B. einen feststehenden Strom, handzuhaben, der von dem analogen Ausgangselement erzeugt wird. Dementsprechend können die Wiederabtastschalter verwendet werden, um die Glitches in dem Ausgangssignal zu verringern oder zu eliminieren, ohne eine Schalter-Nichtlinearität in das Ausgangssignal einzuführen, indem die analogen Teilsignale gleichzeitig unter Verwendung der Wiederabtastschalter zur Summierschaltung übertragen werden.

**[0009]** Ein DAC gemäß einer Ausführungsform der Erfindung umfasst eine Anzahl von analogen Ausgangselementen bzw. -bauteilen, einer Anzahl von Schaltern und eine Summierschaltung. Die analogen Ausgangselemente sind dazu konfiguriert, selektiv analoge Teilsignale in Antwort auf eine digitale Eingabe zu erzeugen. Die Summierschaltung ist dazu konfiguriert, die analogen Teilsignale zu kombinieren, um ein analoges Ausgangssignal zu erzeugen, welches eine analoge Repräsentierung des digitalen Eingangssignals ist. Die Schalter sind zwischen den analogen Ausgangsbau teilen und der Summierschaltung angeordnet, um die Übertragung der analogen Teilsignale zwischen den analogen Ausgangselementen und der Summierschaltung zu regulieren. Ein jeder Schalter kann mit einem unterschiedlichen analogen Ausgangselement verbunden sein, um das analoge Teilsignal, welches von dem analogen Ausgangselement erzeugt wird, zu der Summierschaltung zu übertragen.

**[0010]** Ein Verfahren zum Umwandeln digitaler Eingangssignale in analoge Ausgangssignale gemäß einer Ausführungsform der vorliegenden Erfindung umfasst das Empfangen eines digitalen Eingangssignals, das Erzeugen analoger Teilsignale in Antwort auf das digitale Eingangssignal, das Regulieren der Übertragung der analogen Teilsignale und das Empfangen und Kombinieren der analogen Teilsignale,

um ein analoges Ausgangssignal zu produzieren, welches eine analoge Repräsentierung des digitalen Eingangssignals darstellt.

**[0011]** Weitere Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung ersichtlich, wenn sie in Verbindung mit den beigefügten Zeichnungen betrachtet wird, die lediglich beispielhaft die Prinzipien der Erfindung veranschaulicht.

## KURZBESCHREIBUNG DER ZEICHNUNGEN

**[0012]** [Fig. 1](#) ist ein Diagramm eines Digital-Analog-Wandlers (DAC) gemäß einer exemplarischen Ausführungsform der Erfindung.

**[0013]** [Fig. 2](#) ist ein Teildigramm eines DAC, der in einer segmentierten Standard-DAC-Architektur gemäß einer Ausführungsform der vorliegenden Erfindung konfiguriert ist.

**[0014]** [Fig. 3](#) ist ein Schaltungsdiagramm eines analogen Ausgangselementes und eines Wiederabtastschalters, die in dem DAC von [Fig. 1](#) oder [Fig. 2](#) verwendet werden können, gemäß einer beispielhaften Ausführungsform.

**[0015]** [Fig. 4](#) ist ein Zeitsteuerungsdiagramm des analogen Ausgangselementes und des Wiederabtastschalters von [Fig. 3](#).

**[0016]** [Fig. 5](#) ist ein Flussdiagramm eines Verfahrens zum Umwandeln digitaler Eingangssignale in analoge Ausgangssignale gemäß einer beispielhaften Ausführungsform der Erfindung.

## DETAILLIERTE BESCHREIBUNG

**[0017]** In [Fig. 1](#) ist ein Digital-Analog-Wandler (DAC) **100** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung gezeigt. Der DAC **100** produziert analoge Ausgangssignale in Antwort auf empfangene digitale Eingangssignale. Die Stärke der analogen Ausgangssignale entspricht den Werten, die durch die jeweiligen digitalen Eingangssignale repräsentiert werden. Somit sind die analogen Ausgangssignale analoge Äquivalente der digitalen Eingangssignale. Der DAC **100** umfasst einen Codierer **102**, analoge Ausgangselemente bzw. -bauteile **104** (nur fünf analoge Ausgangselemente **104A**, **104B**, **104C**, **104D** und **104E** sind in [Fig. 1](#) gezeigt), Wiederabtastschalter **106** und eine Summiereinheit **108**. Wie in [Fig. 1](#) gezeigt ist, sind die Wiederabtastschalter **106** zwischen den analogen Ausgangselementen **104** und der Summierschaltung **108** angeordnet. Wie unten beschrieben wird, verringert oder eliminiert die Verwendung dieser Wiederabtastschalter **106** Ausgabefehler in dem Ausgangssignal des DAC **100**, die als "Glitches" bekannt sind, ohne eine

Schalter-Nichtlinearität einzuführen, die ein übliches Problem bei herkömmlichen DAC darstellen, die eine "Rückkehr zu Null"-(RZ, "Return to Zero")-Technik verwenden. Daher wird durch die Verwendung der Wiederabtastschalter **106** zum Verringern oder Eliminieren der Glitches in dem Ausgangssignal die Unversehrtheit des Ausgangssignals nicht beeinträchtigt.

**[0018]** Der Codierer **102** des DAC **100** übersetzt N binäre Datenbits eines empfangenen digitalen Eingangssignals in M codierte Signale, wobei N und M ganze Zahlen sind. Der Codierer **102** ist mit N Eingangsleitungen **110** verbunden, um die N binären Datenbits zu empfangen. Der Codierer **102** ist außerdem mit M Steuerleitungen **112** verbunden, die individuell mit den analogen Ausgangselementen **104** verbunden sind, um die M codierten Signale von dem Codierer durch die M Steuerleitungen zu den analogen Ausgangselementen zu übertragen. Die M codierten Signale sind Antriebssignale, die verwendet werden, um die analogen Ausgangselemente **104** gemäß dem Wert des digitalen Eingangssignals selektiv zu aktivieren, so dass ein äquivalentes analoges Ausgangssignal unter Verwendung der von den aktivierten analogen Ausgangselementen erzeugten analogen Signalen erzeugt werden kann. Ein jedes codiertes Signal ist entweder ein Aktivierungssignal zum Aktivieren eines analogen Ausgangselementes oder ein Deaktivierungssignal zum Deaktivieren eines analogen Ausgangselementes. Der Codierer **102** kann irgendein Codierer sein, der in einem DAC verwendet werden kann, um binäre Datenbits in codierte Signale zu übersetzen. Beispielsweise kann der Codierer **102** ein Standard-Thermometer-Codierer sein, der eine Nachschlags-Tabelle verwendet, um binäre Datenbits in Thermometer-codierte Signale zu übersetzen.

**[0019]** Die analogen Ausgangselemente **104** des DAC **100** erzeugen ein oder mehrere analoge Signale, wenn die Elemente selektiv bzw. gezielt durch die von dem Codierer **102** codierten Signale aktiviert werden. Die analogen Signale, die von den analogen Ausgangselementen **104** erzeugt werden, sind analoge Teilsignale, die nachfolgend kombiniert werden, um ein analoges Ausgangssignal zu produzieren. Beispielsweise können die analogen Ausgangselemente **104** dazu konfiguriert sein, die analogen Signale in Form von Strömen zu erzeugen. Wie oben festgestellt wurde, sind die analogen Ausgangselemente **104** individuell mit dem Codierer **102** über Steuerleitungen **112** verbunden, um codierte Signale für ein gegebenes digitales Eingangssignal zu empfangen. Das heißt, dass ein jedes analoges Ausgangselement **104** durch eine separate Steuerleitung **112** mit dem Codierer **102** verbunden ist, um eines der codierten Signale für ein gegebenes digitales Eingangssignal zu empfangen. Dementsprechend wird in Abhängigkeit von dem codierten Signal auf einer

bestimmten Steuerleitung **112** das verbundene analoge Ausgangselement **104** aktiviert, so dass ein analoges Teilsignal erzeugt wird, oder deaktiviert, so dass kein Signal erzeugt wird. In der beispielhaften Ausführungsform sind die analogen Ausgangselemente **104** identisch, und somit erzeugt ein jedes analoges Ausgangselement das gleiche analoge Signal, beispielsweise denselben Strom, wenn es durch ein codiertes Aktivierungssignal aktiviert wird. Der Ausgang eines jeden Ausgangselementes **104** ist mit der Summierschaltung **108** durch einen der Wiederabtastschalter **106** verbunden.

**[0020]** Die Wiederabtastschalter **106** des DAC **100** übertragen die analogen Teilsignale, die durch die aktivierten analogen Ausgangselemente **104** erzeugt werden, gleichzeitig zu der Summierschaltung **108** unter Verwendung eines Wiederabstast-Taktsignals Clk. Ein jeder Wiederabtastschalter **106** ist individuell mit einem bestimmten analogen Ausgangselement **104** verbunden, um das von dem analogen Ausgangselement erzeugte analoge Teilsignal zu übertragen. Daher ist in der beispielhaften Ausführungsform die Anzahl von Wiederabtastschaltern gleich der Anzahl von analogen Ausgangselementen **104**. Das Clk-Signal steuert den Zustand der Wiederabtastschalter **106** derart, dass es gleichzeitig sämtliche Wiederabtastschalter für eine gegebene Periode schließt oder öffnet. Somit regulieren die Wiederabtastschalter **106** die Übertragung der analogen Teilsignale zwischen den aktivierten analogen Ausgangselementen **104** und der Summierschaltung **108**. Unter Verwendung der Zeitsteuerung des Clk-Signals erfüllen die Wiederabtastschalter **106** eine ähnliche Funktion wie ein herkömmlicher RZ-Schalter. Die Wiederabtastschalter **106** können so betätigt werden, dass es den analogen Teilsignalen, beispielsweise Strömen, möglich ist, sich auf den Endwert einzupendeln, bevor sie zur Summierschaltung **108** übertragen werden. Dementsprechend werden die Teile der analogen Signale, die zu den Glitches in dem letztendlichen Ausgangssignal des DAC **100** führen, durch die Verwendung der Wiederabtastschalter **106** effektiv entfernt. In der beispielhaften Ausführungsform sind die Wiederabtastschalter **106** identisch, ebenso wie die analogen Ausgangselemente **104**. Daher überträgt ein jeder Wiederabtastschalter **106**, der mit einem aktivierten analogen Ausgangselement **104** verbunden ist, wenn er geschlossen ist, das analoge Signal, welches von dem analogen Ausgangselement erzeugt wird. Da ein jeder Wiederabtastschalter **106** ein feststehendes analoges Signal handhabt, beispielsweise einen feststehenden Strom, werden die Probleme bezüglich der Nichtlinearität des Schalters, die unter Verwendung eines herkömmlichen RZ-Schalters ein wesentliches Problem darstellen, durch Verwendung der Wiederabtastschalter zum gleichzeitigen Übertragen der äquivalenten analogen Signale von den analogen Ausgangselementen **104** zu der Summierschaltung **108** gelöst.

**[0021]** In anderen Ausführungsformen kann der DAC **100** weniger Wiederabtastschalter **106** als analoge Ausgangselemente **104** enthalten. In diesen Ausführungsformen können die Ausgänge von zwei oder mehr analogen Ausgangselementen **104** miteinander verbunden sein, so dass analoge Teilsignale von den analogen Ausgangselementen miteinander kombiniert werden. Der resultierende Ausgang wird ebenfalls mit dem Eingang eines der Wiederabtastschalter **106** verbunden. Somit kann ein jeder Wiederabtastschalter **106** so verbunden sein, dass er ein kombiniertes analoges Signal von mehreren analogen Ausgangselementen **104** überträgt. Die Anzahl von Wiederabtastschaltern **106**, die in dem DAC **100** verwendet werden, kann irgendeine Anzahl sein, die geringer als die Gesamtzahl der analogen Ausgangselemente **104** ist, welche in dem DAC enthalten sind.

**[0022]** Die Summierschaltung **108** des DAC **100** kombiniert die analogen Teilsignale von den analogen Ausgangselementen **104**, die gleichzeitig durch die Wiederabtastschalter **106** übertragen werden, um ein analoges Ausgangssignal an einem Ausgangs-Anschluss **114** herzustellen, welches ein analoges Äquivalent des empfangenen digitalen Eingangssignals darstellt. Die Summierschaltung **108** kann so konfiguriert sein, dass sie das analoge Ausgangssignal unter Verwendung eines von verschiedenen Signal-Kombinationsschemata produziert, die die analogen Signale von den analogen Ausgangselementen **104** linear addieren. Beispielsweise kann die Summierschaltung **108** ein segmentiertes Standard-Strom-Additionsschemata verwenden, in welchem einige der Ströme (d. h., analoge Teilsignale) von den analogen Ausgangselementen **104** direkt an den Ausgangs-Anschluss **114** angelegt werden, um höchstwertige Bit-Signale des analogen Ausgangssignals bereitzustellen, während andere Ströme von analogen Ausgangselementen erst unter Verwendung einer R-2R-Struktur skaliert werden, bevor sie an den Ausgangs-Anschluss angelegt werden, um binär-skalierte niedrigstwertige Bit-Signale des analogen Ausgangssignals bereitzustellen. Andere Strom-Additionsschemata, die von der Summierschaltung **108** verwendet werden können, umfassen ein gerades binärgewichtetes R-2R-Schema (straight binary-weighted R-2R) und ein Einzelausgabe-Lastwiderstandsschema, bei dem die Ströme von den analogen Ausgangselementen **104** an einen einzelnen Ausgangs-Lastwiderstand angelegt werden. Der Ausgangs-Anschluss **114** des DAC **100** kann mit einem Strom-zu-Spannungs-Wandler (nicht gezeigt) verbunden sein, um das analoge Ausgangssignal von einem Strom in eine Spannung umzuwandeln.

**[0023]** Die Linearität der analogen Ausgangssignale, die von dem DAC **100** produziert werden, hängt nicht von der grundsätzlichen Reihen-Linearität der Wiederabtastschalter **106** ab. Beispielsweise sei an-

genommen, dass der Ausgangsstrom eines jeden Wiederabtastschalters **106** in einer nichtlinearen Relation zu dem Eingangsstrom steht, welche durch eine Funktion, wie beispielsweise  $I_{\text{aus}} = I_{\text{in}} + A \cdot I_{\text{in}}^2$  definiert ist, wobei  $I_{\text{aus}}$  der Ausgangsstrom des Wiederabtastschalters ist,  $I_{\text{in}}$  der Eingangsstrom des Wiederabtastschalters ist und  $A$  eine Konstante ist. Dies resultiert in lediglich zwei möglichen Werten für den Ausgangsstrom eines jeden Wiederabtastschalters **106**  $I_0$  für das codierte Signal von "0" (deaktiviert) oder  $I_1$  für das codierte Signal von "1" (aktiviert). Nach der Kombination bei der Summierschaltung **108** wird das Signal  $n \cdot I_1 + (M - n) \cdot I_0$  betragen, wenn  $n$  "Einsen" in den Steuerleitungen **112** vorliegen. Dies ist eine lineare Funktion von  $n$ , obwohl das Signal Verstärkungs- und Offsetfehler enthalten kann.

**[0024]** In [Fig. 2](#) ist ein Teil eines DAC **200** gezeigt, der in einer segmentierten Standard-DAC-Architektur gemäß einer Ausführungsform der vorliegenden Erfindung konfiguriert ist. Die gleichen Bezugszeichen wie in [Fig. 1](#) werden verwendet, um ähnliche Elemente in [Fig. 2](#) zu identifizieren. Ein Codierer für den DAC **200** ist in [Fig. 2](#) nicht gezeigt. Der DAC **200** umfasst eine R-2R-Ausgangs-Summierschaltung **208**, die elektrisch mit den analogen Ausgangselementen **104A**, **104B**, **104C**, **104D** und **104E** über die Wiederabtastschalter **106** verbunden ist. In dieser Ausführungsform erzeugt ein jedes analoges Ausgangselement dasselbe analoge Signal, beispielsweise denselben Strom. Jedoch kann, in Abhängigkeit der Verbindungen der analogen Ausgangselemente mit der R-2R-Ausgangs-Summierschaltung **208** das gesamte Analogsignal oder ein skaliertes Teil des Analogsignals von einem bestimmten analogen Ausgangselement zu dem Ausgangs-Anschluss **114** übertragen werden, um das resultierende analoge Ausgangssignal zu produzieren. Für analoge Ausgangselemente, die direkt mit dem Ausgangs-Anschluss **114** verbunden sind, z. B. die analogen Ausgangselemente **104A**, **104B** und **104C** werden die gesamten analogen Signale, die durch diese analogen Ausgangselemente erzeugt werden, zu dem Ausgangs-Anschluss **114** übertragen. Für die analogen Ausgangselemente, die über einen oder mehrere R- und 2R-Widerstände mit dem Ausgangs-Anschluss **114** verbunden sind, beispielsweise die analogen Ausgangselemente **104D** und **104E**, werden binär skalierte Teile der analogen Signale, die durch diese analogen Ausgangselemente erzeugt werden, zu dem Ausgangs-Anschluss **114** übertragen. Die analogen Ausgangselemente, die direkt mit dem Ausgangs-Anschluss **114** verbunden sind, können als Signale betrachtet werden, die höchstwertige Bit-Signale (most significant bit, MSB) eines analogen Ausgangssignals bereitstellen, welche große feststehende analoge Signale sind, während die analogen Ausgangselemente, die über einen oder mehrere R- und 2R-Widerstände mit dem Ausgangs-Anschluss **114** verbunden sind, als Ausgangselemente betrachtet werden

können, die niedrigstwertige Bit-Signale des analogen Ausgangssignals bereitstellen (least significant bit, LSB), welche kleiner skalierte Signale sind. Die MSB-Signale und die LSB-Signale werden an dem Ausgangs-Anschluss **114** kombiniert, um das analoge Ausgangssignal zu produzieren. Zur Vereinfachung der Darstellung sind in [Fig. 2](#) nur drei analoge Ausgangselemente **104A**, **104B** und **104C** zum Erzeugen der MSB-Signale und zwei analoge Ausgangselemente **104D** und **104E** zum Erzeugen von LSB-Signalen gezeigt. Jedoch kann die Anzahl von analogen Ausgangselementen, die in dem DAC **200** zum Erzeugen der benötigten MSB- und LSB-Signale zum Produzieren der analogen Ausgangssignale enthalten sind, wesentlich größer sein. Beispielsweise kann der DAC **200** 32 analoge Ausgangselemente zum Erzeugen der MSB-Signale und neun analoge Ausgangselemente zum Erzeugen der LSB-Signale für eine 14-Bit-Digital-Analog-Wandlung enthalten.

**[0025]** Um die Beschreibung zu vereinfachen, wurden die DACs **100** und **200** von [Fig. 1](#) und [Fig. 2](#) so dargestellt und beschrieben, dass sie zum Erzeugen eines einzelnen analogen Ausgangssignals für ein gegebenes digitales Eingangssignal konfiguriert sind. Jedoch können die DACs **100** und **200** modifiziert werden, um ein Paar von differentiellen analogen Ausgangssignalen für ein gegebenes digitales Eingangssignal zu erzeugen, was für bestimmte Anwendungen wünschenswert sein kann.

**[0026]** In [Fig. 3](#) sind ein analoges Ausgangselement **304** und ein Wiederabstastschalter **306** gemäß einer beispielhaften differentiellen Implementierung gezeigt. Das analoge Ausgangselement **304** und der Wiederabstastschalter **306** können in dem DAC **100** von [Fig. 1](#) oder dem DAC **200** von [Fig. 2](#) verwendet werden. Das analoge Ausgangselement **304** und der Wiederabstastschalter **306** sind so konfiguriert, dass sie differentielle analoge Signale  $I_{aus}$  und  $\overline{I_{aus}}$  unter Verwendung von  $\overline{D}$  und  $D$  und Wiederabstast-Taktsignalen,  $Clk$  und  $\overline{Clk}$  erzeugen. Das analoge Ausgangselement **304** umfasst differentiell verbundene bipolare Transistoren **316** und **318** und eine Stromquelle **320**. Die Emittoren der differentiell verbundenen Transistoren **316** und **318** sind mit der Stromquelle **320** verbunden. Die Basis des differentiell verbundenen Transistors **316** ist so verbunden, dass sie das codierte Signal  $D$  empfängt, während die Basis des differentiell verbundenen Transistors **318** so verbunden ist, dass sie das codierte Signal über  $\overline{D}$  empfängt. Die Stromquelle **320** umfasst einen bipolaren Transistor **322** und einen Widerstand **324**, die in Reihe mit einem Niedervolt-Anschluss **326** von beispielsweise  $-3,3\text{ V}$  verbunden sind. Die Basis des bipolaren Transistors **322** ist so verbunden, dass sie eine Vorspannung  $V_{Vorspannung}$  empfängt, die den Strom steuert, welcher durch den Transistor geleitet wird. Der bipolare Transistor **322** und der Widerstand **324** der Stromquelle **320** arbeiten so, dass sie einen feststehenden

Strom  $I_{Quelle}$  leiten, der die Werte  $I_{aus}$  und  $\overline{I_{aus}}$  definiert.

**[0027]** Die differentiell verbundenen Transistoren **316** und **318** des analogen Ausgangselementes **304** sind mit dem Wiederabstastschalter **306** verbunden, der bipolare Wiederabstast-Transistoren **328**, **330**, **332** und **334** umfasst. Die Emittoren der Wiederabstast-Transistoren **328** und **330** sind mit dem Kollektor des differentiell verbundenen Transistors **316** des analogen Ausgangselementes **304** verbunden, während die Emittoren der Wiederabstast-Transistoren **332** und **334** mit dem Kollektor des anderen differentiell verbundenen Transistors **318** des analogen Ausgangselementes verbunden sind. Der Kollektor des Wiederabstast-Transistors **328** ist außerdem mit einer Summierschaltung **208A** (nicht gezeigt) verbunden, um das differentielle analoge Signal  $\overline{I_{aus}}$  zu übertragen. Auf ähnliche Weise ist der Kollektor der Wiederabstast-Transistors **332** mit einer anderen Summierschaltung **208B** (nicht gezeigt) verbunden, um das differentielle analoge Signal  $\overline{I_{aus}}$  zu übertragen. Die Summierschaltungen **208A** und **208B** können identisch zu der Summierschaltung **208** von [Fig. 2](#) sein. Die Summierschaltungen **208A** und **208B** sind so konfiguriert, dass sie differentielle analoge Signale von den analogen Ausgangselementen empfangen, um differentielle analoge Ausgangssignale zu erzeugen. Die Wiederabstast-Transistoren **328** und **332** werden durch das Taktsignal  $Clk$  gesteuert, welches an die Basen der Transistoren **328** und **332** angelegt wird. Im Gegensatz dazu werden die Wiederabstast-Transistoren **330** und **334** durch das Taktsignal  $\overline{Clk}$  gesteuert, welches an die Basen der Transistoren **330** und **334** angelegt wird. Die Kollektoren der Wiederabstast-Transistoren **330** und **334** sind mit einem Spannungsanschluss **336**, beispielsweise dem Massepotential, verbunden, um Ströme von den Wiederabstast-Transistoren **330** und **334** abzuleiten, die durch Glitch-Übertragungen beeinträchtigt sein können, wenn das Taktsignal  $Clk$  hoch ist.

**[0028]** Obwohl die Transistoren des analogen Ausgangselementes **304** und des Wiederabstast-Schalters **306** als bipolare Transistoren dargestellt und beschrieben sind, können stattdessen auch andere Arten von Transistoren verwendet werden. Beispielsweise können die Transistoren des analogen Ausgangselementes **304** und des Wiederabstast-Schalters **306** Metalloxid-Halbleiter-Transistoren (MOS-Transistoren) sein. Alternativ können diese Transistoren auch eine Mischung von verschiedenen Arten von Transistoren sein.

**[0029]** In [Fig. 4](#) ist ein Zeitsteuerungsdiagramm für die Signale  $I_{aus}$ ,  $\overline{I_{aus}}$ ,  $Clk$  und  $D$  gezeigt. Diese Signale sind Beispiele, die den Betrieb des analogen Ausgangselementes **304** und des zugehörigen Wiederabstast-Schalters **306** illustrieren. Wie in dem Zeitsteuerungsdiagramm gezeigt ist, wird ein hohes differentielles Signal  $I_{aus}$  erzeugt, wenn sowohl das Taktsignal



Clk als auch das codierte Signal D hoch sind, während ein hohes differentielles Signal  $\overline{I_{aus}}$  erzeugt wird, wenn das Taktsignal Clk hoch ist und das codierte Signal D niedrig ist. Wie ferner in dem Zeitsteuerungsdiagramm gezeigt ist, ist das Taktsignal Clk zeitlich von dem codierten Signal D versetzt, so dass das codierte Signal D sich nur ändert, während das Taktsignal Clk niedrig ist. Daher haben die differentiellen analogen Signale  $I_{aus}$  und  $\overline{I_{aus}}$  die Gelegenheit, sich einzupendeln, bevor das Taktsignal Clk wieder ansteigt, was zu sauberen Ausgangspulsen führt.

**[0030]** Ein Verfahren zum Umwandeln digitaler Eingangssignale in analoge Ausgangssignale gemäß einer beispielhaften Ausführungsform wird unter Bezugnahme auf das Flussdiagramm von [Fig. 5](#) beschrieben. Im Block **502** werden digitale Eingangssignale einer digitalen Eingabe empfangen. Die eingegebenen digitalen Signale der digitalen Eingabe repräsentieren einen Wert. Als nächstes werden im Block **504** die digitalen Eingangssignale in codierte Signale übersetzt. Beispielsweise können die codierten Signale Thermometer-codierte Signale sein. Bei Block **506** werden unter Verwendung der codierten Signale analoge Teilsignale erzeugt. Die analogen Teilsignale können erzeugt werden, indem analoge Ausgangselemente unter Verwendung der codierten Signale als Antriebssignale selektiv aktiviert werden. Als nächstes wird bei Block **508** die Übertragung der analogen Teilsignale reguliert. Beispielsweise kann eine Anzahl von Wiederabtastschaltern verwendet werden, um die Übertragung der analogen Teilsignale zu regulieren, indem die Wiederabtastschalter unter Verwendung eines Taktsignals gleichzeitig geschlossen und geöffnet werden, um die analogen Teilsignale gleichzeitig zu übertragen, wodurch Glitches in dem resultierenden Ausgangssignal verringert oder eliminiert werden können, ohne eine Schalter-Nichtlinearität einzuführen. Das Taktsignal sollte zeitlich von den Übergängen in dem digitalen Eingangssignal versetzt sein, so dass die relevanten elektrischen Signale Gelegenheit haben, sich einzupendeln, wenn die Schalter offen sind. Bei Block **510** werden die analogen Teilsignale empfangen und unter Verwendung eines vordefinierten Schemas kombiniert, um ein analoges Ausgangssignal zu erzeugen, welches eine analoge Repräsentierung des digitalen Eingangssignals darstellt. Beispielsweise können die analogen Teilsignale unter Verwendung von segmentierten Standard-Kombinationsschemata unter Verwendung einer R-2R-Struktur kombiniert werden.

### Patentansprüche

1. Digital-Analog-Wandler, umfassend:  
Analog-Ausgangselemente (**104A**, **104B**, **104C**, **104D**, **104E**; **304**), die in Abhängigkeit eines digitalen Eingangssignals gezielt analoge Teilsignale erzeugen;

eine Summierschaltung (**108**; **208**; **208A**, **208B**), die mit den Analog-Ausgangselementen verbunden ist und die analogen Teilsignale kombiniert, um ein analoges Ausgangssignal zu erzeugen;  
Wiederabtastschalter (**106**; **306**), die die Übertragung der analogen Teilsignale von den Analog-Ausgangselementen zu der Summierschaltung regulieren, wobei die Wiederabtastschalter (**106**; **306**) verbunden sind, um beim Empfang eines Taktsignals simultan die analogen Teilsignale von den Analog-Ausgangselementen (**104A**, **104B**, **104C**, **104D**, **104E**; **304**) zur Summierschaltung (**108**; **208**; **208A**, **208B**) zu übertragen;

**dadurch gekennzeichnet** dass die Wiederabtastschalter (**106**; **306**) zwischen den Analog-Ausgangselementen und der Summierschaltung angeschlossen sind.

2. Wandler nach Anspruch 1, wobei jedes der Analog-Ausgangselemente (**104A**, **104B**, **104C**, **104D**, **104E**; **304**) durch einen unterschiedlichen Wiederabtastschalter (**106**; **306**) von den Wiederabtastschaltern mit der Summierschaltung (**108**; **208**; **208A**, **208B**) verbunden ist.

3. Wandler nach Anspruch 1 oder 2, wobei jedes der Analog-Ausgangselemente (**104A**, **104B**, **104C**, **104D**, **104E**; **304**) äquivalente Signale erzeugt.

4. Wandler nach einem der vorstehenden Ansprüche, wobei wenigstens eines der Analog-Ausgangselemente (**104A**, **104B**, **104C**, **104D**, **104E**; **304**) einen Transistor (**316**, **318**) und eine Stromquelle (**320**) enthält, die mit einem der Wiederabtastschalter (**106**; **306**) und einem Spannungsanschluss (**326**) in Reihe geschaltet sind.

5. Verfahren zur Digital-Analog-Umwandlung, bei dem:  
ein digitales Eingangssignal empfangen wird (**502**);  
in Abhängigkeit dieses digitalen Eingangssignals unter Verwendung von Analog-Ausgangselementen analoge Teilsignale erzeugt werden (**504**);  
die Übertragung der analogen Teilsignale reguliert wird (**508**); und  
die übertragenen Teilsignale empfangen und unter Verwendung einer Summierschaltung (**108**; **208**; **208A**, **208B**) zu einem analogen Ausgangssignal zusammengefügt werden (**510**), das eine analoge Entsprechung des digitalen Eingangssignals darstellt, dadurch gekennzeichnet, dass die Regulierung (**508**) der Übertragung der analogen Teilsignale die Aktivierung mehrerer Wiederabtastschalter (**106**; **306**) zwischen den Analog-Ausgangselementen und der Summierschaltung unter Verwendung eines Taktsignals beinhaltet, um die analogen Teilsignale gleichzeitig zu übertragen.

6. Verfahren nach Anspruch 5, wobei bei der Regulierung (**508**) der Übertragung der analogen Teilsignale

gnale wenigstens zwei der analogen Teilsignale zunächst vereint und dann gemeinsam durch einen der Wiederabtastschalter (**106**; **306**) übertragen werden.

7. Verfahren nach Anspruch 5 oder 6, wobei die mehreren Wiederabtastschalter (**106**; **306**) gleichzeitig aktiviert werden, um die analogen Teilsignale gleichzeitig zu übertragen.

Es folgen 4 Blatt Zeichnungen



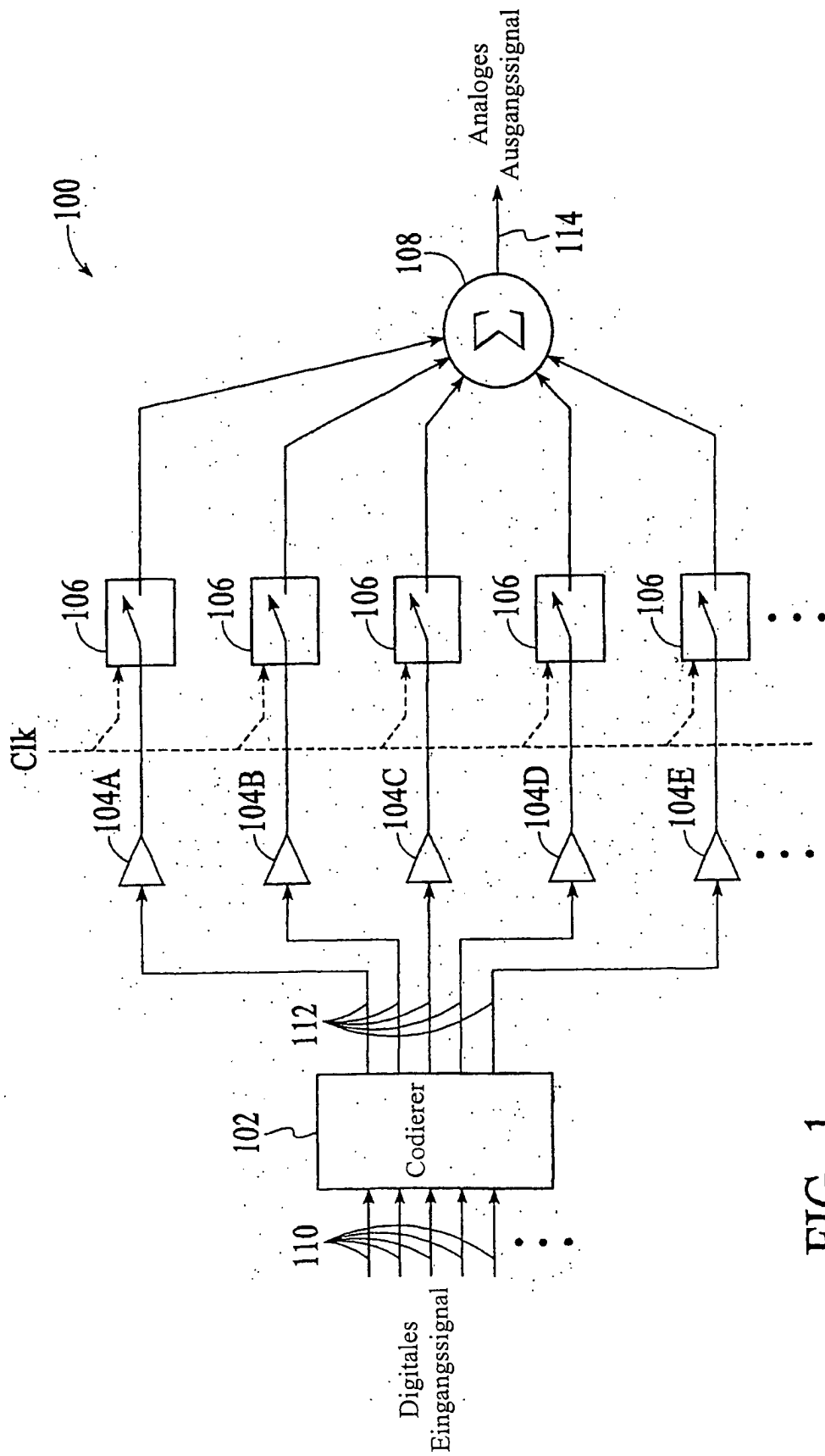


FIG. 1

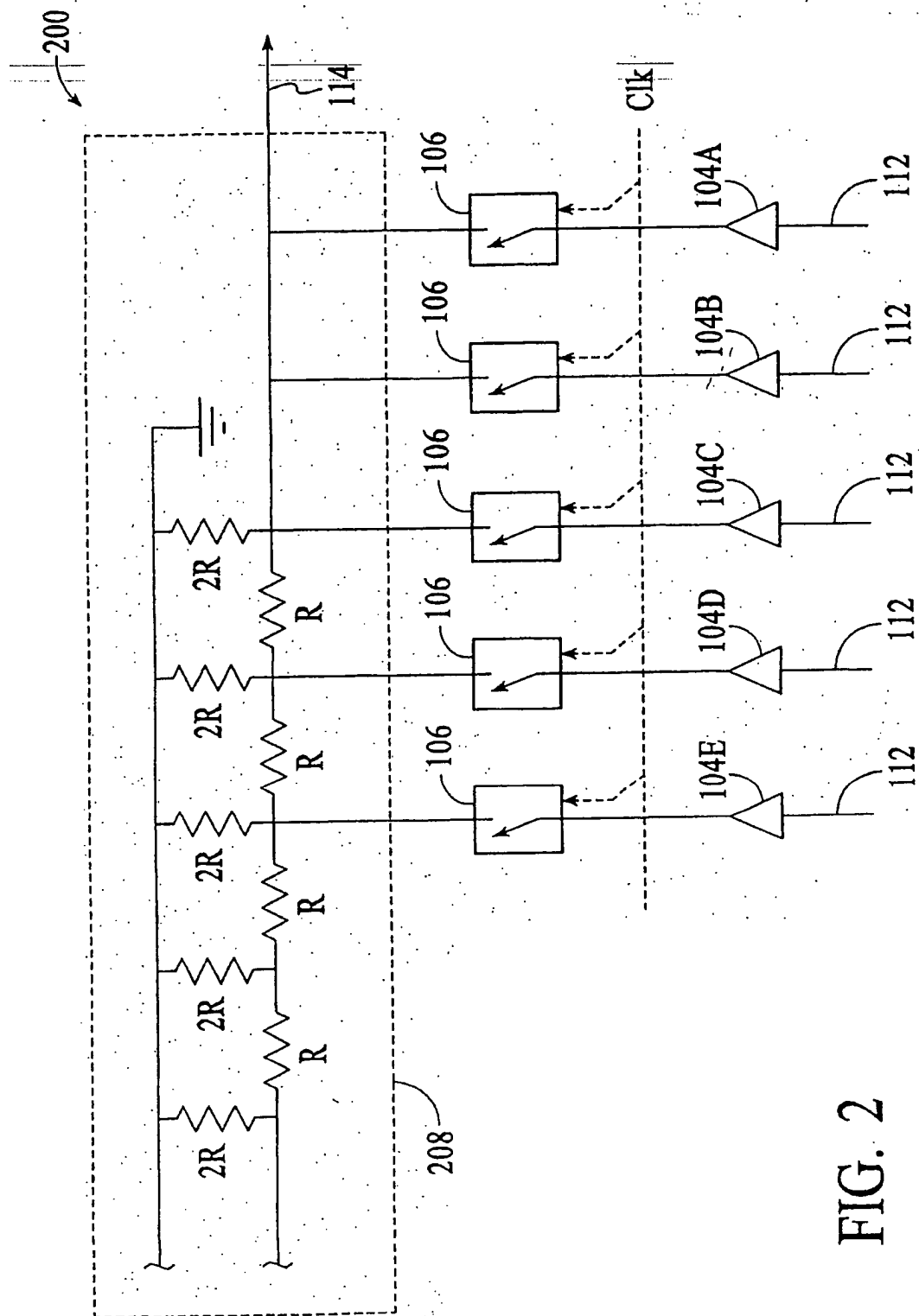


FIG. 2

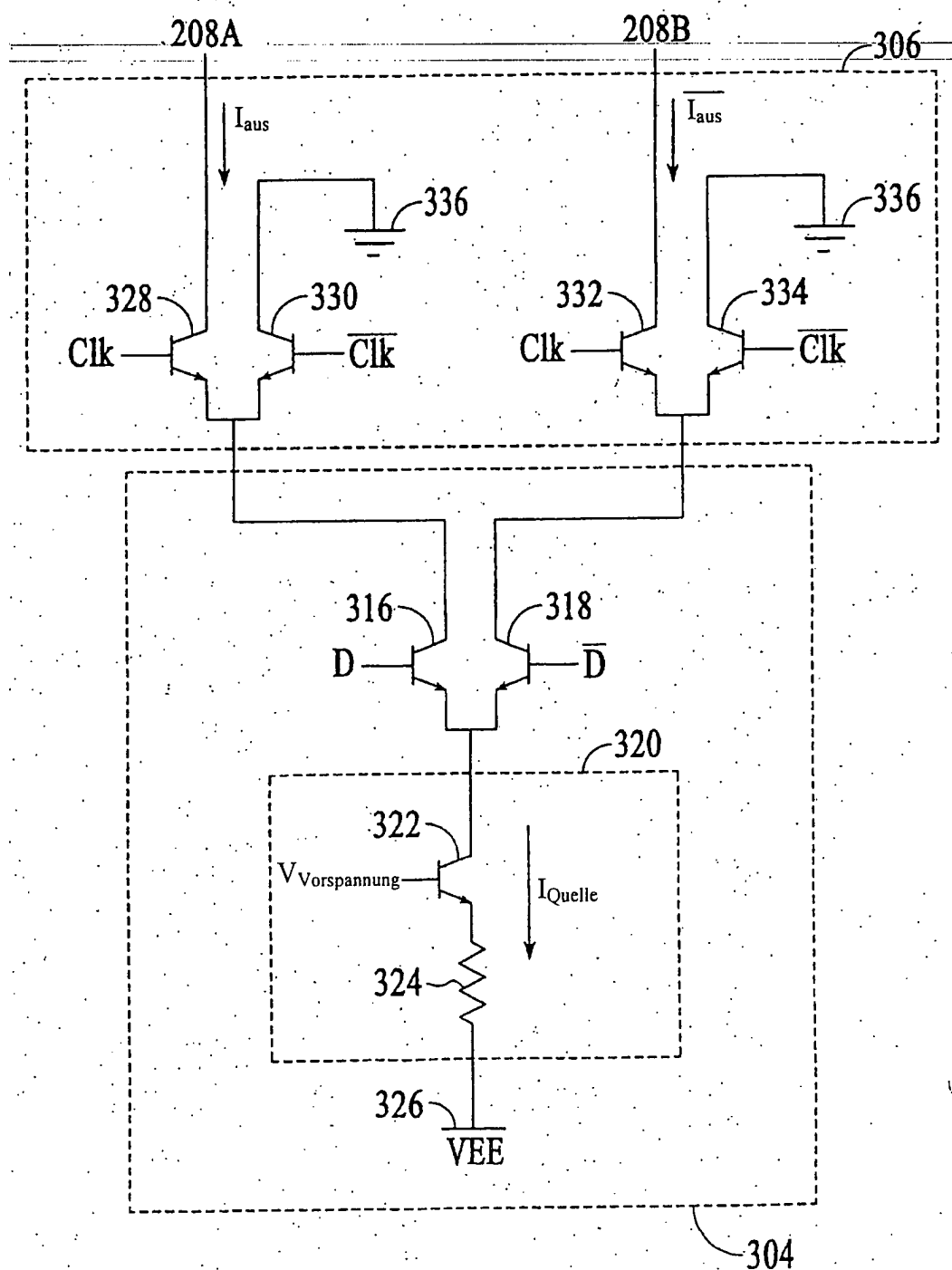


FIG. 3

FIG. 4

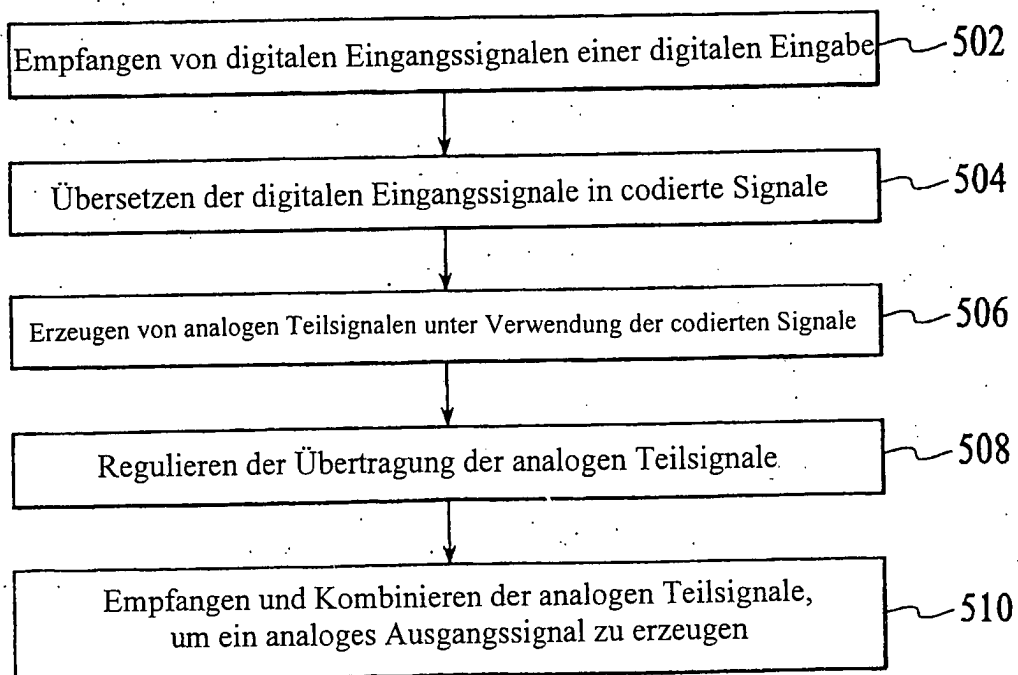
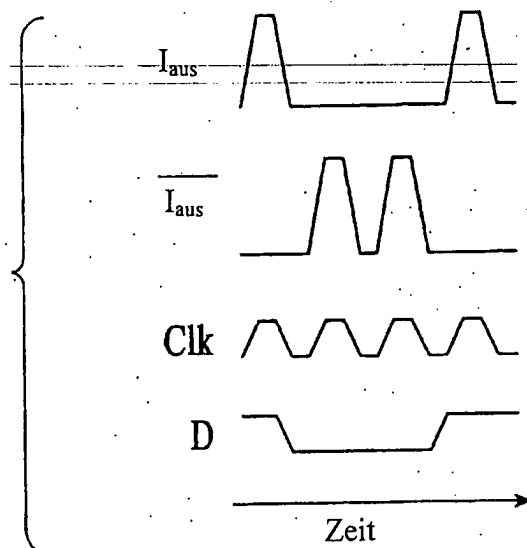


FIG. 5