

1. 一种通信的方法,所述方法包括:
接收要被编码的信息;
确定用于所接收的信息的码块大小;
确定与小于所述码块大小的最大的二的幂整数相对应的二的幂的块大小;
确定所述码块大小与所述二的幂的块大小之间的差值;
选择用于对所接收的信息进行编码的速率匹配,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于所述差值的;以及
使用所选择的速率匹配对所接收的信息进行块编码。
2. 根据权利要求1所述的方法,还包括:
计算所述二的幂的块大小的分数;以及
比较所述差值与所述分数,
其中,对所述速率匹配的所述选择是基于所述比较的。
3. 根据权利要求2所述的方法,其中,对所述速率匹配的所述选择包括:
如果所述比较指示所述差值小于所述分数,则选择基于重复的速率匹配;或
如果所述比较指示所述差值大于或等于所述分数,则选择基于打孔的速率匹配。
4. 根据权利要求1所述的方法,其中,所选择的速率匹配是所述基于打孔的速率匹配,并且所述块编码包括:
基于所述二的幂的块大小的两倍来生成块编码数据;以及
对所生成的块编码数据的比特进行打孔。
5. 根据权利要求4所述的方法,其中,所述对所生成的块编码数据的比特进行打孔包括:对等于所述二的幂的块大小的两倍与所述码块大小之间的差值的数量的比特进行打孔。
6. 根据权利要求1所述的方法,其中,所述块编码包括极化编码。
7. 一种用于通信的装置,包括:
存储器;以及
处理器,其被耦合到所述存储器,
所述处理器和所述存储器被配置为:
接收要被编码的信息;
确定用于所接收的信息的码块大小;
确定与小于所述码块大小的最大的二的幂整数相对应的二的幂的块大小;
确定所述码块大小与所述二的幂的块大小之间的差值;
选择用于对所接收的信息进行编码的速率匹配,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于所述差值的;以及
使用所选择的速率匹配对所接收的信息进行块编码。
8. 根据权利要求7所述的装置,其中,所述处理器和所述存储器还被配置为:
计算所述二的幂的块大小的分数;以及
比较所述差值与所述分数,
其中,对所述速率匹配的所述选择是基于所述比较的。
9. 根据权利要求8所述的装置,其中,对所述速率匹配的所述选择包括:

如果所述比较指示所述差值小于所述分数,则选择基于重复的速率匹配;或
如果所述比较指示所述差值大于或等于所述分数,则选择基于打孔的速率匹配。

10. 根据权利要求7所述的装置,其中,所选择的速率匹配是所述基于打孔的速率匹配,并且所述块编码包括:

基于所述二的幂的块大小的两倍来生成块编码数据;以及
对所生成的块编码数据的比特进行打孔。

11. 根据权利要求10所述的装置,其中,所述对所生成的块编码数据的比特进行打孔包括:对等于所述二的幂的块大小的两倍与所述码块大小之间的差值的数量的比特进行打孔。

12. 根据权利要求7所述的装置,其中,所述块编码包括极化编码。

13. 一种用于通信的装置,所述装置包括:

用于接收要被编码的信息的单元;

用于确定用于所接收的信息的码块大小的单元;

用于确定与小于所述码块大小的最大的二的幂整数相对应的二的幂的块大小的单元;

用于确定所述码块大小与所述二的幂的块大小之间的差值的单元;

用于选择用于对所接收的信息进行编码的速率匹配的单元,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于所述差值的;以及

用于使用所选择的速率匹配对所接收的信息进行块编码的单元。

14. 根据权利要求13所述的装置,还包括:

用于计算所述二的幂的块大小的分数的单元;以及

用于比较所述差值与所述分数的单元,

其中,对所述速率匹配的所述选择是基于所述比较的。

15. 根据权利要求14所述的装置,其中,对所述速率匹配的所述选择包括:

如果所述比较指示所述差值小于所述分数,则选择基于重复的速率匹配;或

如果所述比较指示所述差值大于或等于所述分数,则选择基于打孔的速率匹配。

16. 根据权利要求13所述的装置,其中,所选择的速率匹配是所述基于打孔的速率匹配,并且所述块编码包括:

基于所述二的幂的块大小的两倍来生成块编码数据;以及

对所生成的块编码数据的比特进行打孔。

17. 根据权利要求16所述的装置,其中,等于所述二的幂的块大小的两倍与所述码块大小之间的差值的数量的比特是在所生成的块编码数据中被打孔的。

18. 根据权利要求13所述的装置,其中,所述块编码包括极化编码。

19. 一种存储计算机可执行代码的非暂时性计算机可读介质,包括用于进行以下操作的代码:

接收要被编码的信息;

确定用于所接收的信息的码块大小;

确定与小于所述码块大小的最大的二的幂整数相对应的二的幂的块大小;

确定所述码块大小与所述二的幂的块大小之间的差值;

选择用于对所接收的信息进行编码的速率匹配,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于所述差值的;以及使用所选择的速率匹配对所接收的信息进行块编码。

20. 一种通信的方法,所述方法包括:

接收要被编码的信息;

确定用于所接收的信息的码块大小;

通过识别小于所述码块大小的最大的二的幂整数来确定二的幂的块大小;

确定所述码块大小与所述二的幂的块大小之间的差值;

基于所述差值选择基于重复的速率匹配;

根据所述二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据;

生成重复模式;

基于所述重复模式获得经编码比特;以及

通过将所述经编码比特添加到所述第一块编码数据来生成第二块编码数据。

21. 根据权利要求20所述的方法,其中,对所述重复模式的所述生成包括:

生成第一重复模式;以及

基于所述第一重复模式的比特反转置换来生成第二重复模式。

22. 根据权利要求21所述的方法,其中,所述经编码比特是从由所述第二重复模式指示的位置获得的。

23. 根据权利要求20所述的方法,其中,所述重复模式由与所述码块大小相对应的数量的比特组成。

24. 根据权利要求20所述的方法,其中,对所述重复模式的所述生成包括:在所述重复模式中包括等于所述码块大小与所述二的幂的块大小之间的所述差值的数量的一。

25. 根据权利要求24所述的方法,其中,基于所述重复模式对所述经编码比特的所述获得包括:

获得基于所述码块大小与所述二的幂的块大小之间的所述差值的数量的经编码比特。

26. 根据权利要求20所述的方法,其中,所述块编码包括极化编码。

27. 一种用于通信的装置,所述装置包括:

存储器;以及

处理器,其被耦合到所述存储器,

所述处理器和所述存储器被配置为:

接收要被编码的信息;

确定用于所接收的信息的码块大小;

通过识别小于所述码块大小的最大的二的幂整数来确定二的幂的块大小;

确定所述码块大小与所述二的幂的块大小之间的差值;

基于所述差值选择基于重复的速率匹配;

根据所述二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据;

生成重复模式;

基于所述重复模式获得经编码比特;以及

通过将所述经编码比特添加到所述第一块编码数据来生成第二块编码数据。

28. 根据权利要求27所述的装置, 其中, 对所述重复模式的所述生成包括:

对第一重复模式的生成; 以及

基于所述第一重复模式的比特反转替换的对第二重复模式的生成。

29. 根据权利要求28所述的装置, 其中, 所述经编码比特是从由所述第二重复模式指示的位置获得的。

30. 根据权利要求27所述的装置, 其中, 所述重复模式由与所述码块大小相对应的数量的比特组成。

31. 根据权利要求27所述的装置, 其中, 对所述重复模式的所述生成包括: 在所述重复模式中包括等于所述码块大小与所述二的幂的块大小之间的所述差值的数量的一。

32. 根据权利要求31所述的装置, 其中, 为了基于所述重复模式获得所述经编码比特, 所述处理器和所述存储器还被配置为:

获得基于所述码块大小与所述二的幂的块大小之间的所述差值的数量的经编码比特。

33. 根据权利要求27所述的装置, 其中, 所述块编码包括极化编码。

34. 一种用于通信的装置, 所述装置包括:

用于接收要被编码的信息的单元;

用于确定用于所接收的信息的码块大小的单元;

用于通过识别小于所述码块大小的最大的二的幂整数来确定二的幂的块大小的单元;

用于确定所述码块大小与所述二的幂的块大小之间的差值的单元;

用于基于所述差值选择基于重复的速率匹配的单元;

用于根据所述二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据的单元;

用于生成重复模式的单元;

用于基于所述重复模式获得经编码比特的单元; 以及

用于通过将所述经编码比特添加到所述第一块编码数据来生成第二块编码数据的单元。

35. 根据权利要求34所述的装置, 其中, 对所述重复模式的所述生成包括:

对第一重复模式的生成; 以及

基于所述第一重复模式的比特反转替换的对第二重复模式的生成。

36. 根据权利要求35所述的装置, 其中, 所述经编码比特是从由所述第二重复模式指示的位置获得的。

37. 根据权利要求34所述的装置, 其中, 所述重复模式由与所述码块大小相对应的数量的比特组成。

38. 根据权利要求34所述的装置, 其中, 对所述重复模式的所述生成包括: 在所述重复模式中包括等于所述码块大小与所述二的幂的块大小之间的所述差值的数量的一。

39. 根据权利要求38所述的装置, 其中, 为了基于所述重复模式获得所述经编码比特, 所述用于获得的单元被配置为:

获得基于所述码块大小与所述二的幂的块大小之间的所述差值的数量的经编码比特。

40. 根据权利要求34所述的装置, 其中, 所述块编码包括极化编码。

41. 一种存储计算机可执行代码的非暂时性计算机可读介质, 包括用于进行以下操作

的代码：

接收要被编码的信息；

确定用于所接收的信息的码块大小；

通过识别小于所述码块大小的最大的二的幂整数来确定二的幂的块大小；

确定所述码块大小与所述二的幂的块大小之间的差值；

基于所述差值选择基于重复的速率匹配；

根据所述二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据；

生成重复模式；

基于所述重复模式获得经编码比特；以及

通过将所述经编码比特添加到所述第一块编码数据来生成第二块编码数据。

用于块编码的速率匹配

[0001] 相关申请的交叉引用

[0002] 本申请要求享受于2016年8月10日提交的专利合作条约申请PCT/CN2016/094374号的优先权和利益,通过引用的方式将该申请的全部内容并入本文。

技术领域

[0003] 本文描述的各个方面涉及无线通信,并且更具体地但不排他地,涉及用于块编码的速率匹配技术。

背景技术

[0004] 无线通信系统可以使用纠错码来促进数字消息在有噪声的信道上的可靠传输。块码是一种纠错码。在典型的块码中,信息消息或序列被分割成块,并且发送设备处的编码器用数学方法向信息消息添加冗余。在经编码信息消息中利用这种冗余提高了消息的可靠性,使能够校正由于噪声而可能出现的比特错误。也就是说,接收设备处的解码器能够利用冗余来可靠地恢复信息消息,即使部分由于由信道添加的噪声而可能发生比特错误。

[0005] 纠错块码的示例包括汉明码、博斯-乔赫里-霍克文黑姆(Bose-Chauduri-Hockengheim) (BCH) 码、以及涡轮(turbo)码等。许多现有的无线通信网络利用这样的块码,例如利用涡轮码的3GPP LTE网络、以及IEEE 802.11n Wi-Fi网络。

[0006] 实践中,用来传送(例如,发送)经编码数据的资源元素的大小可能与块码的块大小不匹配。这可能会对解码复杂度和/或性能产生负面影响。因此,存在对用于块编码信息的高效技术的需求。

发明内容

[0007] 以下内容给出了本公开内容的一些方面的简化的概述,以提供对这样的方面的基本理解。本概述不是对本公开内容的所有预期的特征的全面概括,并且既不旨在标识本公开内容的所有方面的关键或重要元素,也不旨在描绘本公开内容的任何或所有方面的范围。其唯一目的是以简化的形式给出本公开内容的一些方面的各种概念,作为稍后给出的更详细描述的前言。

[0008] 在一个方面中,本公开内容提供了一种被配置用于通信的装置,其包括存储器和耦合到存储器的处理器。所述处理器和所述存储器被配置为:接收要被编码的信息;确定用于所接收的信息的码块大小;选择用于对所接收的信息进行编码的速率匹配,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于码块大小的;以及使用所选择的速率匹配对所接收的信息进行块编码。

[0009] 本公开内容的另一方面提供了一种用于通信的方法,所述方法包括:接收要被编码的信息;确定用于所接收的信息的码块大小;选择用于对所接收的信息进行编码的速率匹配,其中,所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的,并且其中,所述选择是基于码块大小的;以及使用所选择的速率匹配对所接收的信息进行块编码。

[0010] 本公开内容的另一方面提供了一种被配置用于通信的装置。所述装置包括：用于接收要被编码的信息的单元；用于确定用于所接收的信息的码块大小的单元；用于选择用于对所接收的信息进行编码的速率匹配的单元，其中，所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的，并且其中，所述选择是基于码块大小的；以及用于使用所选择的速率匹配对所接收的信息进行块编码的单元。

[0011] 本公开内容的另一方面提供了一种存储计算机可执行代码的非暂时性计算机可读介质，包括用于进行以下操作的代码：接收要被编码的信息；确定用于所接收的信息的码块大小；选择用于对所接收的信息进行编码的速率匹配，其中，所述选择是在基于重复的速率匹配与基于打孔的速率匹配之间的，并且其中，所述选择是基于码块大小的；以及使用所选择的速率匹配对所接收的信息进行块编码。

[0012] 在一个方面中，本公开内容提供了一种被配置用于通信的装置，其包括存储器和耦合到存储器的处理器。所述处理器和所述存储器被配置为：接收要被编码的信息；对所接收的信息进行块编码以生成第一块编码数据；生成重复模式；基于所述重复模式获得经编码比特；以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0013] 本公开内容的另一方面提供了一种用于通信的方法，所述方法包括：接收要被编码的信息；对所接收的信息进行块编码以生成第一块编码数据；生成重复模式；基于所述重复模式获得经编码比特；以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0014] 本公开内容的另一方面提供了一种被配置用于通信的装置。所述设备包括：用于接收要被编码的信息的单元；用于对所接收的信息进行块编码以生成第一块编码数据的单元；用于生成重复模式的单元；用于基于所述重复模式获得经编码比特的单元；以及用于通过将经编码比特添加到第一块编码数据来生成第二块编码数据的单元。

[0015] 本公开内容的另一方面提供了一种存储计算机可执行代码的非暂时性计算机可读介质，包括用于进行以下操作的代码：接收要被编码的信息；对所接收的信息进行块编码以生成第一块编码数据；生成重复模式；基于所述重复模式获得经编码比特；以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0016] 在阅读下文的具体实施方式时，本公开内容的这些方面和其它方面将被更加充分地理解。对于本领域普通技术人员而言，在结合附图阅读本公开内容的对具体的实现方式的以下描述时，本公开内容的其它方面、特征、以及实现方式将变得显而易见。虽然本公开内容的特征可以关于下文的某些实现方式和附图来进行论述，但是本公开内容的所有实现方式可以包括本文论述的有利的特征中的一个或多个有利的特征。换句话说，虽然一个或多个实现方式可以被论述为具有某些有利的特征，但是也可以根据本文论述的本公开内容的各种实现方式来使用这样的特征中的一个或多个特征。以类似的方式，虽然某些实现方式可以在下文作为设备、系统、或方法实现方式来论述，但是应该理解的是，这样的实现方式可以在各种设备、系统、以及方法中实现。

附图说明

[0017] 给出附图是为了帮助描述本公开内容的各方面，并且提供附图仅仅是为了说明各方面，而不是对其进行限制。

- [0018] 图1是其中可以使用本公开内容的方面的示例通信系统的框图。
- [0019] 图2是其中可以使用本公开内容的方面的示例通信设备的框图。
- [0020] 图3是根据本公开内容的一些方面的示例编码器的框图。
- [0021] 图4是根据本公开内容的一些方面的示例编码过程的流程图。
- [0022] 图5是根据本公开内容的一些方面的示例性基于重复的过程的流程图。
- [0023] 图6是根据本公开内容的一些方面的第一示例仿真的曲线图。
- [0024] 图7是根据本公开内容的一些方面的第二示例仿真的曲线图。
- [0025] 图8是根据本公开内容的一些方面的第三示例仿真的曲线图。
- [0026] 图9是示出了根据本公开内容的一些方面的用于能够支持编码的装置(例如,电子设备)的示例硬件实现方式的框图。
- [0027] 图10是示出了根据本公开内容的一些方面的利用速率匹配的编码过程的示例的流程图。
- [0028] 图11是示出了根据本公开内容的一些方面的速率匹配过程的示例的流程图。
- [0029] 图12是示出了根据本公开内容的一些方面的速率匹配过程的示例的流程图。
- [0030] 图13是示出了根据本公开内容的一些方面的用于能够支持编码的另一装置(例如,电子设备)的示例硬件实现方式的框图。
- [0031] 图14是示出了根据本公开内容的一些方面的基于重复的编码过程的示例的流程图。
- [0032] 图15是示出了根据本公开内容的一些方面的另一种基于重复的编码过程的示例的流程图。
- [0033] 图16是示出了根据本公开内容的一些方面的用于生成重复模式的过程的示例的流程图。

具体实施方式

[0034] 本公开内容的各个方面涉及用于块编码器的速率匹配技术。在一些方面中,基于正在被编码的信息的块大小,做出关于是使用基于重复的速率匹配还是基于打孔的速率匹配以用于编码的决定。例如,如果重复比特的数量相对较少,则可以使用基于重复的速率匹配。否则,可以使用基于打孔的速率匹配。此外,在一些方面中,用于编码的基于重复的速率匹配可以使用比特反转置换技术。

[0035] 在一些实现方式中,如本文讲解的块编码器可以使用极化(polar)码。例如,极化码可以用于5G信道编码。

[0036] 下文结合附图阐述的具体实施方式旨在作为对各种配置的描述,而不是旨在表示在其中可以实践本文描述的概念的唯一配置。为了提供对各种概念的透彻理解,具体实施方式包括具体细节。然而,对于本领域技术人员而言将显而易见的是,可以在没有这些具体细节的情况下实践这些概念。此外,在不脱离本公开内容的范围的情况下,可以设计替代配置。另外地,将不详细描述或将省略公知的元素,以便不模糊本公开内容的相关细节。

[0037] 贯穿本公开内容给出的各种概念可以在各种各样的电信系统、网络架构、以及通信标准中来实现。例如,第三代合作伙伴计划(3GPP)是一个标准机构,其定义了针对涉及演进分组系统(EPS)的网络(常常被称为长期演进(LTE)网络)的若干无线通信标准。LTE网络

的演进版本(例如第五代(5G)网络),可以提供许多不同类型的服务或应用,包括但不限于网页浏览、视频流式传输、VoIP、任务关键型应用、多跳网络、具有实时反馈的远程操作(例如远程手术)等。因此,本文的讲解能够根据各种网络技术来实现,所述各种网络技术包括但不限于5G技术、第四代(4G)技术、第三代(3G)技术、以及其它网络架构。此外,本文描述的技术可以被用于下行链路、上行链路、对等链路、或某些其它类型的链路。

[0038] 使用的实际电信标准、网络架构、和/或通信标准将取决于具体应用和施加在系统上的总体设计约束。出于说明的目的,以下内容可以描述5G系统和/或LTE系统的上下文中的各个方面。然而,应当意识到的是,本文的讲解也可以被用在其它系统中。因此,在5G和/或LTE术语的上下文中对功能的引用应当被理解为同样地适用于其它类型的技术、网络、组件、信令等。

[0039] 示例通信系统

[0040] 图1示出了无线通信系统100的示例,其中用户设备(UE)能够通过无线通信信令与其它设备通信。例如,第一UE 102和第二UE 104可以使用由TRP 106和/或其它网络组件(例如,核心网108、互联网服务提供商(ISP) 110等)管理的无线通信资源与发送接收点(TRP) 106通信。在一些实现方式中,系统100的组件中的一个或多个组件可以经由设备到设备(D2D)链路112或某种其它类似类型的直接链路与彼此直接地通信。

[0041] 在系统100的组件中的两个或更多个组件之间信息的通信可以涉及对信息进行编码。例如,TRP 106可以对TRP 106发送到UE 102或UE 104的数据或控制信息进行编码。作为另一示例,UE 102可以对UE 102发送到TRP 106或UE 104的数据或控制信息进行编码。所述进行编码可以涉及块编码,例如极化编码。根据本文的讲解,UE 102、UE 104、TRP 106、或系统100的某种其它组件中的一项或多项可以包括利用速率匹配和/或重复的块编码器114。

[0042] 在不同的实现方式中,无线通信系统100的组件和链路可以采取不同的形式。例如并且不限于,UE可以是蜂窝设备、物联网(IoT)设备、蜂窝IoT(CIoT)设备、LTE无线蜂窝设备、机器类型通信(MTC)蜂窝设备、智能报警器、远程传感器、智能电话、移动电话、智能仪表、个人数字助理(PDAs)、个人计算机、网状节点、以及平板计算机。

[0043] 在一些方面中,TRP可以指代整合了用于特定物理小区的无线头端功能的物理实体。在一些方面中,TRP可以包括具有基于正交频分复用(OFDM)的空中接口的5G新无线电(NR)功能。举例而言而非进行限制,NR可以支持增强型移动宽带(eMBB)、任务关键型服务、以及IoT设备的大规模部署。TRP的功能可以在一个或多个方面相似于(或被并入至)CIoT基站(C-BS)、节点B(NodeB)、演进型节点B(eNodeB)、无线接入网(RAN)接入节点、无线网络控制器(RNC)、基站(BS)、无线基站(RBS)、基站控制器(BSC)、基站收发机(BTS)、收发机功能(TF)、无线收发机、无线路由器、基本服务集(BSS)、扩展服务集(ESS)、宏小区、宏节点、家庭eNB(HeNB)、毫微微小区、毫微微节点、微微节点、或某种其它合适实体的功能。在不同的场景中(例如NR、LTE等),TRP可以被称为g节点B(gNB)、eNB、基站,或使用其它术语来引用。

[0044] 无线通信系统100中可以支持各种类型的网络到设备链路和D2D链路。例如,D2D链路可以包括但不限于机器对机器(M2M)链路、MTC链路、车辆对车辆(V2V)链路、以及车辆对万物(V2X)链路。网络到设备链路可以包括但不限于上行链路(或反向链路)、下行链路(或前向链路)以及车辆对网络(V2N)链路。

[0045] 示例通信组件

[0046] 图2是包括可以使用本文的讲解的第一无线通信设备202和第二无线通信设备204的无线通信系统200的示意图。在一些实现方式中,第一无线通信设备202或第二无线通信设备204可以对应于图1的UE 102、UE 104、或TRP 106。

[0047] 在所示出的示例中,第一无线通信设备202通过通信信道206(例如,无线信道)向第二无线通信设备204发送消息。为了提供数字消息的可靠通信,这样的方案中必须解决的一个问题是考虑影响通信信道206的噪声208。

[0048] 块码或纠错码常常被用来在有噪声的信道上提供可靠的消息传输。在典型的块码中,来自位于第一(发送)无线通信设备202处的信息源210的信息消息或序列被分割成块,每个块具有K比特的长度。编码器212用数学方法向信息消息添加冗余,产生长度为N的码字,其中 $N > K$ 。这里,码率R是消息长度与块长度之间的比率(即 $R = K/N$)。利用经编码信息消息中的此冗余是在第二(接收)无线通信设备204处可靠地接收所发送的消息的关键,由此,冗余使得能够校正由于在所发送的消息上施加的噪声208而可能发生的比特错误。也就是说,第二(接收)无线通信设备204处的解码器214能够利用冗余来可靠地恢复提供给信息宿216的信息消息,即使部分由于向信道206添加了噪声208而可能出现比特错误。

[0049] 这样的纠错块码的许多示例对于本领域普通技术人员来说是已知的,包括汉明码、博斯-乔赫里-霍克文黑姆(Bose-Chaudhuri-Hockengheim) (BCH) 码、以及涡轮(turbo)码等。一些现有的无线通信网络利用这样的块码。例如,3GPP LTE网络可以使用涡轮码。然而,对于未来的网络,一种被称为极化码的新型块码给出了针对可靠的和高效的信息传递的潜在机会,其具有相对于其它码的提高了的性能。

[0050] 极化码是线性块纠错码,其中信道极化是利用定义极化码的递归算法生成的。极化码是实现对称二进制输入离散无记忆信道的信道容量的第一显式码。也就是说,极化码实现了信道容量(香农极限)或者在存在噪声的情况下在给定带宽的离散无记忆信道上能够发送的无差错信息量上的理论上限。这个容量能够通过简单的连续消除(SC)解码器来实现。

[0051] 极化码可以被认为是块码(N,K),其中N是码块大小,并且K是信息比特的数量。信息比特的数量K是可变的。虽然对于编码器212来说能够选择信息比特K的数量将是灵活的,但是对于极化码,码字长度N是二的幂(例如,256、512、1024等),这是因为极化矩阵的初始结构是基于 $\begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 的克罗内克(Kronecker)积。

[0052] 在一些方面中,本公开内容涉及用于极化码的速率匹配,以支持输入数据的可变的块大小和用于极化码的二的幂的块大小。换句话说,为了支持实际的系统中的可变大小的资源,与极化编码一起使用的块大小可以适用于资源大小。

[0053] 打孔是可以被用来从具有为二的幂的块大小的码字获得具有不是二的幂的块大小的码字的一种技术。如本文使用的,术语打孔可以指代例如通过省略(例如,消除)初始块的比特中的一些比特来减小块的大小,而术语重复可以指代例如通过重复(例如,添加)初始块的比特中的一些比特来增加块的大小。在实践中,由于这样的检索涉及相对较大的计算复杂度,因此针对最佳的打孔模式进行穷举的检索可能是不实际的。因此,可以改为使用均匀打孔。

[0054] 对于极化码,对经编码比特的一半进行打孔的性能与对具有初始的经编码比特的

长度的一半的码的性能相同。然而,后者的解码复杂度只有前者的一半。这表明当打孔比特的数量接近初始的经编码比特的一半时,打孔方案是效率不高的。在这种情况下,打孔的解码复杂度与初始的码相同,具有非常小的性能增益。

[0055] 根据本文的讲解,可以使用重复而不是打孔来从具有为二的幂的块大小的码字获得具有不是二的幂的块大小的码字。在一些方面中,当打孔比特的数量可能接近(或小于)初始的比特的一半时,重复可以在解码复杂度和性能之间提供期望的权衡。在这种情况下,重复的解码复杂度是初始的码的一半,与均匀打孔方案相比有非常小的性能下降。

[0056] 再次参考图2,为了生成用于第一传输的经编码数据,编码器212可以包括选择速率匹配的功能218和对数据进行编码的功能220(例如,生成码字)。在一些方面中,选择速率匹配的功能218根据由编码使用的块大小来选择要使用的速率匹配的类型(例如,重复或打孔)。为此,选择速率匹配的功能218可以包括确定码块大小的功能228和基于码块大小选择速率匹配类型的功能。

[0057] 编码器212分别使用打孔模式或重复模式来打孔或重复经编码数据(例如码字),并且将作为结果的数据通过通信信道206进行发送。为此,编码器212可以包括打孔或重复经编码数据的功能222。对于重复操作,打孔或重复经编码数据的功能222可以包括生成重复模式的功能232、基于重复模式获得经编码比特的功能234、以及将经编码比特添加到块编码数据的功能236。

[0058] 在接收到经打孔或重复的经编码数据226时,第二无线通信设备204的解码器214对数据226进行解码。例如,解码器214可以使用解码224,诸如SC解码或某种其它合适类型的解码。

[0059] 速率匹配选择

[0060] 在一些方面中,本公开内容涉及一种在解码复杂度和性能之间提供可接受的权衡的高效的速率匹配过程。参考图3,块编码器302(例如,使用极化码的编码器)对数据304进行编码以生成经编码数据306。根据本文的讲解,速率匹配选择器308选择要用来对数据304进行编码的速率匹配方案。在一些方面中,该选择可以基于与数据304相关联的码块大小(例如,基于将被用来传送经编码数据306的资源特性)。如下文更详细论述的,在一些情况下(例如,当重复比特的数量相对较少时),基于重复的速率匹配310被用于编码;而在其它情况下,基于打孔的速率匹配312被用于编码。

[0061] 在一些实现方式中,编码器302可以包括接口314、接口316、或二者。接口可以包括例如接口总线、总线驱动器、总线接收器、其它合适的电路、或其组合。例如,接口314可以包括接收机设备、缓冲器、或用于接收信号的其它电路。作为另一示例,接口316可以包括输出设备、驱动器、或用于发送信号的其它电路。在一些实现方式中,接口314和316可以被配置为连接编码器302的一个或多个其它组件(图3中未示出的其它组件)。

[0062] 编码器302可以在不同的实现方式中采取不同的形式。在一些情况下,编码器302可以是集成电路。在一些情况下,编码器302可以被包括在包含其它电路(例如,处理器和相关电路)的集成电路中。

[0063] 用于极化码的示例速率匹配方案

[0064] 出于说明的目的,现在将在极化码的上下文中描述根据本文讲解的速率匹配方案的示例。然而,应当意识到的是,本文描述的技术也可以应用于其它类型的编码。

[0065] 图4示出了用于极化码的速率匹配过程400的示例。过程400可以例如由图3的编码器302或图9的装置900执行。

[0066] 在框402处,确定期望经编码块大小(M)和针对要被编码的数据的信息比特的数量(K)。在框404处,确定参数(N)。N是小于M的最大二的幂整数,即 $N \leq M \leq 2N$ 。该计算可以是基于参数 $m = \text{floor}(\log_2 M)$ 和 $N = 2^m$ 。

[0067] 在一些方面中,对于块大小不是二的幂的情况,可以有两种方式来构造极化码(M, K)。第一种技术涉及从极化码(2N, K)对2N-M个比特进行打孔。第二种技术涉及针对极化码(N, K)重复M-N个比特。前者的解码复杂度是后者的两倍。此外,性能增益随着打孔比特数的增加而降低。例如,具有N个打孔比特的极化码(2N, K)的性能与极化码(N, K)的性能相同;然而,具有打孔的解码复杂度是两倍之高。为了在解码复杂度和性能增益之间获得期望的权衡,如果打孔比特的数量(2N-M)接近N,重复是优选的选择。换句话说,如果M-N个的重复比特很少,重复是优选的选择。

[0068] 在一些实现方式中,可以使用门限来决定是使用打孔还是重复。可以使用参数 β (例如分数)来表示这样的门限。在图4的框406处,如果 $M-N < \beta N$ (例如,其中 $\beta < 0.5$),则选择基于重复的速率匹配(框408和410)。否则,选择基于打孔的速率匹配(框412和414)。

[0069] 可以使用仿真、经验测试、或其它合适的技术来优化 β 值。随着 β 的增加,从极化码打孔(2N, K)与针对极化码(N, K)的重复之间的性能差距变大。图6-8的示例仿真结果显示,当 β 值小于1/8时,能够获得良好的权衡。 β 的值可以被选择为取决于给定实现方式的需求的设计选择。例如,在性能和电路复杂度之间可能存在权衡。因此,在一些情况下,可以选择较低的 β 值来提供高性能,而在其它情况下,可以选择较高的 β 值来降低编码器电路的复杂度。

[0070] 示例重复方案

[0071] 出于说明的目的,现在将在极化码的上下文中描述根据本文讲解的重复方案的示例。然而,应当意识到的是,本文描述的技术也可以应用于其它类型的编码。

[0072] 图5示出了用于极化码的重复过程500的示例。过程500可以例如由图3的编码器302或图13的装置1300执行。

[0073] 在框502处,构造极化码(N, K),由此获得N个经编码比特。在框504处,生成重复模式 $PP = (0, 0, 0, \dots, 1, 1, 1)_M$ 。这个模式的最后M-N个比特都是一。在框506处,最终的重复模式P将是PP的比特反转置换。最终的重复模式P可以接近均匀重复。在框508处,重复比特是通过收集其位置对应于模式P中的一的比特来获得的。在框510处,通过在极化码(N, K)的末尾附上M-N个经编码比特来生成极化码(M, K)。

[0074] 示例打孔方案

[0075] 如上所述,打孔可以被用来获得长度兼容的极化码,其具有其块长度不是二的幂的码字。例如,为了获得1000比特的码字长度,可以从1024比特的码字打孔24比特。根据本公开内容的各个方面,打孔可以被用来获得任意长度的码字(例如,不一定是二的幂的长度)。因此,一般来说,如本文使用的术语打孔至少在一些方面可以指代从一组经编码比特(例如码字)中移除一个或多个经编码比特。

[0076] 当执行码字打孔时,选择要对哪些比特进行打孔(打孔模式)是重要的问题,并且可能会影响算法的效率。即使有可能,对所有打孔模式执行穷举的检索以找到最佳的打孔模式也可能不是理想的,因为这将需要大量的计算复杂度。

[0077] 打孔方案可以使用各种打孔模式。在已知的打孔模式中,均匀打孔模式提供了相对良好的性能。然而,应当意识到的是,非均匀(例如,随机)打孔可以与本文的讲解结合使用。

[0078] 解码

[0079] 在接收设备处,可以使用例如基于连续消除解码算法的解码器来对经编码信息进行解码。在一些方面中,从解码器的输入和输出的角度,解码器可以是基于(例如,类似于)用于低密度奇偶校验(LDPC)码或涡轮码的解码器。

[0080] 示例仿真

[0081] 图6、图7、以及图8分别示出了针对具有不同 β 值的极化码的仿真600、700、以及800。在仿真中,高斯近似(GA)算法被用来构造极化码。信息比特的数量K是128,并且N是256比特。块大小M是320、288、以及272比特。对于 β ,这些大小分别对应于1/4、1/8、以及1/16。使用CRC辅助列表连续消除解码算法,其中列表大小为32。

[0082] 在图6中描绘了极化码(320,128)的性能。具有比特反转置换的打孔算法被应用于构造极化码。“初始”的图例(曲线602)代表极化码(256,128)的性能。评估两种重复方案:基于比特反转置换的方案(曲线604)和基于块重复的方案(曲线606)。在后者中,块的第一个四分之一被重复。块的第二个四分之一、第三个四分之一、以及最后一个四分之一用于重复可能有类似的性能。因此,这里只示出了一条曲线。如所指示的,具有打孔(曲线608)的性能最好,尽管相对于其它方案,其具有两倍的复杂度。这两种重复方案优于初始的情况,因为重复了64个经编码比特。具有比特反转置换的重复优于块重复。考虑到比重复多了约0.4dB的增益,当 β 大于1/4时,打孔仍然是一个良好的选择。

[0083] 极化码(288,128)和(272,128)的性能分别在图7和图8中描绘。如所指示的,随着 β 减小,打孔(图7中的曲线702和图8中的曲线802)与利用比特反转置换的重复(图7中的曲线704和图8中的曲线804)之间的性能差距也变小。在这个示例中,当 β 等于1/8时,差距小于0.2dB。在这个示例中,当 β 等于1/16时,存在边际增益。因此,当 β 小于1/8时,可以获得解码复杂度和性能之间的良好的权衡。

[0084] 第一示例装置

[0085] 图9示出了根据本公开内容的一个或多个方面的被配置为使用编码的设备900的示例硬件实现方式的框图。设备900可以在UE、发送接收点(TRP)、基站、或支持如本文所讲解的编码的某种其它类型的设备中体现或被实现。在各种实现方式中,装置900可以在接入终端、接入点、或某种其它类型的设备中体现或被实现。在各种实现方式中,装置900可以在移动电话、智能电话、平板电脑、便携式计算机、服务器、网络实体、个人计算机、传感器、警报器、车辆、机器、娱乐设备、医疗设备、或具有电路的任何其它电子设备中体现或被实现。

[0086] 设备900包括通信接口902(例如,至少一个收发机)、存储介质904、用户接口906、存储设备908、以及处理电路910(例如,至少一个处理器)。这些部件能够经由信令总线或通常由图9中的连接线表示的其它合适的组件相互耦合和/或相互进行电通信。信令总线可以包括任意数量的互连总线和桥,这取决于处理电路910的具体应用以及总体设计约束。信令总线将各种电路链接在一起,以使得通信接口902、存储介质904、用户接口906、以及存储设备908中的每一者被耦合到处理电路910和/或与处理电路910进行电通信。信令总线还可以链接各种其它电路(未示出),例如定时源、外围设备、电压调节器、以及功率管理电路,这些

电路在本领域中是公知的,因此不再进一步描述。

[0087] 通信接口902可以适用于促进装置900的无线通信。例如,通信接口902可以包括适用于促进关于网络中的一个或多个通信设备的双向信息通信的电路和/或编程。因此,在一些实现方式中,通信接口902可以被耦合到一个或多个天线912,用于在无线通信系统内进行无线通信。在一些实现方式中,通信接口902可以被配置用于基于有线的通信。例如,通信接口902可以是总线接口、发送/接收接口、或某种其它类型的信号接口,包括驱动器、缓冲器或用于输出和/或获得信号(例如,从集成电路输出信号和/或接收信号到集成电路中)的其它电路。通信接口902能够配置有一个或多个独立的接收机和/或发射机,以及一个或多个收发机。在所示出的示例中,通信接口902包括发射机914和接收机916。

[0088] 存储设备908可以代表一个或多个存储设备。如所指示的,存储设备908可以维护与编码相关的信息918以及由设备900使用的其它信息。在一些实现方式中,存储设备908和存储介质904被实现为公共存储器组件。存储器设备908还可以被用于存储由装置900的处理电路910或某种其它组件操纵的数据。

[0089] 存储介质904可以代表用于存储编程的一个或多个计算机可读、机器可读、和/或处理器可读设备,所述编程例如处理器可执行代码或指令(例如,软件、固件)、电子数据、数据库、或其它数字信息。存储介质904还可以被用于存储由处理电路910在执行编程时操纵的数据。存储介质904可以是能够由通用或专用处理器存取的任何可用的介质,包括便携式或固定存储设备、光学存储设备以及能够存储、包含、或携带编程的各种其它介质。

[0090] 通过举例而非限制的方式,存储介质904可以包括磁性存储设备(例如硬盘、软盘、磁条)、光盘(例如压缩光盘(CD)或数字多功能光盘(DVD))、智能卡、闪存设备(例如卡、条、或钥匙驱动器)、随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、可擦除PROM(EPROM)、电可擦除PROM(EEPROM)、寄存器、可移动盘、以及用于存储可由计算机存取和读取的软件和/或指令的任何其它合适的介质。存储介质904可以在一件制品(例如,计算机程序产品)中体现。举例来说,计算机程序产品可以包括包装材料中的计算机可读介质。鉴于上述情况,在一些实现方式中,存储介质904可以是非暂时性的(例如,有形的)存储介质。

[0091] 存储介质904可以被耦合到处理电路910,以使得处理电路910可以从存储介质904读取信息和向存储介质904写入信息。也就是说,存储介质904能够耦合到处理电路910,以使得存储介质904至少可由处理电路910接入,包括其中至少一个存储介质整合到处理电路910的示例、和/或其中至少一个存储介质与处理电路910分离的示例(例如,存在于装置900中、在装置900外部、跨多个实体来分布等)。

[0092] 当由处理电路910执行由存储介质904存储的编程时,使得处理电路910执行本文描述的各种功能和/或过程操作中的一项或多项。例如,存储介质904可以包括被配置用于对处理电路910的一个或多个硬件块处的操作进行调节的操作,以及利用通信接口902用于利用它们各自的通信协议的无线通信。

[0093] 处理电路910通常适用于处理,包括执行存储在存储介质904上的这样的编程。如本文使用的,术语“代码”或“编程”应被广义地解释为包括但不限于指令、指令集、数据、代码、代码段、程序代码、程序、编程、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行文件、执行线程、过程、功能等,无论其被称为软件、固件、中间件、微代码、硬件描述语言或其它。

[0094] 处理电路910被布置为获得、处理、和/或发送数据,控制数据存取和存储,发出命令,以及控制其它期望的操作。处理电路910可以包括被配置为实现由至少一个示例中的适当的介质提供的期望的编程的电路。例如,处理电路910可以被实现为:被配置为执行可执行编程的一个或多个处理器、一个或多个控制器和/或其它结构。处理电路910的示例可以包括被设计为执行本文描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑组件、分立门或晶体管逻辑器件、分立硬件组件或其任何组合。通用处理器可以包括微处理器,以及任何常规的处理、控制、微控制、或状态机。处理电路910还可以被实现为计算组件的组合,例如,DSP和微处理器的组合、多个微处理器、一个或多个微处理器与DSP内核的结合、ASIC和微处理器、或任何其它数量的不同的配置。处理电路910的这些示例是为了进行说明,并且本公开内容范围内的其它合适的配置也是预期的。

[0095] 根据本公开内容的一个或多个方面,处理电路910可以适用于执行用于本文描述的任何或所有装置的特征、过程、功能、操作和/或例程中的任何一项或所有项。例如,处理电路910可以被配置为执行关于图1-图5和图10-图12描述的步骤、功能和/或过程中的任何一项。如本文使用的,关于处理电路910的术语“适用”可以指代处理电路910被配置、使用、实现和/或编程中的一项或多项以根据本文描述的各种特征执行特定过程、功能、操作和/或例程。

[0096] 处理电路910可以是专用处理器,例如专用集成电路(ASIC),其作为用于执行结合图1-图5和图10-图12描述的操作中的任何一个操作的单元(例如,结构)。处理电路910可以作为用于发送的单元和/或用于接收的单元的一个示例。在各种实现方式中,处理电路910可以提供和/或合并图2的第一无线通信设备202(例如,编码器212)或图3的编码器302的功能。

[0097] 根据装置900的至少一个示例,处理电路910可以包括以下各项中的一项或多项:用于接收的电路/模块920、用于确定码块大小的电路/模块922、用于选择速率匹配的电路/模块924、用于块编码的电路/模块926、用于确定二的幂的块大小的电路/模块928、用于确定差值的电路/模块930、用于计算的电路/模块932、或用于比较的电路/模块934。在各种实现方式中,用于接收的电路/模块920、用于确定码块大小的电路/模块922、用于选择速率匹配的电路/模块924、用于块编码的电路/模块926、用于确定二的幂的块大小的电路/模块928、用于确定差值的电路/模块930、用于计算的电路/模块932、或用于比较的电路/模块934可以至少部分提供和/或合并上文描述的用于图2的第一无线通信设备202(例如,编码器212)或图3的编码器302的功能。

[0098] 如上文提到的,当由处理电路910执行由存储介质904存储的编程时,使处理电路910执行本文描述的各种功能和/或过程操作中的一项或多项。例如,编程可以使处理电路910在各种实现方式中执行本文参考图1-图5和图10-图12描述的各种功能、步骤和/或过程。如图9中所示,存储介质904可以包括以下各项中的一项或多项:用于接收的代码936、用于确定码块大小的代码938、用于选择速率匹配的代码940、用于块编码的代码942、用于确定二的幂的块大小的代码944、用于确定差值的代码946、用于计算的代码948、或用于比较的代码950。在各种实现方式中,用于接收的代码936、用于确定码块大小的代码938、用于选择速率匹配的代码940、用于块编码的代码942、用于确定二的幂的块大小的代码944、用于

确定差值的代码946、用于计算的代码948、或用于比较的代码950可以被执行或以其它方式用于为用于接收的电路/模块920、用于确定码块大小的电路/模块922、用于选择速率匹配的电路/模块924、用于块编码的电路/模块926、用于确定二的幂的块大小的电路/模块928、用于确定差值的电路/模块930、用于计算的电路/模块932、或用于比较的电路/模块934提供本文描述的功能。

[0099] 用于接收的电路/模块920可以包括适用于执行与例如接收信息有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于接收的代码930)。在一些情况下,用于接收的电路/模块920可以获得信息(例如,来自通信接口902、存储设备、或装置900的某种其它组件)并且处理(例如,解码)该信息。在一些情况下(例如,如果用于接收的电路/模块920是RF接收机或包括RF接收机),用于接收的电路/模块920可以直接从发送信息的设备接收信息。在任一种情况下,用于接收的电路/模块920可以将所获得的信息输出到装置900的另一组件(例如,用于确定码块大小的电路/模块922、用于块编码的电路/模块926、存储器设备908、或某种其它组件)。

[0100] 用于接收的电路/模块920(例如,用于接收的单元)可以采取各种形式。在一些方面中,用于接收的电路/模块920可以对应于例如接口(例如,总线接口、发送/接收接口、或某种其他类型的信号接口)、通信设备、收发机、接收机、或如本文论述的某种其它类似的组件。在一些实现方式中,通信接口902包括用于接收的电路/模块920和/或用于接收的代码930。在一些实现方式中,用于接收的电路/模块920和/或用于接收的代码930被配置为控制通信接口902(例如收发机或接收机)来接收信息。

[0101] 用于确定码块大小的电路/模块922可以包括适用于执行与例如确定用于接收到的信息的码块大小有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于确定码块大小的代码938)。在一些方面中,用于确定码块大小的电路/模块922(例如,用于确定码块大小的单元)可以对应于例如处理电路。

[0102] 在一些情况下,用于确定码块大小的电路/模块922可以获得指示由编码器(例如,编码算法)支持的块大小的信息(例如,配置信息)。在一些情况下,用于确定码块大小的电路/模块922可以获得指示要被用来发送信息(例如,通过特定的时间-频率资源)的资源大小的信息。在一些情况下,用于确定码块大小的电路/模块922可以选择最匹配资源大小的块大小。用于确定码块大小的电路/模块922然后可以输出对码块大小的指示(例如,输出到用于选择速率匹配的电路/模块924、用于确定二的幂的块大小的电路/模块928、用于确定差值的电路/模块930、存储器设备908、或某种其它组件)。

[0103] 用于选择速率匹配的电路/模块924可以包括适用于执行与例如选择用于编码信息的速率匹配有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于选择速率匹配的代码940)。在一些方面中,用于选择速率匹配的电路/模块924(例如,用于选择速率匹配的单元)可以对应于例如处理电路。

[0104] 在一些情况下,用于选择速率匹配的电路/模块924可以在基于重复的速率匹配与基于打孔的速率匹配之间选择。在一些情况下,选择是基于码块大小的。在这种情况下,用于选择速率匹配的电路/模块924可以获得码块大小信息(例如,从用于确定码块大小的电路/模块922、存储器设备、或装置900的某种其它组件)。用于选择速率匹配的电路/模块924基于例如码块大小(例如,如上文结合图2-图4论述的)来决定要使用哪个速率匹配方案。用

于选择速率匹配的电路/模块924然后可以输出对该选择的指示(例如,输出到用于块编码的电路/模块926、存储器设备908、编码器、或某种其它组件)。

[0105] 用于块编码的电路/模块926可以包括适用于执行与例如对信息进行编码有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于块编码的代码942)。在一些方面中,用于块编码的电路/模块926(例如,用于块编码的单元)可以对应于例如处理电路。

[0106] 在一些方面中,用于块编码的电路/模块926可以执行编码算法。例如,用于块编码的电路/模块926可以执行块编码算法或极化编码算法。然后,用于块编码的电路/模块926可以输出作为结果的经编码信息(例如,输出到通信接口902、存储器设备908、或某种其它组件)。

[0107] 用于确定二的幂的块大小的电路/模块928可以包括:适用于执行关于例如确定与小于码块大小的最大二的幂整数相对应的二的幂的块大小的若干功能的电路和/或编程(例如,存储在存储介质904上的用于确定二的幂的块大小的代码944)。在一些方面中,用于确定二的幂的块大小的电路/模块928(例如,用于确定二的幂的块大小的单元)可以对应于例如处理电路。

[0108] 在一些情况下,用于确定二的幂的块大小的电路/模块928可以获得码块大小信息(例如,从用于确定码块大小的电路/模块922、存储器设备、或装置900的某种其它组件)。用于确定二的幂的块大小的电路/模块928基于码块大小(例如,如上文结合图2-图4论述的)来识别特定的二的幂的块大小。用于确定二的幂的块大小的电路/模块928然后可以输出对二的幂的块大小的指示(例如,输出到用于确定差值的电路/模块930、存储器设备908、或某种其它组件)。

[0109] 用于确定差值的电路/模块930可以包括适用于执行与例如确定码块大小与二的幂的块大小之间的差值有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于确定差值的代码946)。在一些方面中,用于确定差值的电路/模块930(例如,用于确定差值的单元)可以对应于例如处理电路。

[0110] 用于确定差值的电路/模块930(例如,从用于确定码块大小的电路/模块922、存储器设备、或装置900的某种其它组件)获得码块大小信息。用于确定差值的电路/模块930还(例如,从用于确定二的幂的块大小的电路/模块928、存储器设备、或装置900的某种其它组件)获得二的幂的块大小。用于确定差值的电路/模块930从这些值中的一个值中减去这些值中的另一个值。然后,用于确定差值的电路/模块930可以输出相减的结果(例如,输出到用于选择速率匹配的电路/模块924、用于比较的电路/模块934、存储器设备908、或某种其它组件)。

[0111] 用于计算的电路/模块932可以包括适用于执行与例如计算分数有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于计算的代码948)。在一些方面中,用于计算的电路/模块932(例如,用于计算的单元)可以对应于例如处理电路。

[0112] 在一些情况下,用于计算的电路/模块932可以获得二的幂的块大小(例如,从用于确定二的幂的块大小的电路/模块928、存储器设备、或装置900的某种其它组件)。然后,用于计算的电路/模块932可以对二的幂的块大小执行算术运算,以确定该值的分数(例如,如上文结合图2-图4论述的)。然后,用于计算的电路/模块932可以输出对该计算的指示(例如,输出到用于比较的电路/模块934、存储器设备908、或某种其它组件)。

[0113] 用于比较的电路/模块934可以包括适用于执行与例如比较两个值有关的若干功能的电路和/或编程(例如,存储在存储介质904上的用于比较的代码950)。在一些方面中,用于比较的电路/模块934(例如,用于比较的单元)可以对应于例如处理电路。

[0114] 在一种情况下,用于比较的电路/模块934(例如,从用于确定差值的电路/模块930、存储器设备、或装置900的某种其它组件)获得差值。此外,用于比较的电路/模块934(例如,从用于计算的电路/模块932、存储器设备、或装置900的某种其它组件)获得分数值。用于比较的电路/模块934确定这些值中的哪一个值大于这些值中的另一个值(例如,通过执行减法运算)。然后,用于比较的电路/模块934可以输出该确定的结果(例如,输出到用于选择速率匹配的电路/模块924、存储器设备908、或某种其它组件)。

[0115] 第一示例过程

[0116] 图10示出了根据本公开内容的一些方面的用于通信的过程1000。过程1000的一个或多个方面可以与图10的过程1000相结合(例如,在其之外或作为其一部分)来使用。当然,在本公开内容范围内的各个方面中,过程1000可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0117] 在框1002处,装置(例如,包括编码器的设备)接收要被编码的信息。

[0118] 在一些实现方式中,图9的用于接收的电路/模块920执行框1002的操作。在一些实现方式中,执行图9的用于接收的代码936来执行框1002的操作。

[0119] 在框1004处,所述装置确定用于所接收的信息的码块大小。

[0120] 在一些实现方式中,图9的用于确定码块大小的电路/模块922执行框1004的操作。在一些实现方式中,执行图9的用于确定码块大小的代码938来执行框1004的操作。

[0121] 在框1006处,所述装置选择用于对所接收的信息进行编码的速率匹配。在一些方面中,所述选择可以是在基于重复的速率匹配与基于打孔的速率匹配之间的。在一些方面中,该选择可以基于码块大小。

[0122] 在一些方面中,对速率匹配的选择可以包括选择基于重复的速率匹配或基于打孔的速率匹配。例如,如果所述比较指示差值小于分数,则框1006处的对速率匹配的选择可以涉及选择基于重复的速率匹配。相反,如果所述比较指示差值大于或等于分数,则框1006处的对速率匹配的选择可以涉及选择基于打孔的速率匹配。

[0123] 在一些实现方式中,图9的用于选择速率匹配的电路/模块924执行框1006的操作。在一些实现方式中,执行图9的用于选择速率匹配的代码940来执行框1006的操作。

[0124] 在框1008处,所述装置使用所选择的速率匹配对所接收的信息进行块编码。在一些方面中,块编码可以是极化编码。

[0125] 在块编码使用基于重复的速率匹配的情况下(例如,在框1006处选择的速率匹配是基于重复的速率匹配),块编码可以包括:基于二的幂的块大小生成块编码数据;以及将重复比特添加到所生成的块编码数据。在这种情况下,向所生成的块编码数据添加重复比特可以涉及向所生成的块编码数据添加等于码块大小与二的幂的块大小之差的数量的比特。

[0126] 在块编码使用基于打孔的速率匹配的情况下(例如,在框1006处选择的速率匹配是基于打孔的速率匹配),块编码可以包括:基于两倍于二的幂的块大小来生成块编码数据;和对所生成的块编码数据的比特进行打孔。在这种情况下,对所生成的块编码数据的比

特进行打孔可以涉及对等于两倍于二的幂的块大小与码块大小之间的差值的数量的比特进行打孔。

[0127] 在一些实现方式中,图9的用于块编码的电路/模块926执行框1008的操作。在一些实现方式中,执行图9的用于块编码的代码942来执行框1008的操作。

[0128] 在一些方面中,过程1000可以包括上述特征中的两个或更多个特征的任意组合。

[0129] 第二示例过程

[0130] 图11示出了根据本公开内容的一些方面的用于通信的过程1100。过程1100的一个或多个方面可以与图10的过程1000相结合(例如,在其之外或作为其一部分)来使用。过程1100可以在处理电路(例如,图9的处理电路910)内进行,该处理电路可以位于接入终端、基站/或某种其它合适的装置中。当然,在本公开内容范围内的各个方面中,过程1100可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0131] 在框1102处,装置(例如,包括编码器的设备)确定与小于码块大小的最大二的幂整数相对应的二的幂的块大小(例如,在图10的框1004处确定的码块大小)。

[0132] 在一些实现方式中,图9的用于确定二的幂的块大小的电路/模块928执行框1102的操作。在一些实现方式中,执行图9的用于确定二的幂的块大小的代码944来执行框1102的操作。

[0133] 在框1104处,所述装置确定码块大小与框1102的二的幂的块大小之间的差值。

[0134] 在一些实现方式中,图9的用于确定差值的电路/模块930执行框1104的操作。在一些实现方式中,执行图9的用于确定差值的代码946来执行框1104的操作。

[0135] 在框1106处,所述装置选择用于对所接收的信息(例如,在图10的框1002处接收的信息)进行编码的速率匹配。在一些方面中,该选择可以基于在框1104处确定的差值。

[0136] 在一些实现方式中,图9的用于选择速率匹配的电路/模块924执行框1106的操作。在一些实现方式中,执行图9的用于选择速率匹配的代码940来执行框1106的操作。

[0137] 在一些方面中,过程1100可以包括上述特征中的两个或更多个特征的任意组合。

[0138] 第三示例过程

[0139] 图12示出了根据本公开内容的一些方面的用于通信的过程1200。过程1200的一个或多个方面可以与图10的过程1000相结合(例如,在其之外或作为其一部分)来使用。可以在处理电路(例如,图9的处理电路910)内进行过程1200,该处理电路可以位于接入终端、基站/或某种其它合适的装置中。当然,在本公开内容范围内的各个方面中,过程1200可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0140] 在框1202处,装置(例如,包括编码器的设备)确定与小于码块大小(例如,在图10的框1004处确定的码块大小)的最大二的幂整数相对应的二的幂的块大小。

[0141] 在一些实现方式中,图9的用于确定二的幂的块大小的电路/模块928执行框1202的操作。在一些实现方式中,执行图9的用于确定二的幂的块大小的代码944来执行框1202的操作。

[0142] 在框1204处,该装置确定码块大小与框1202的二的幂的块大小之间的差值。

[0143] 在一些实现方式中,图9的用于确定差值的电路/模块930执行框1204的操作。在一些实现方式中,执行图9的用于确定差值的代码946来执行框1204的操作。

[0144] 在框1206处,所述装置计算在框1202处确定的二的幂的块大小的分数。

[0145] 在一些实现方式中,图9的用于计算的电路/模块932执行框1206的操作。在一些实现方式中,执行图9的用于计算的代码948来执行框1206的操作。

[0146] 在框1208处,该装置将在框1204处确定的差值与在框1206处计算的分数进行比较。

[0147] 在一些实现方式中,图9的用于比较的电路/模块934执行框1208的操作。在一些实现方式中,执行图9的用于比较代码948来执行框1208的操作。

[0148] 在框1210处,该装置选择用于对所接收的信息(例如,在图10的框1002处接收的信息)进行编码的速率匹配。在一些方面中,该选择可以是基于框1208的比较的。

[0149] 在一些实现方式中,图9的用于选择速率匹配的电路/模块924执行框1210的操作。在一些实现方式中,执行图9的用于选择速率匹配的代码940来执行框1210的操作。

[0150] 在一些方面中,过程1200可以包括上述特征中的两个或更多个特征的任意组合。

[0151] 第二示例装置

[0152] 图13示出了根据本公开内容的一个或多个方面的被配置为使用编码的设备1300的示例硬件实现方式的框图。设备1300可以在UE、发送接收点(TRP)、基站、或支持如本文所讲解的编码的某种其它类型的设备中体现或被实现。在各种实现方式中,装置1300可以在接入终端、接入点、或某种其它类型的设备中体现或被实现。在各种实现方式中,装置1300可以在移动电话、智能电话、平板电脑、便携式计算机、服务器、网络实体、个人计算机、传感器、警报器、车辆、机器、娱乐设备、医疗设备、或具有电路的任何其它电子设备中体现或被实现。

[0153] 设备1300包括通信接口1302(例如,至少一个收发机)、存储介质1304、用户接口1306、存储设备1308(例如,存储与令牌相关的信息1318)、以及处理电路1310(例如,至少一个处理器)。在各种实现方式中,用户接口1306可以包括以下各项中一项或多项:键盘、显示器、扬声器、麦克风、触摸屏显示器、或用于从用户接收输入或向用户发送输出的某种其它电路。通信接口1302可以被耦合到一个或多个天线1312,并且可以包括发射机1314和接收机1316。通常,图13的组件可以类似于图9的装置900的相应的组件。

[0154] 根据本公开内容的一个或多个方面,处理电路1310可以适用于执行用于本文描述的任何或所有装置的特征、过程、功能、操作和/或例程中的任何一项或所有项。例如,处理电路1310可以被配置为执行关于图1-图5和图14-图16描述的步骤、功能和/或过程中的任何一项。如本文使用的,关于处理电路1310的术语“适用”可以指代处理电路1310被配置、使用、实现和/或编程中的一项或多项以根据本文描述的各种特征执行特定过程、功能、操作和/或例程。

[0155] 处理电路1310可以是专用处理器,例如专用集成电路(ASIC),其用于执行结合图1-图5和图14-图16描述的操作中的任何一个操作的单元(例如,结构)。处理电路1310可以用作用于发送的单元和/或用于接收的单元的一个示例。在各种实现方式中,处理电路1310可以提供和/或合并图2的第一无线通信设备202(例如,编码器212)或图3的编码器302的功能。

[0156] 根据装置1300的至少一个示例,处理电路1310可以包括以下各项中的一项或多项:用于接收的电路/模块1320、用于块编码的电路/模块1322、用于生成重复模式的电路/模块1324、用于获得经编码比特的电路/模块1326、用于生成经编码块数据的电路/模块

1328、用于确定码块大小的电路/模块1330、用于确定二的幂的块大小的电路/模块1332、或用于确定差值的电路/模块1334。

[0157] 如上文提到的,当由处理电路1310执行由存储介质1304存储的编程时,使得处理电路1310执行本文结合图1-图5和图14-图16描述的各种功能和/或过程操作中的一项或多项。例如,存储介质1304可以包括以下各项中的一项或多项:用于接收的代码1336、用于块编码的代码1338、用于生成重复模式的代码1340、用于获得经编码比特的代码1342、用于生成经编码块数据的代码1344、用于确定码块大小的代码1346、用于确定二的幂的块大小的代码1348、或用于确定差值的代码1350。在各种实现方式中,用于接收的代码1336、用于块编码的代码1338、用于生成重复模式的代码1340、用于获得经编码比特的代码1342、用于生成经编码块数据的代码1344、用于确定码块大小的代码1346、用于确定二的幂的块大小的代码1348、或用于确定差值的代码1350可以被执行或以其它方式用来为用于接收的电路/模块1320、用于块编码的电路/模块1322、用于生成重复模式的电路/模块1324、用于获得经编码比特的电路/模块1326、用于生成经编码块数据的电路/模块1328、用于确定码块大小的电路/模块1330、用于确定二的幂的块大小的电路/模块1332、或用于确定差值的电路/模块1334提供本文描述的功能。

[0158] 用于接收的电路/模块1320可以包括适用于执行与例如接收信息有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于接收的代码1336)。在一些情况下,用于接收的电路/模块1320可以(例如,从通信接口1302、存储器设备、或装置1300的某种其它组件)获得信息并且处理(例如,解码)该信息。在一些情况下(例如,如果用于接收的电路/模块1320是RF接收机或包括RF接收机),用于接收的电路/模块1320可以直接从发送信息的设备接收信息。在任一种情况下,用于接收的电路/模块1320可将所获得的信息输出到装置1300的另一组件(例如,用于块编码的电路/模块1322、用于确定码块大小的电路/模块1330、存储器设备1308、或某种其它组件)。

[0159] 用于接收的电路/模块1320(例如,用于接收的单元)可以采取各种形式。在一些方面中,用于接收的电路/模块1320可以对应于例如接口(例如,总线接口、发送/接收接口、或某种其他类型的信号接口)、通信设备、收发机、接收机、或如本文论述的某种其它类似的组件。在一些实现方式中,通信接口1302包括用于接收的电路/模块1320和/或用于接收的代码1336。在一些实现方式中,用于接收的电路/模块1320和/或用于接收的代码1336被配置为控制通信接口1302(例如收发机或接收机)来接收信息。

[0160] 用于块编码的电路/模块1322可以包括适用于执行与例如对信息进行编码有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于块编码的代码1338)。在一些方面中,用于块编码的电路/模块1322(例如,用于块编码的单元)可以对应于例如处理电路。

[0161] 在一些方面中,用于块编码的电路/模块1322可以执行编码算法。例如,用于块编码的电路/模块1322可以执行块编码算法或极化编码算法。然后,用于确定块编码的电路/模块1322可以输出作为结果的经编码信息(例如,输出到通信接口1302、存储器设备1308、或某种其它组件)。

[0162] 用于生成重复模式的电路/模块1324可以包括适用于执行与例如生成用于经编码信息的重复模式有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于生

成重复模式的代码1340)。在一些方面中,用于生成重复模式的电路/模块1324(例如,用于生成重复模式的单元)可以对应于例如处理电路。

[0163] 在一些方面中,用于生成重复模式的电路/模块1324可以生成如上文例如结合图2和5描述的重复模式。用于生成重复模式的电路/模块1324然后可以输出作为结果的重复模式(例如,输出到用于获得经编码比特的电路/模块1326、存储器设备1308、或某种其它组件)。

[0164] 用于获得经编码比特的电路/模块1326可以包括适用于执行与例如获得要被添加到经编码数据的经编码比特有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于获得经编码比特的代码1342)。在一些方面中,用于获得经编码比特的电路/模块1326(例如,用于获得经编码比特的单元)可以对应于例如处理电路。

[0165] 在一些情况下,用于获得经编码比特的电路/模块1326可以获得重复模式(例如,来自用于生成重复模式的电路/模块1324、存储器设备、或装置1300的某种其它组件)。用于获得经编码比特的电路/模块1326然后可以从重复模式中提取比特(例如,如上文结合图5论述的)。在一些方面中,要获得的经编码比特的数量可以是基于码块大小与二的幂的块大小之间的差值的。用于获得经编码比特的电路/模块1326然后输出经编码比特(例如,输出到用于生成经编码块数据的电路/模块1328、存储器设备1308、或某种其它组件)。

[0166] 用于生成经编码块数据的电路/模块1328可以包括适用于执行与例如生成经编码信息有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于生成经编码块数据的代码1344)。在一些方面中,用于生成经编码块数据的电路/模块1328(例如,用于生成经编码块数据的单元)可以对应于例如处理电路。

[0167] 在一些方面中,用于生成经编码块数据的电路/模块1328可以将经编码比特添加到块编码数据。为此,用于生成经编码块数据的电路/模块1328可以(例如,从用于获得经编码比特的电路/模块1326、存储器设备、或装置1300的某种其它组件)获得经编码比特。此外,用于生成经编码块数据的电路/模块1328可以(例如,从用于块编码的电路/模块1322、存储器设备、或装置1300的某种其它组件)获得块编码数据。用于生成经编码块数据的电路/模块1328然后组合经编码比特和块编码数据(例如,如上文结合图5论述的)。用于生成经编码块数据的电路/模块1328然后可以输出作为结果的块编码数据(例如,输出到通信接口1302、存储器设备1308、或某种其它组件)。

[0168] 用于确定码块大小的电路/模块1330可以包括适用于执行与例如确定用于所接收的信息的码块大小有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于确定码块大小的代码1346)。在一些方面中,用于确定码块大小的电路/模块1330(例如,用于确定码块大小的单元)可以对应于例如处理电路。

[0169] 在一些情况下,用于确定码块大小的电路/模块1330可以获得指示由编码器(例如,编码算法)支持的块大小的信息(例如,配置信息)。在一些情况下,用于确定码块大小的电路/模块1330可以获得指示要被用来(例如,通过特定的时间-频率资源)发送信息的资源大小的信息。在一些情况下,用于确定码块大小的电路/模块1330可以选择最匹配资源大小的块大小。用于确定码块大小的电路/模块1330然后可以输出对码块大小的指示(例如,输出到用于确定二的幂的块大小的电路/模块1332、用于确定差值的电路/模块1334、存储器设备1308、或某种其它组件)。

[0170] 用于确定二的幂的块大小的电路/模块1332可以包括适用于执行关于例如确定与小于码块大小的最大二的幂整数相对应的二的幂的块大小的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于确定二的幂块大小的代码1348)。在一些方面中,用于确定二的幂的块大小的电路/模块1332(例如,用于确定二的幂的块大小的单元)可以对应于例如处理电路。

[0171] 在一些情况下,用于确定二的幂的块大小的电路/模块1332可以获得码块大小信息(例如,来自用于确定码块大小的电路/模块1330、存储器设备、或装置1300的某种其它组件)。用于确定二的幂的块大小的电路/模块1332基于码块大小(例如,如上文结合图2-图4论述的)来识别特定的二的幂的块大小。用于确定二的幂的块大小的电路/模块1332然后可以输出对二的幂的块大小的指示(例如,输出到用于确定差值的电路/模块1334、存储器设备1308、或某种其它组件)。

[0172] 用于确定差值的电路/模块1334可以包括适用于执行与例如确定码块大小与二的幂的块大小之间的差值有关的若干功能的电路和/或编程(例如,存储在存储介质1304上的用于确定差值的代码1350)。在一些方面中,用于确定差值的电路/模块1334(例如,用于确定差值的单元)可以对应于例如处理电路。

[0173] 用于确定差值的电路/模块1334(例如,从用于确定码块大小的电路/模块1330、存储器设备、或装置1300的某种其它组件)获得码块大小信息。用于确定差值的电路/模块1334还(例如,从用于确定二的幂的块大小的电路/模块1332、存储器设备、或装置1300的某种其它组件)获得二的幂的块大小。用于确定差值的电路/模块1334从这些值中的一个值中减去这些值中的另一个值。然后,用于确定差值的电路/模块1334可以输出相减的结果(例如,输出到用于生成重复模式的电路/模块1324、存储器设备1308、或某种其它组件)。

[0174] 第四示例过程

[0175] 图14示出了根据本公开内容的一些方面的用于通信的过程1400。过程1400可以在处理电路(例如,图13的处理电路1310)内进行,该处理电路可以位于接入终端、基站/或某种其它合适的装置中。当然,在本公开内容范围内的各个方面中,过程1400可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0176] 在框1402处,装置(例如,包括编码器的设备)接收要被编码的信息。

[0177] 在一些实现方式中,图13的用于接收的电路/模块1320执行框1402的操作。在一些实现方式中,执行图13的用于接收的代码1336来执行框1402的操作。

[0178] 在框1404处,所述装置对所接收的信息进行块编码以生成第一块编码数据。在一些方面中,块编码可以包括极化编码。

[0179] 在一些实现方式中,图13的用于块编码的电路/模块1322执行框1404的操作。在一些实现方式中,执行图13的用于块编码的代码1338来执行框1404的操作。

[0180] 在框1406处,该装置生成重复模式。在一些方面中,重复模式可以由对应于用于所接收的信息的码块大小的数量的比特组成。

[0181] 在一些方面中,生成重复模式可以包括:生成第一重复模式;以及基于第一重复模式的比特反转置换来生成第二重复模式。在这种情况下,可以从由第二重复模式指示的位置获得经编码比特。

[0182] 在一些方面中,块编码可以生成具有二的幂的块大小的第一块编码数据。因此,过

程1400可以包括:确定用于所接收的信息的码块大小;以及通过识别小于码块大小的最大的二的幂整数来确定二的幂的块大小。此外,重复模式可以由对应于码块大小的数量的比特组成。

[0183] 在一些方面中,过程1400可以包括确定码块大小与二的幂的块大小之间的差值。在这种情况下,生成重复模式可以涉及:在重复模式中包括等于码块大小与二的幂的块大小之间的差值得数量的一。在一些方面中,生成重复模式可以涉及:包括等于与重复模式末尾的差值的数量的一。

[0184] 在一些方面中,第一块编码数据可以具有二的幂的块大小。在一些方面中,过程1400可以包括确定码块大小与二的幂的块大小之间的差值。这里,生成第一重复模式可以涉及:在重复模式中包括等于码块大小与二的幂的块大小之间的差值的数量的一。

[0185] 在一些实现方式中,图13的用于生成重复模式的电路/模块1324执行框1406的操作。在一些实现方式中,执行图13的用于生成重复模式的代码1340来执行框1406的操作。

[0186] 在框1408处,该装置基于重复模式获得经编码比特。在一些方面中,基于重复模式获得经编码比特可以包括:获得基于码块大小与二的幂的块大小之间的差值的数量的经编码比特。在一些方面中,基于重复模式获得经编码比特可以包括:获得等于码块大小与二的幂的块大小之间的差值的数量的经编码比特,其中经编码比特是根据由重复模式指示的位置获得的。

[0187] 在一些实现方式中,图13的用于获得经编码比特的电路/模块1326执行框1408的操作。在一些实现方式中,执行图13的用于获得经编码比特的代码1342来执行框1408的操作。

[0188] 在框1410处,所述装置通过将经编码比特添加到第一块编码数据来生成第二块编码数据。在一些方面中,将经编码比特添加到第一块编码数据可以包括将经编码比特附加到第一块编码数据的末尾。

[0189] 在一些实现方式中,图13的用于生成经编码块数据的电路/模块1328执行框1410的操作。在一些实现方式中,执行图13的用于生成经编码块数据的代码1344来执行框1410的操作。

[0190] 在一些方面中,过程1400可以包括上述特征中的两个或更多个特征的任意组合。

[0191] 第五示例过程

[0192] 图15示出了根据本公开内容的一些方面的用于通信的过程1500。过程1500可以在处理电路(例如,图13的处理电路1310)内进行,该处理电路可以位于接入终端、基站/或某种其它合适的装置中。当然,在本公开内容范围内的各个方面中,过程1500可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0193] 在框1502处,装置(例如,包括编码器的设备)接收要被编码的信息。

[0194] 在一些实现方式中,图13的用于接收的电路/模块1320执行框1502的操作。在一些实现方式中,执行图13的用于接收的代码1336来执行框1502的操作。

[0195] 在框1504处,该装置根据二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据。在一些方面中,块编码可以包括极化编码。

[0196] 在一些实现方式中,图13的用于块编码的电路/模块1322执行框1504的操作。在一些实现方式中,执行图13的用于块编码的代码1338来执行框1504的操作。

[0197] 在框1506处,该装置生成第一重复模式。在一些方面中,过程1500可以包括:确定用于所接收到的信息的码块大小;通过识别小于码块大小的最大的二的幂整数来确定二的幂的块大小;以及确定码块大小与二的幂的块大小之间的差值。这里,生成第一重复模式可以涉及:包括等于到第一重复模式末尾的差值的数量的一。

[0198] 在一些实现方式中,图13的用于生成重复模式的电路/模块1324执行框1506的操作。在一些实现方式中,执行图13的用于生成重复模式的代码1340来执行框1506的操作。

[0199] 在框1508处,所述装置基于第一重复模式的比特反转置换来生成第二重复模式。

[0200] 在一些实现方式中,图13的用于生成重复模式的电路/模块1324执行框1508的操作。在一些实现方式中,执行图13的用于生成重复模式的代码1340来执行框1508的操作。

[0201] 在框1510处,该装置基于第二重复模式获得经编码比特。在一些方面中,基于第二重复模式获得经编码比特可以包括:获得等于码块大小与二的幂的块大小之间的差值的数量的经编码比特,其中经编码比特是根据由第二重复模式指示的位置获得的。

[0202] 在一些实现方式中,图13的用于获得经编码比特的电路/模块1326执行框1510的操作。在一些实现方式中,执行图13的用于获得经编码比特的代码1342来执行框1510的操作。

[0203] 在框1512处,所述装置通过将经编码比特添加到第一块编码数据来生成第二块编码数据。在一些方面中,将经编码比特添加到第一块编码数据可以包括将经编码比特附加到第一块编码数据的末尾。

[0204] 在一些实现方式中,图13的用于生成经编码块数据的电路/模块1328执行框1512的操作。在一些实现方式中,执行图13的用于生成经编码块数据的代码1344来执行框1512的操作。

[0205] 在一些方面中,过程1500可以包括上述特征中的两个或更多个特征的任意组合。

[0206] 第六示例过程

[0207] 图16示出了根据本公开内容的一些方面的用于通信的过程1600。过程1600的一个或多个方面可以结合(例如,在其之外或作为其一部分)图14的过程1400或图15的过程1500来使用。过程1600可以在处理电路(例如,图13的处理电路1310)内进行,该处理电路可以位于接入终端、基站/或某种其它合适的装置中。当然,在本公开内容范围内的各个方面中,过程1600可以由能够支持与信令相关的操作的任何合适的装置来实现。

[0208] 在框1602处,装置(例如,包括编码器的设备)确定用于所接收的信息(例如,在图14的框1402处或图15的框1502处接收的信息)的码块大小。

[0209] 在一些实现方式中,图13的用于确定码块大小的电路/模块1330执行框1602的操作。在一些实现方式中,执行图13的用于确定码块大小的代码1346来执行框1602的操作。

[0210] 在框1604处,所述装置通过识别小于在框1602处确定的码块大小的最大的二的幂整数来确定二的幂的块大小。

[0211] 在一些实现方式中,图13的用于确定二的幂的块大小的电路/模块1332执行框1604的操作。在一些实现方式中,执行图13的用于确定二的幂的块大小的代码1348来执行框1604的操作。

[0212] 在框1606处,该装置确定在框1602处确定的码块大小与在框1604处确定的二的幂的块大小之间的差值。

[0213] 在一些实现方式中,图13的用于确定差值的电路/模块1334执行框1606的操作。在一些实现方式中,执行图13的用于确定差值的代码1350来执行框1606的操作。

[0214] 在框1608处,该装置通过以下操作来生成重复模式:包括等于到第一重复模式(例如,图15的框1506的第一重复模式)末尾的框1606的差值的数量的一。

[0215] 在一些实现方式中,图13的用于生成重复模式的电路/模块1324执行框1608的操作。在一些实现方式中,执行图13的用于生成重复模式的代码1340来执行框1608的操作。

[0216] 在一些方面中,过程1600可以包括上述特征中的两个或更多个特征的任意组合。

[0217] 其它方面

[0218] 在一个方面中,本公开内容提供了一种被配置用于通信的装置,其包括存储器和耦合到存储器的处理器。所述处理器和所述存储器被配置为:接收要被编码的信息;根据二的幂的块大小对所接收的信息进行块编码,以生成第一块编码数据;生成第一重复模式;基于所述第一重复模式的比特反转置换生成第二重复模式;基于所述第二重复模式获得经编码比特;以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0219] 本公开内容的另一方面提供了一种用于通信的方法,所述方法包括:接收要被编码的信息;根据二的幂的块大小对所接收的信息进行块编码,以生成第一块编码数据;生成第一重复模式;基于所述第一重复模式的比特反转置换生成第二重复模式;基于所述第二重复模式获得经编码比特;以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0220] 本公开内容的另一方面提供了一种被配置用于通信的装置。所述装置包括:用于接收要被编码的信息的单元;用于根据二的幂的块大小对所接收的信息进行块编码以生成第一块编码数据的单元;用于生成第一重复模式的单元;用于基于所述第一重复模式的比特反转置换生成第二重复模式的单元;用于基于所述第二重复模式获得经编码比特的单元;以及用于通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据的单元。

[0221] 本公开内容的另一方面提供了一种存储计算机可执行代码的非暂时性计算机可读介质,包括用于进行以下操作的代码:接收要被编码的信息;根据二的幂的块大小对所接收的信息进行块编码,以生成第一块编码数据;生成第一重复模式;基于所述第一重复模式的比特反转置换生成第二重复模式;基于所述第二重复模式获得经编码比特;以及通过将经编码比特添加到所述第一块编码数据来生成第二块编码数据。

[0222] 另外的方面

[0223] 提供本文阐述的示例来说明本公开内容的某些概念。本领域的普通技术人员将理解的是,这些示例本质上仅仅是说明性的,并且其它示例可以落入本发明的范围内。基于本文的讲解,本领域技术人员应当意识到的是,本文公开的方面可以独立于任何其它方面来实现,并且这些方面中的两个或更多个方面可以以各种方式来组合。例如,可以使用本文阐述的任何数量的方面来实现装置或实践方法。此外,除了本文阐述的一个或多个方面之外,或不同于本文阐述的一个或多个方面,可以使用其它结构、功能、或结构和功能来实现这样的装置或实践这样的方法。

[0224] 如本领域技术人员将容易理解的,贯穿本公开内容描述的各个方面可以扩展到任何合适的电信系统、网络架构、以及通信标准。举例来说,各方面可以应用于广域网、对等

网络、局域网、其它合适的系统、或其任何组合,包括那些由待定义的标准所描述的。各种方面可以应用于3GPP 5G系统和/或其它合适的系统,包括那些由待定义的广域网标准描述的系统。各种方面还可以应用于使用LTE (在FDD、TDD、或二者的模式下)、改进的LTE (LTE-A) (在FDD、TDD、或两者的模式下)、通用移动通信系统 (UMTS)、全球移动通信系统 (GSM)、码分多址 (CDMA)、CDMA2000、演进数据优化 (EV-DO)、超移动宽带 (UMB)、IEEE 802.11 (Wi-Fi)、IEEE 802.16 (WiMAX)、IEEE 802.20、超宽带 (UWB)、蓝牙、和/或其它合适的系统。各种方面还可以应用于UMTS系统,例如W-CDMA、TD-SCDMA、以及TD-CDMA。使用的实际电信标准、网络架构、和/或通信标准将取决于具体应用和施加在系统上的总体设计约束。

[0225] 依据将由例如计算设备的元素执行的动作序列来描述许多方面。将认识到的是,本文描述的各种动作能够由特定电路(例如,中央处理单元(CPU)、图形处理单元(GPU)、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、或各种其它类型的通用或专用处理器或电路)、由一个或多个处理器执行的程序指令、或二者的组合来执行。另外地,本文描述的这些动作序列可以被认为完全地体现在任何形式的其中存储了相应的计算机指令集的计算机可读存储介质中,在执行这些指令时将使相关联的处理器执行本文描述的功能。因此,本公开内容的各个方面可以以多种不同的形式来体现,所有这些形式都被预期是在所要求保护的主题的范围内的。此外,对于本文描述的方面中的每个方面,任何这样的方面的相应的形式可以在本文被描述为例如“逻辑,其被配置为”执行所描述的动作。

[0226] 本领域技术人员将意识到的是,可以使用各种各样的不同的技术和工艺中的任何一种技术和工艺来表示信息和信号。例如,可以在整个的以上描述中引用的数据、指令、命令、信息、信号、比特、符号、以及码片可以由电压、电流、电磁波、磁场或粒子、光场或粒子、或其任意组合来表示。

[0227] 此外,本领域技术人员将意识到的是,结合本文公开的方面描述的各种说明性逻辑框、模块、电路、以及算法步骤可以被实现为电子硬件、计算机软件、或二者的组合。为了清楚地说明硬件和软件的这种可互换性,已经从各种说明性的组件、框、模块、电路、以及步骤的功能的方面在上文对其进行了一般性描述。将这样的功能实现为硬件还是软件取决于特定应用和施加于整个系统上的设计约束。本领域技术人员可以针对每个特定应用以不同方式实现所描述的功能,但是这样的实现决策不应被解释为导致脱离本公开内容的范围。

[0228] 上文示出的组件、步骤、特征、和/或功能中的一项或多项可以被重新排列和/或组合成单个组件、步骤、特征、或功能,或体现在若干组件、步骤、或功能中。在不脱离本文公开的新颖特征的情况下,还可以添加另外的元素、组件、步骤、和/或功能。上文示出的装置、设备、和/或组件可以被配置为执行本文描述的方法、特征、或步骤中的一项或多项。本文描述的新颖算法也可以在软件中高效地实现和/或嵌入硬件中。

[0229] 应当理解的是,所公开的方法中的步骤的特定顺序或层次是对示例过程的说明。基于设计偏好,可以理解的是,可以重新排列方法中步骤的特定顺序或层次。所附的方法发明以样本顺序给出各种步骤的元素,并且不意指限于给出的特定顺序或层次,除非其中特别叙述。

[0230] 结合本文公开的方面描述的方法、序列、或算法可以直接体现在硬件中、在由处理器执行的软件模块中、或在两者的组合中。软件模块可以存在于RAM存储器、闪存、ROM存储

器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或本领域中已知的任何其它形式的存储介质中。存储介质的示例被耦合到处理器，以使得处理器可以从存储介质读取信息以及向存储介质写入信息。在替代方案中，存储介质可以是处理器的组成部分。

[0231] 本文使用的词语“示例性”指代“用作示例、实例、或说明”。本文描述为“示例性”的任何方面不必然地被解释为比其它方面更优选或更有利。同样，术语“方面”并不要求所有方面都包括所论述的特征、优点、或操作模式。

[0232] 本文使用的术语仅仅是出于描述特定方面的目的，而不是旨在限制所述方面。如本文使用的，单数形式“一”、“一个”和“该”也旨在包括复数形式，除非上下文以其它方式明确地指示。还将理解的是，当在本文使用时，术语“包含 (comprises)”、“包含 (comprising)”、“包括 (includes)”、或“包括 (including)”指定所述特征、整数、步骤、操作、元素、或组件的存在，但不排除一个或多个其它特征、整数、步骤、操作、元素、组件、或其组合的存在或添加。此外，应当理解的是，词语“或”具有与布尔运算符“OR”相同的含义，也就是说，它包括“任一”和“二者”的可能性，并且不限于“异或” (“XOR”)，除非另外明确说明。还应理解的是，两个相邻词语之间的符号“/”具有与“或”相同的含义，除非另外明确说明。此外，诸如“连接到”、“耦合到”、或“相通信”的短语不限于直接连接，除非另外明确说明。

[0233] 本文使用诸如“第一”、“第二”等的名称对元素的任何引用通常不限制这些元素的数量或顺序。相反，这些名称可以在本文被用作区分两个或更多个元素或元素的实例的方便的方法。因此，对第一和第二元素的引用并不意指着在那里只能使用两个元素，或第一元素必须以某种方式在第二元素之前。此外，除非另有说明，否则元素集合可以包括一个或多个元素。另外，在本发明中使用的“a、b、或c中的至少一项”或“a、b、c、或其任何组合”的形式的术语意指“a或b或b或这些元素的任何组合”。例如，该术语可以包括a、或b、或c、或a和b、或a和c、或a和b和c、或2a、或2b、或2c、或2a和b等。

[0234] 如本文使用的，术语“确定”包括各种各样的动作。例如，“确定”可以包括计算、运算、处理、导出、调查、查找 (例如，在表、数据库、或其它数据结构中查找)、核实等。此外，“确定”可以包括接收 (例如，接收信息)、存取 (例如，存取存储器中的数据) 等。此外，“确定”可以包括解析、选择、挑选、建立等。

[0235] 虽然前述公开内容示出了说明性方面，但是应当注意的是，在不脱离本发明的范围的情况下，可以在本文中进行各种改变和修改。根据本文描述的方面的方法发明的功能、步骤、或动作不需要以任何特定顺序执行，除非另外明确说明。此外，尽管可以以单数形式描述或要求保护各元素，但是复数形式也是预期的，除非明确说明限于单数。

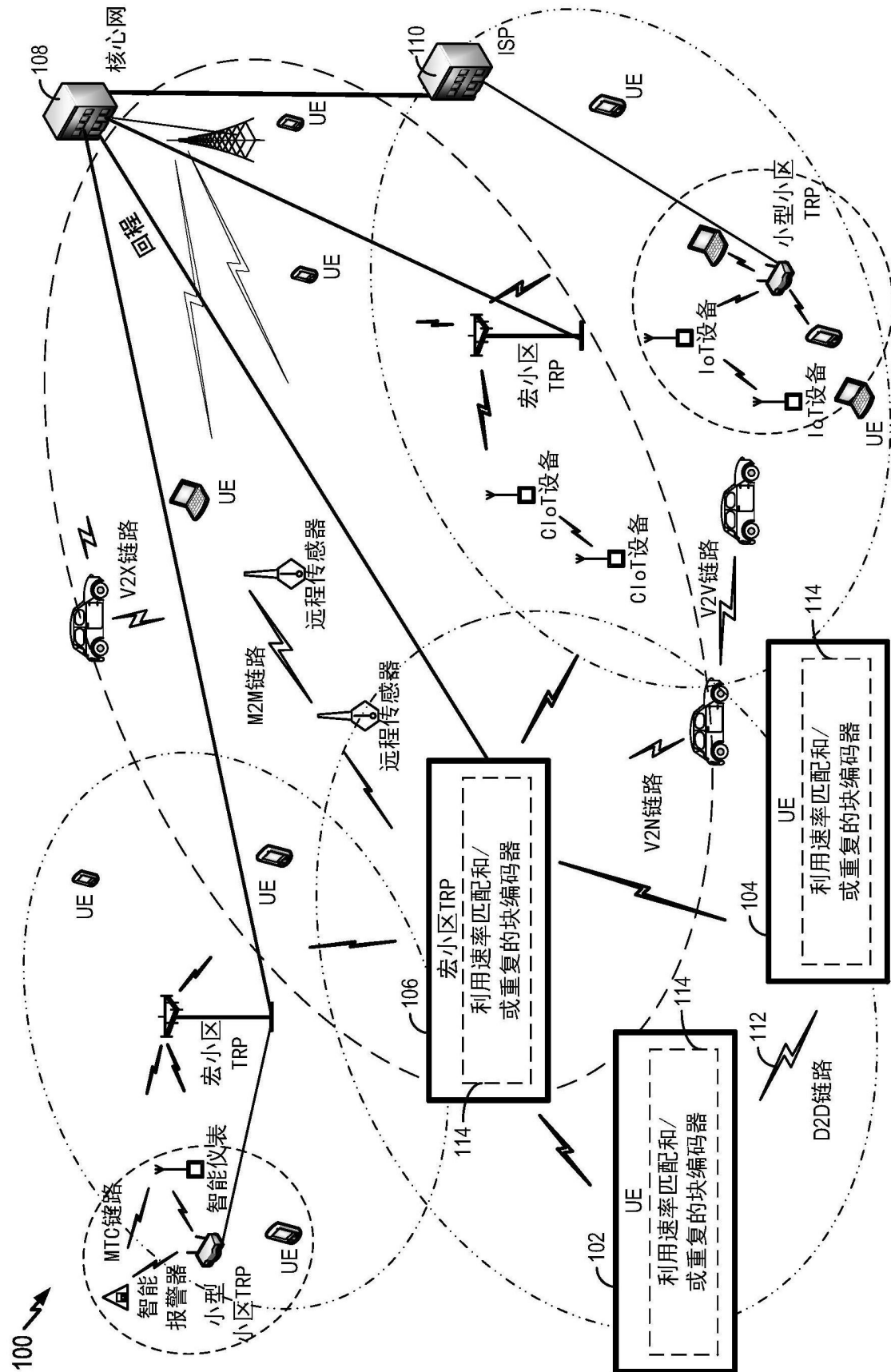


图1

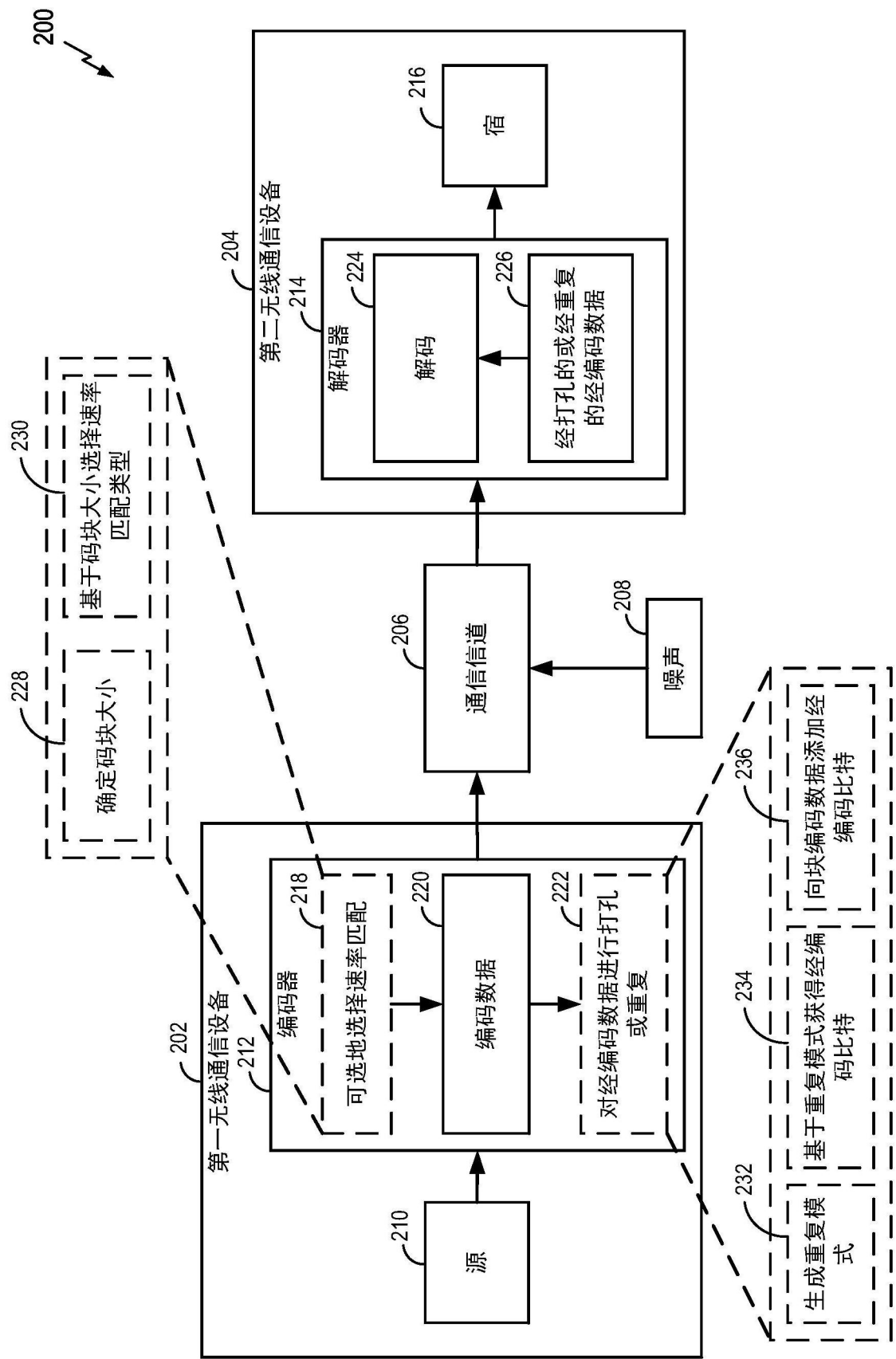


图2

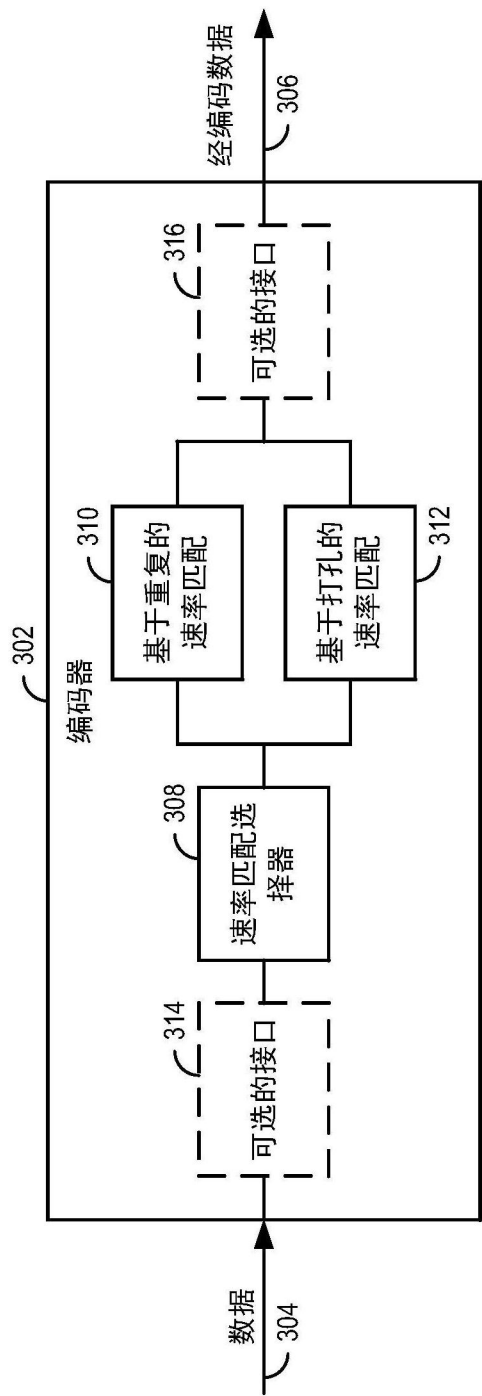


图3

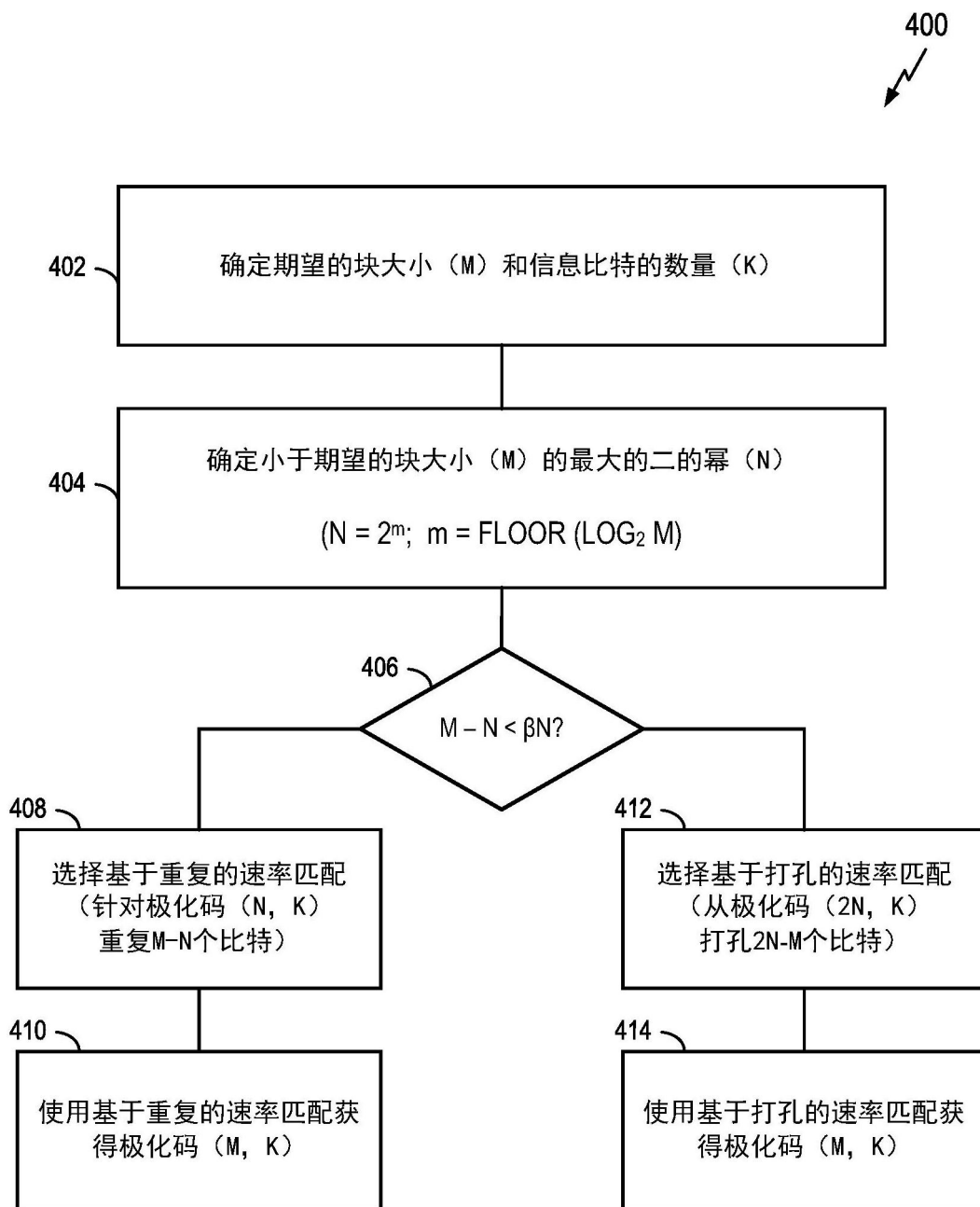


图4

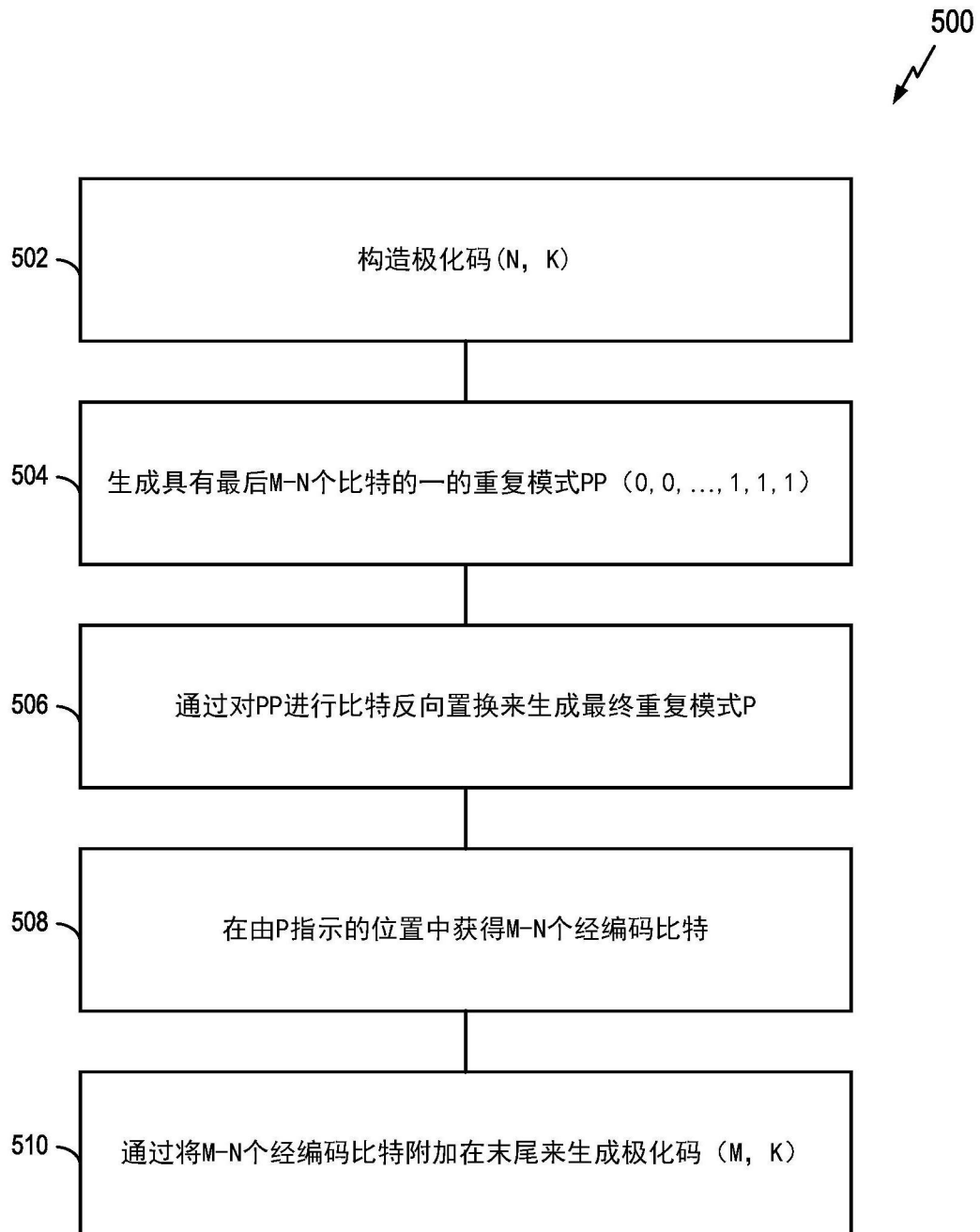


图5

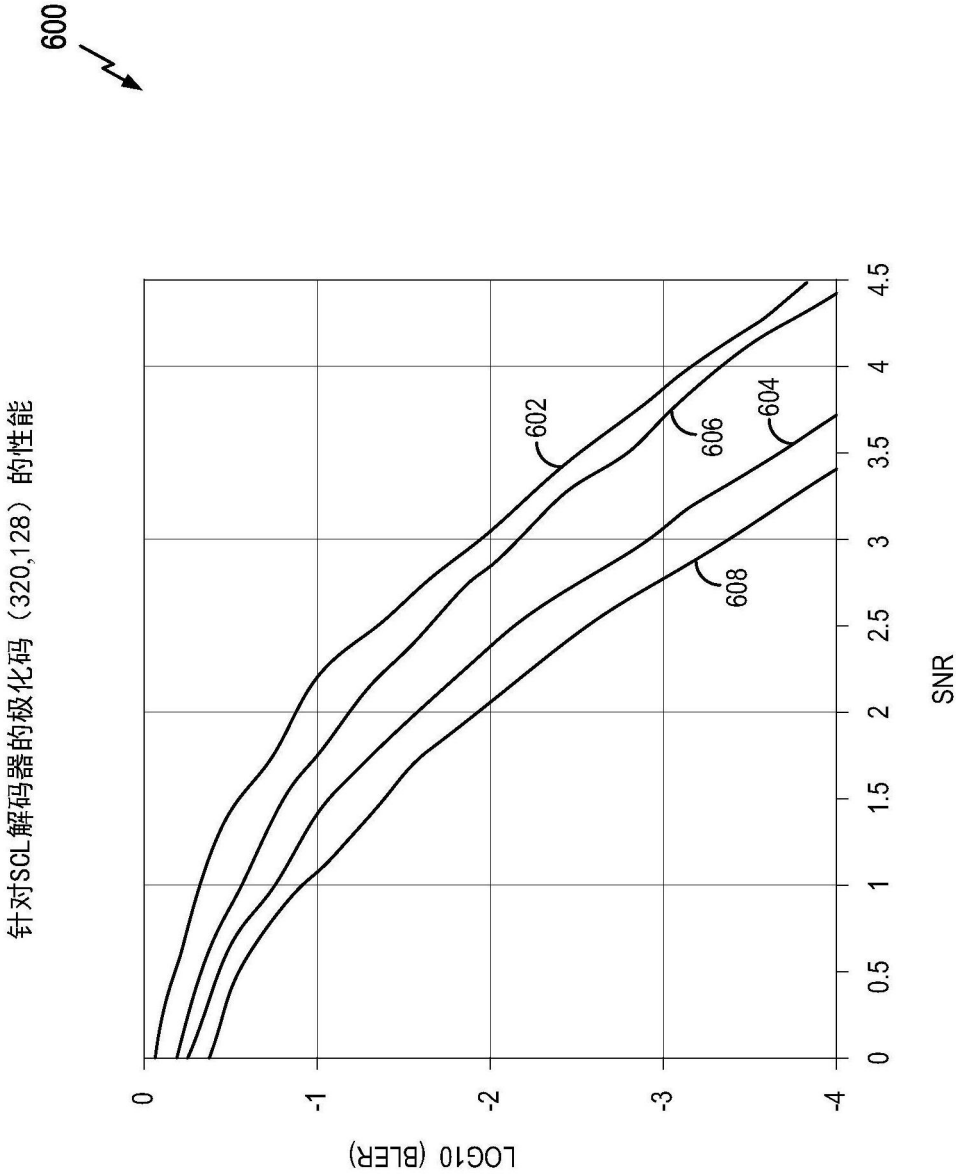


图6

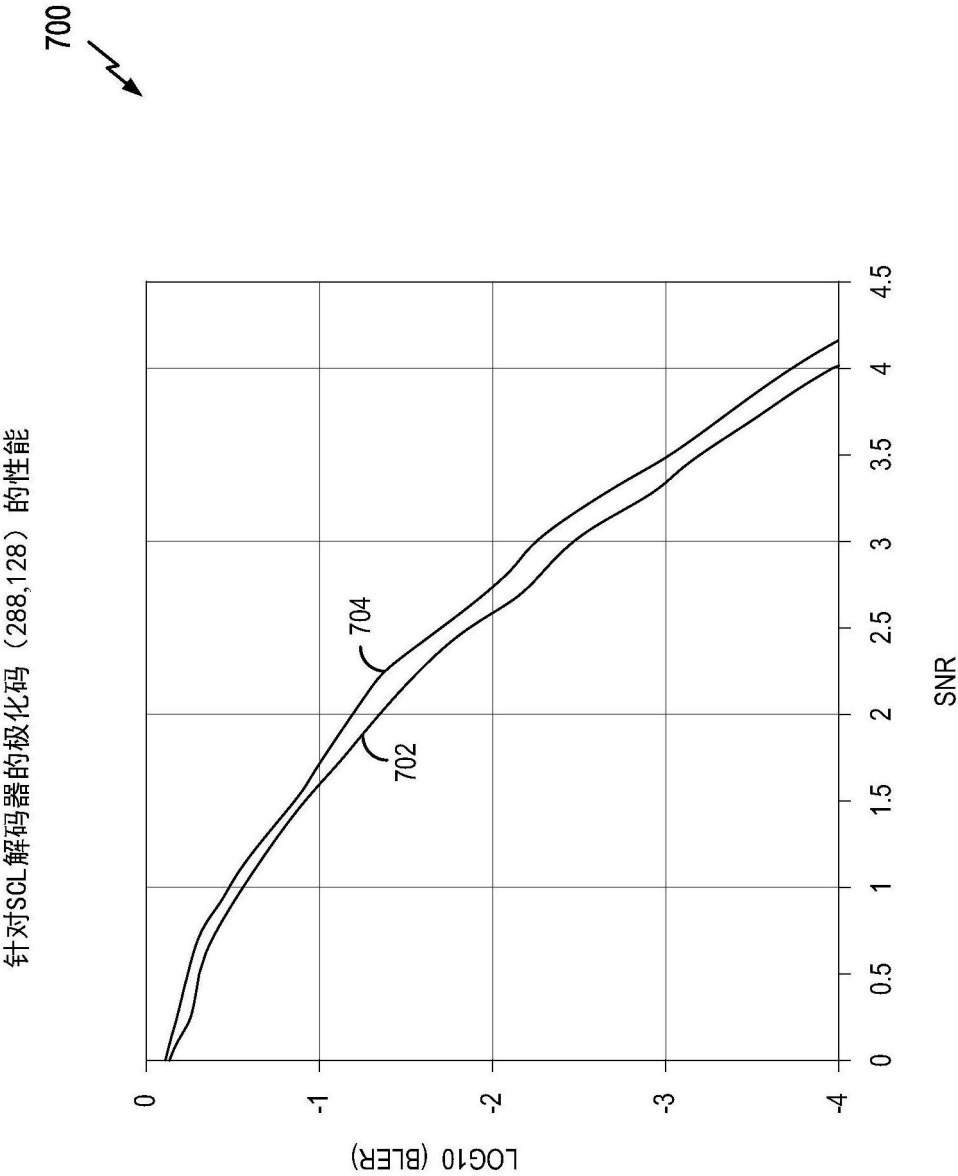
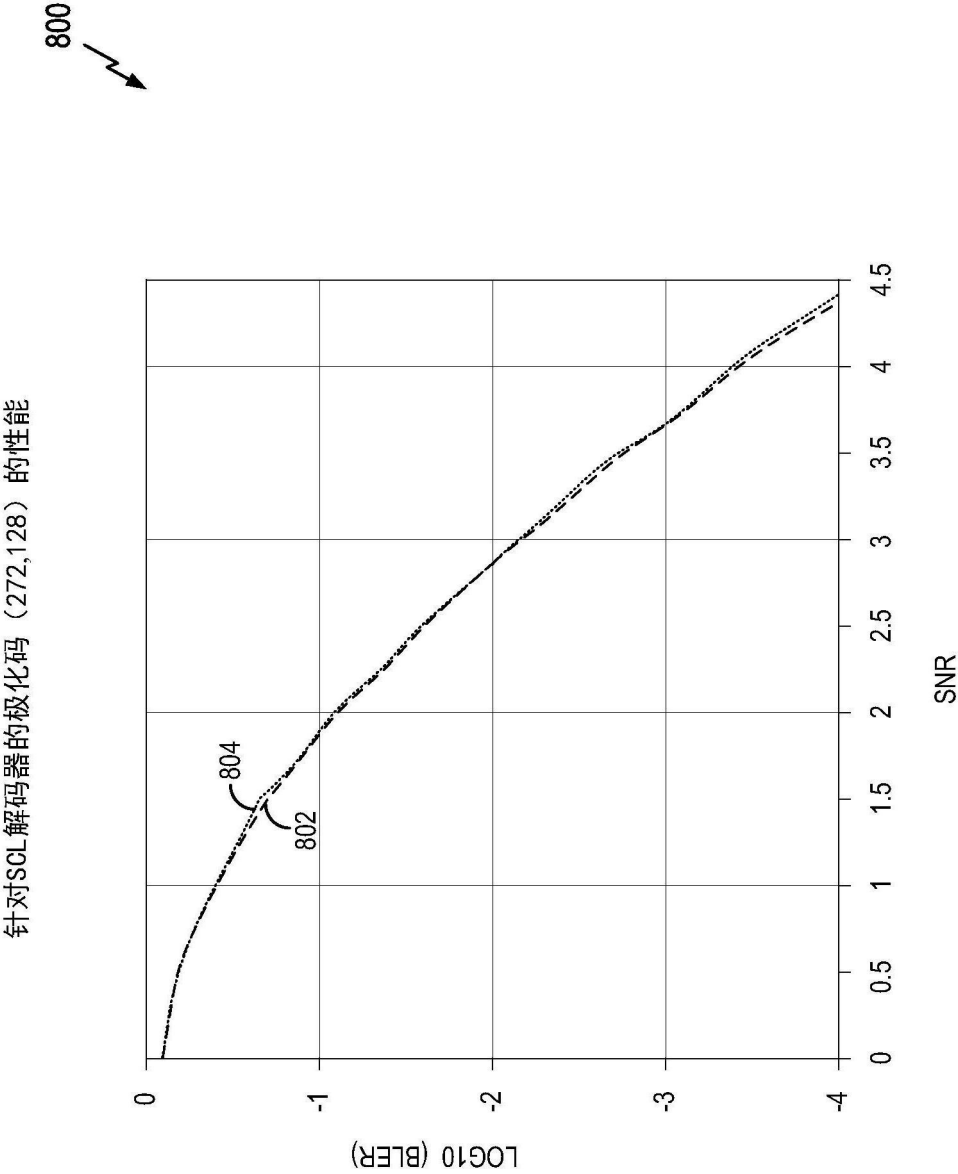


图7



800

图8

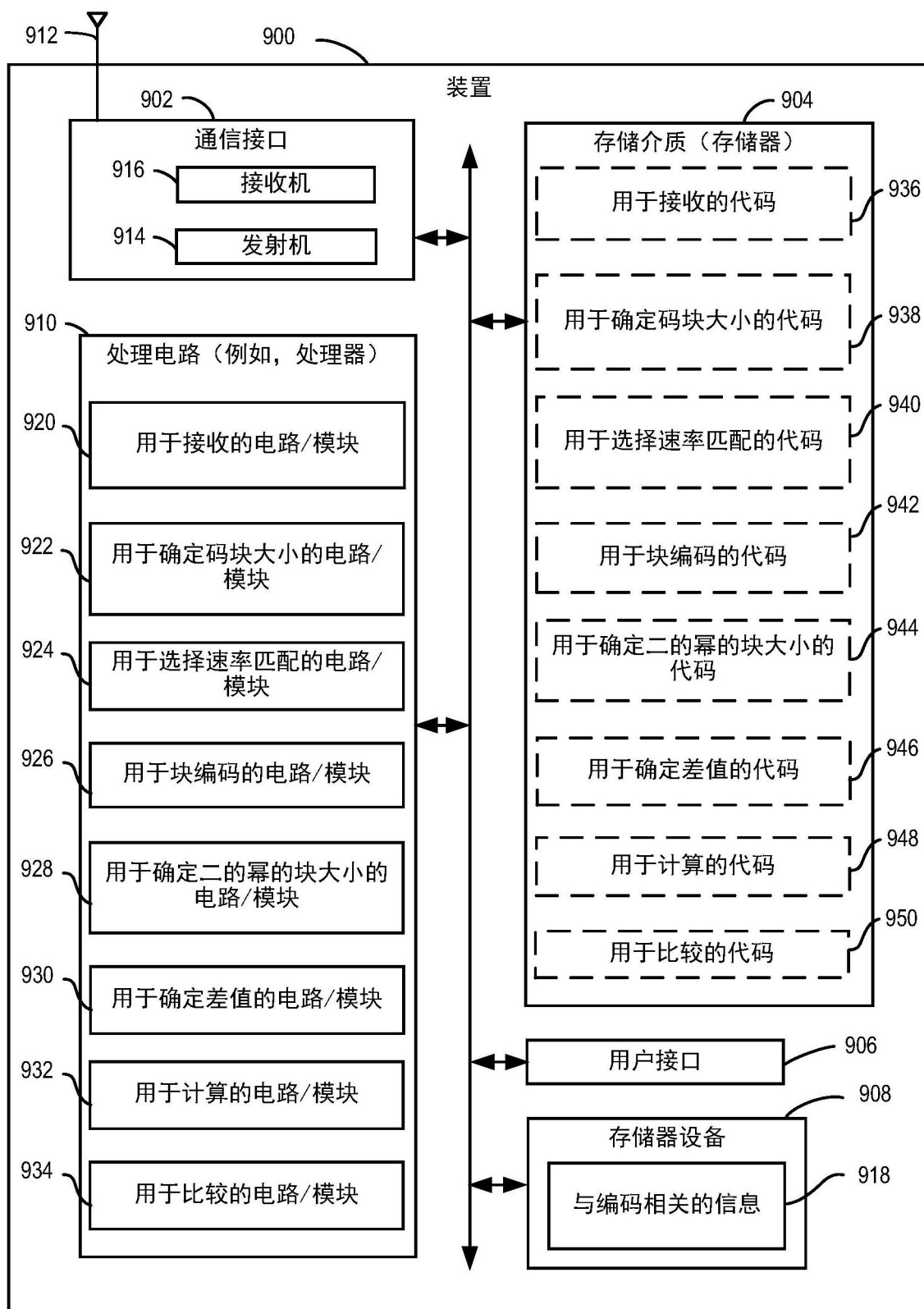


图9

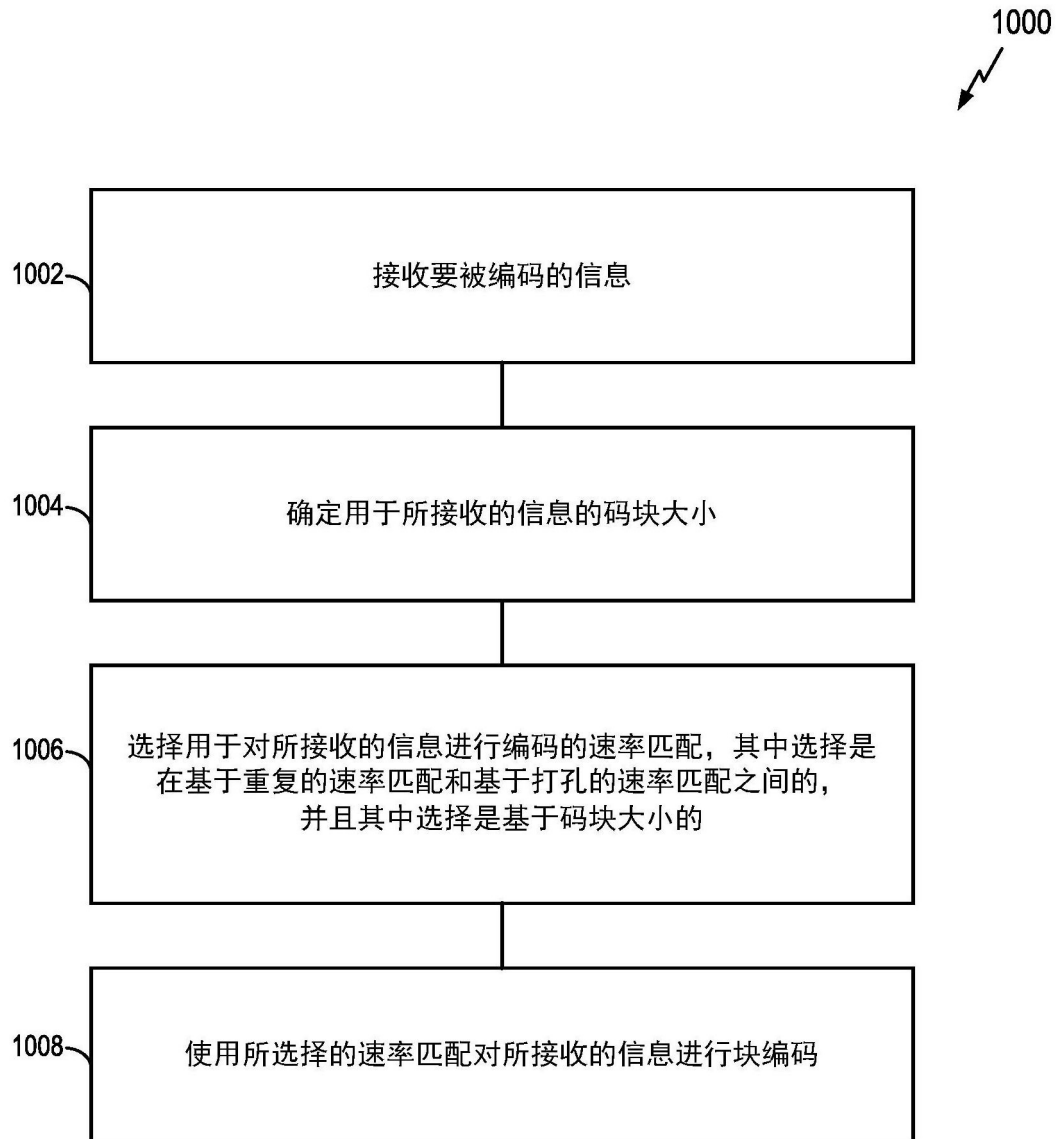


图10

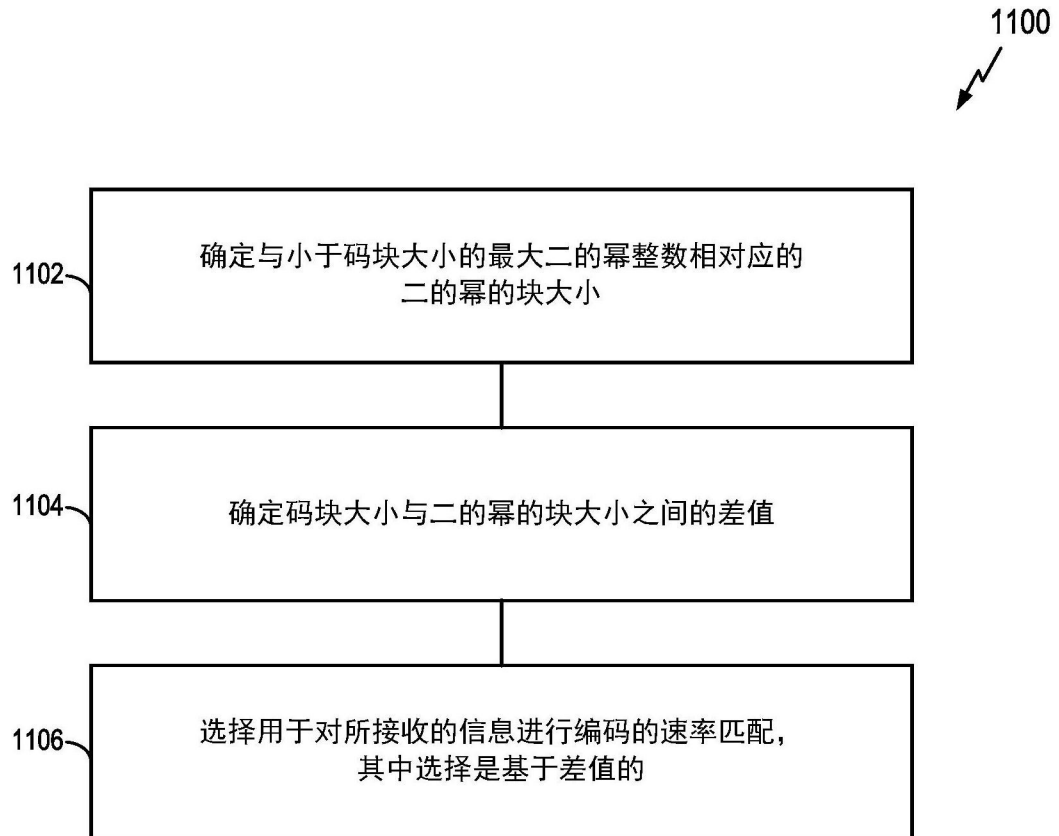


图11

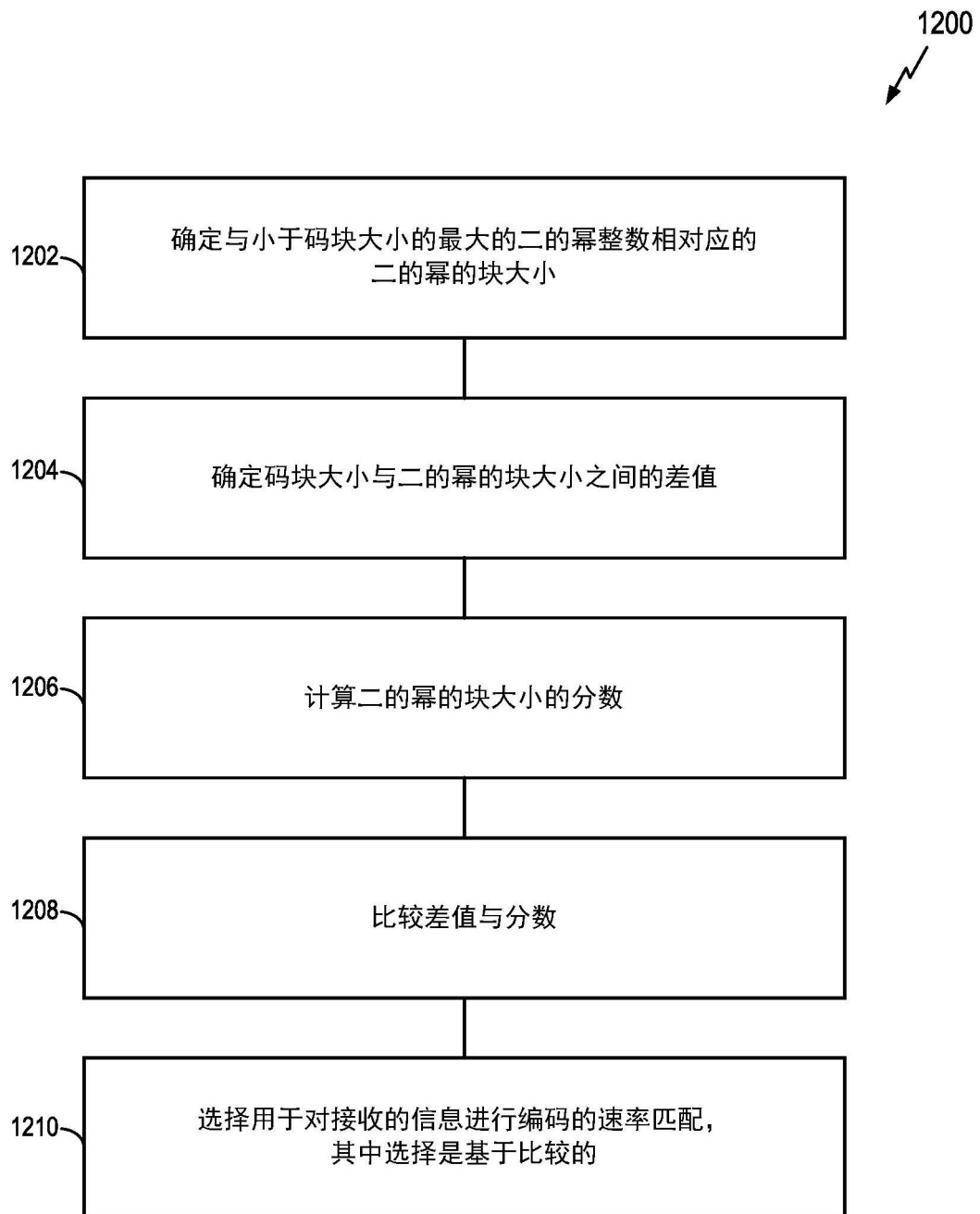


图12

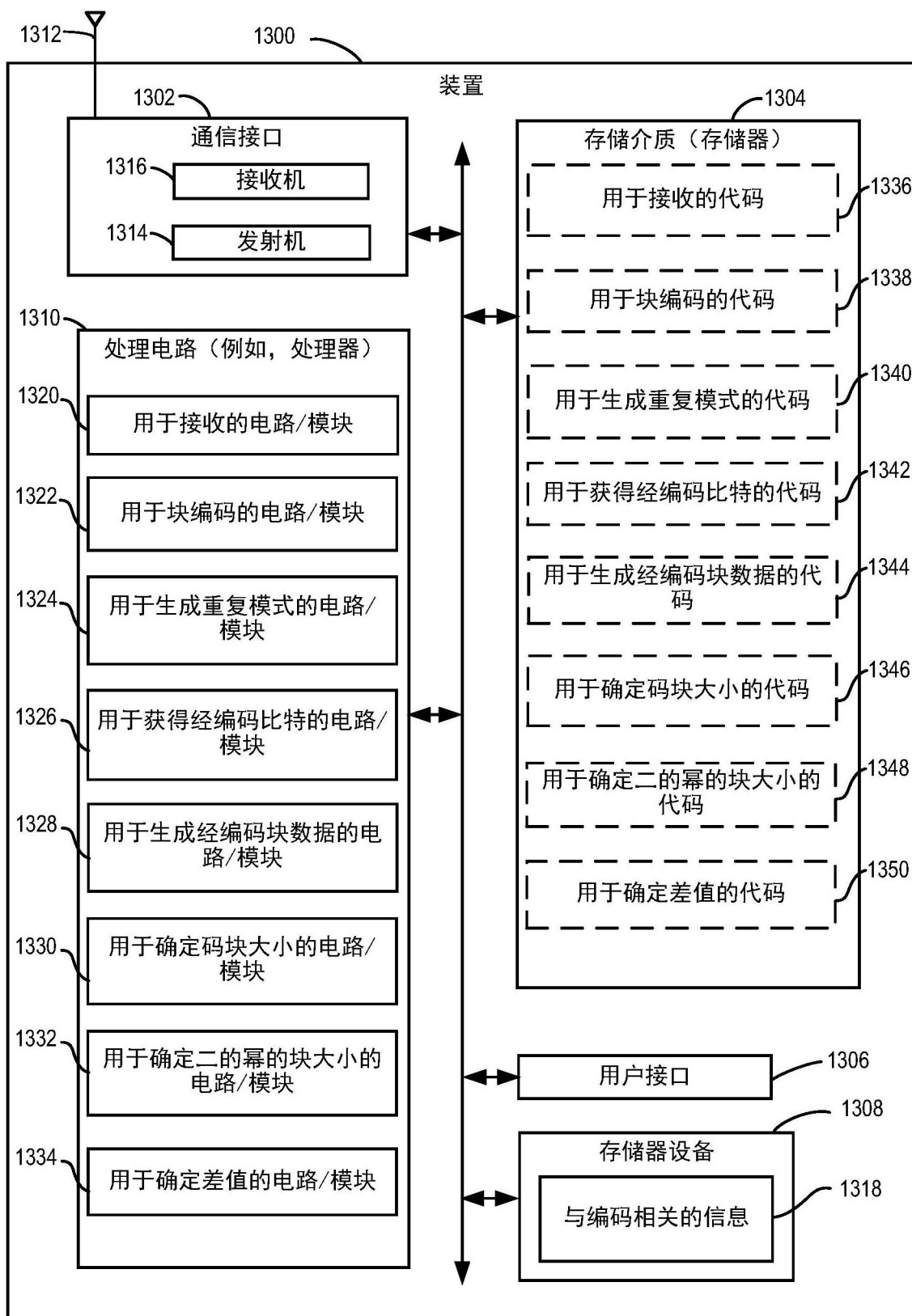


图13

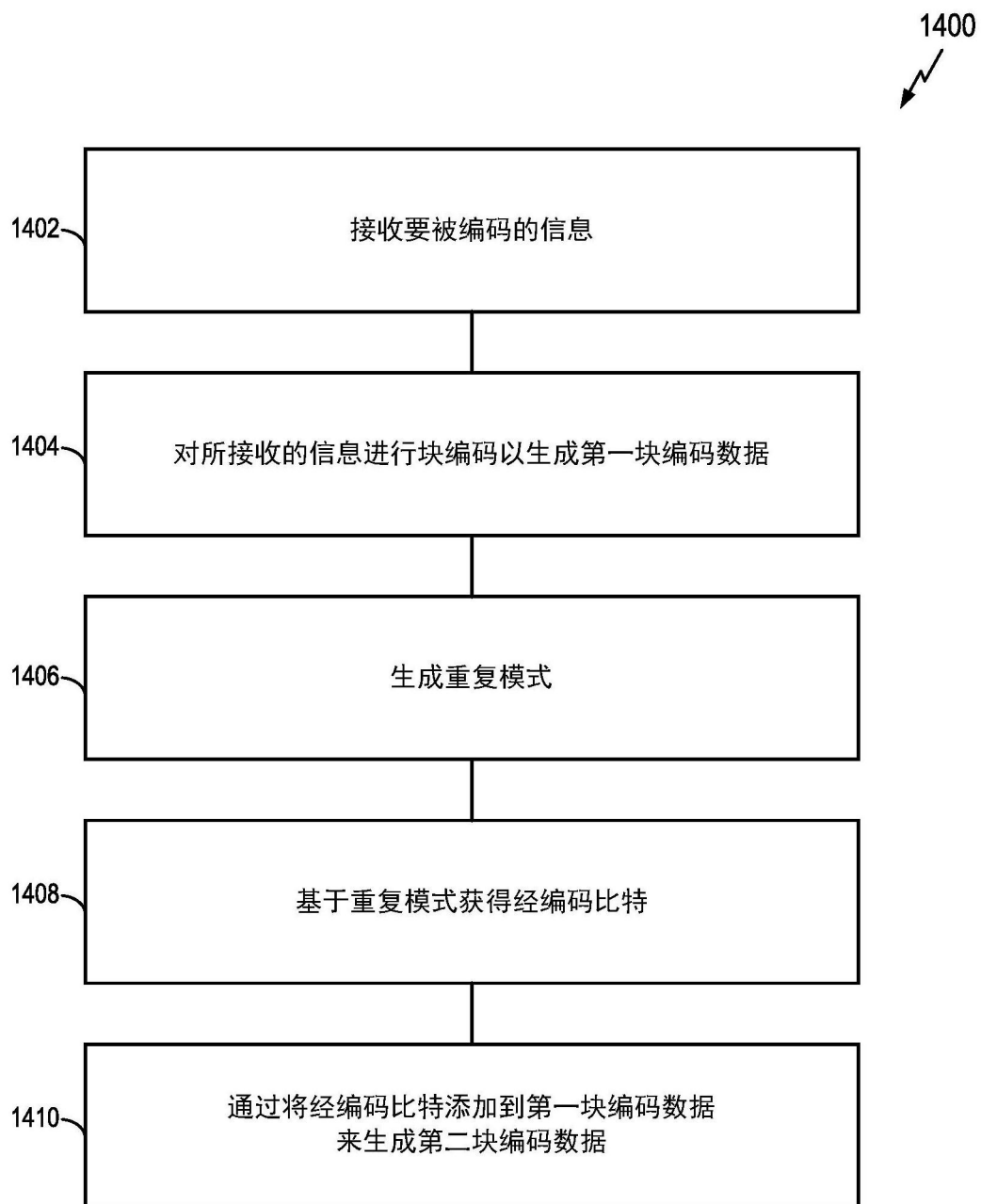


图14

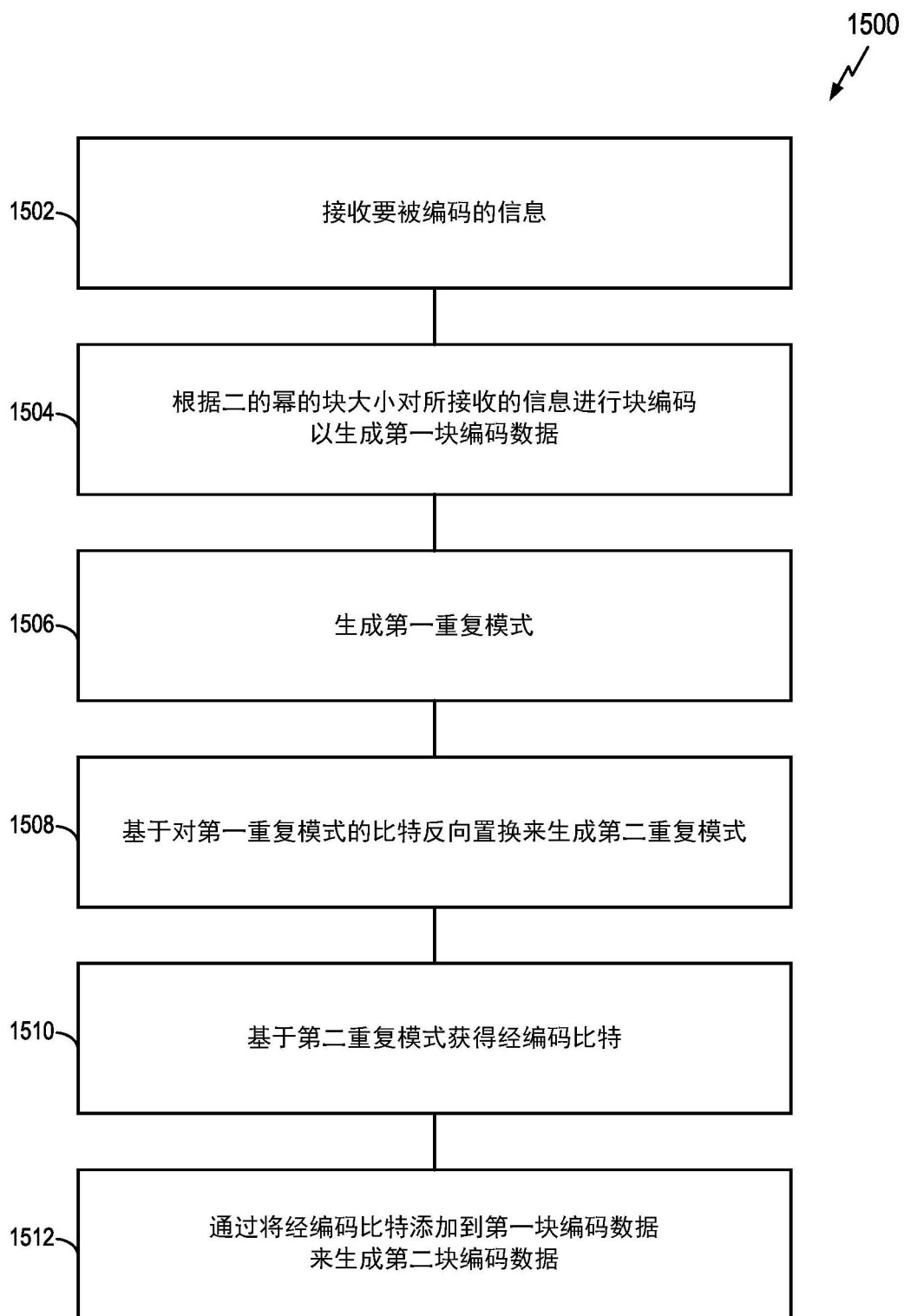


图15

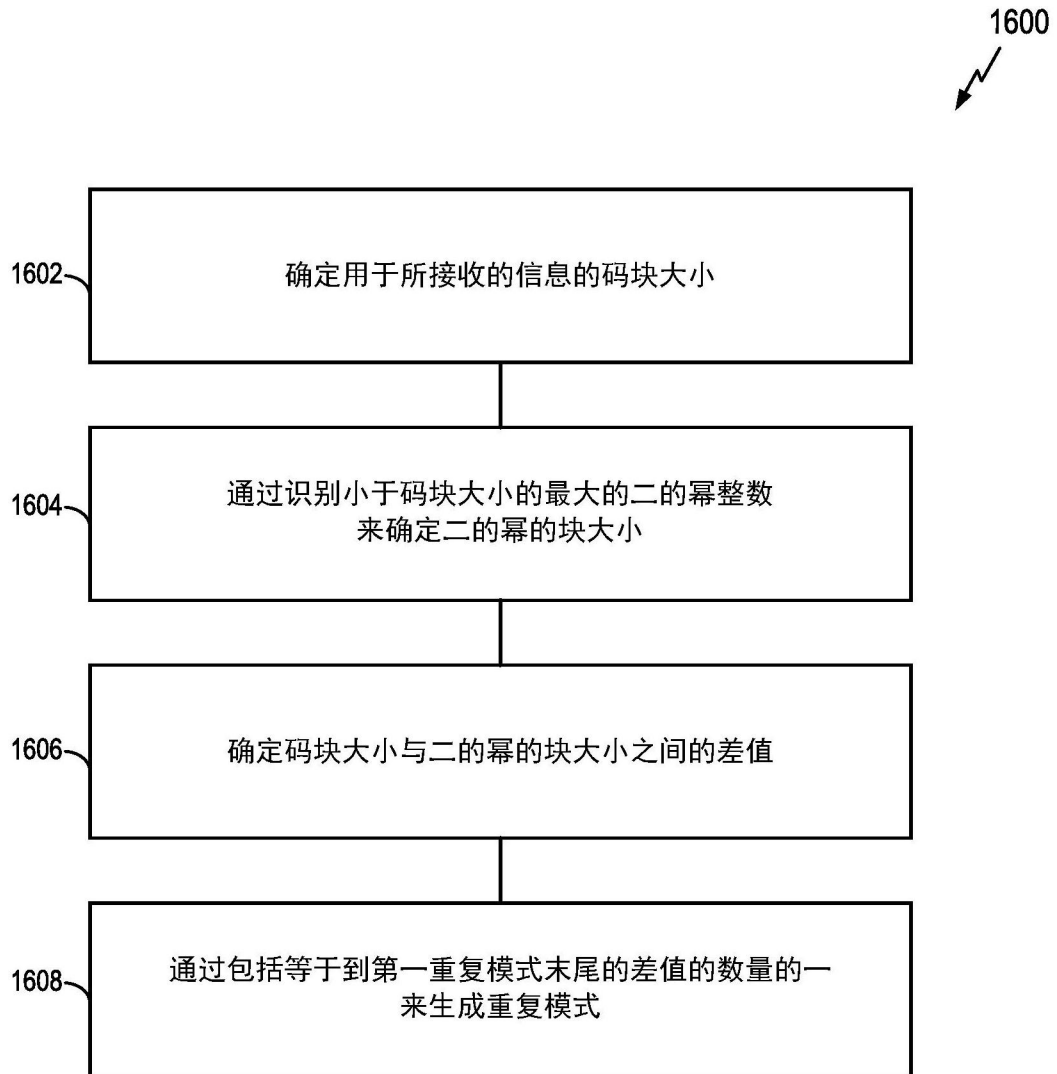


图16