

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号

WO 2012/131920 A1

- (51) 国際特許分類:
H03K 5/22 (2006.01) H03K 5/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/057891
- (22) 国際出願日: 2011 年 3 月 29 日(29.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 鈴木 康一 (SUZUKI, Kouichi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 宏明(SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

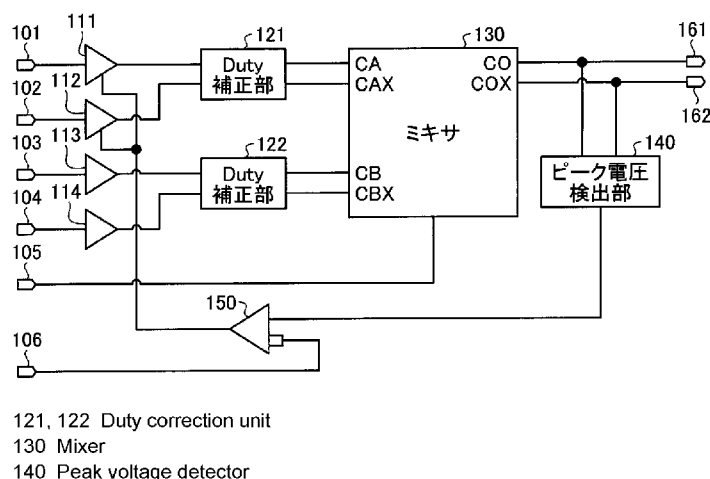
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PHASE CORRECTION CIRCUIT AND PHASE CORRECTION METHOD

(54) 発明の名称: 位相補正回路及び位相補正方法

[図1]



121, 122 Duty correction unit
130 Mixer
140 Peak voltage detector

(57) Abstract: Variable delay circuits (111, 112) output a first delay signal to which a delay value has been variably added to a first signal having a predetermined phase. A mixer (130) receives input of a first signal to which a delay has been added by the variable delay circuits (111, 112) and a second signal having a phase that is different from the predetermined phase, and outputs a combined signal of the first signal and the second signal. A peak voltage detector (140) detects the maximum value of the amplitude voltage of the combined signal outputted from the mixer (130). A comparator (150) controls the delay value added by the variable delay circuits (111, 112) so that the maximum value detected by the peak voltage detector (140) matches a predetermined voltage.

(57) 要約:

[続葉有]

WO 2012/131920 A1



可変遅延回路（１１１、１１２）は、所定の位相を有する第１信号に対して遅延値を可変に付加した第１遅延信号を出力する。ミキサ（１３０）は、可変遅延回路（１１１、１１２）により遅延が付加された第１信号及び所定の位相と異なる位相を有する第２信号の入力を受け、第１信号と第２信号の合成信号を出力する。ピーク電圧検出部（１４０）は、ミキサ（１３０）から出力された合成信号の振幅電圧の最大値を検出する。コンパレータ（１５０）は、ピーク電圧検出部（１４０）が検出した最大値が所定の電圧に一致するように可変遅延回路（１１１、１１２）が付加する遅延値を制御する。

明 細 書

発明の名称： 位相補正回路及び位相補正方法

技術分野

[0001] 本発明は、位相補正回路及び位相補正方法に関する。

背景技術

[0002] 近年のサーバの高速化要求に伴い、より高速に動作するインタフェースが要求されている。そして、インタフェースには、データの識別を行うクロックの位相の調整が必要な受信回路や送信回路が設けられている。そこで、より高速な動作に対応するため、受信回路及び送信回路には正確な位相調整を行うことが求められてきている。具体的には、例えば、高速に動作するシリアル通信回線における送信回路には、パラレルデータからシリアルデータへ変換する際のクロックとデータのタイミングに正確性が求められる。また、シリアル通信回線の受信回路では、データをサンプリングする際のクロックとデータのタイミングに正確性が求められる。そこで、受信回路及び送信回路には位相を制御する位相補正回路を有するクロック発生回路が設けられている。

[0003] 位相補正回路は、VCO (Voltage Controlled Oscillator) から又はVCO出力を分周した分周器から、位相が異なる信号の入力を受ける。そして、位相補正回路は、受信した信号におけるデータとクロックの識別位相に対して電流量によって遅延を加えることで、所望の位相となるように制御を行う。

[0004] この位相の異なる信号は、例えば、 0° 、 90° 、 180° 、 270° の位相を有する4つの信号などである。しかし、リングオシレータVCO又はLC-VCOから正確な位相関係の信号を出力したとしても、VCOからミキサまでの配線構造及びバッファなどのばらつきにより、入力される信号は正確な位相関係にならない。すなわち、各信号における、 0° 、 90° 、 180° 、 270° という関係が不正確になってしまう。そこで、これらの位

相関係を改善するために、位相補正回路により位相の制御が行われる。

[0005] 図 1 3 は、位相関係が適切な場合の入力信号及び出力信号を表す図である。また、図 1 4 は、S k e w のズレが発生している場合の入力信号及び出力信号を表す図である。ここで、S k e w のズレとは、入力されるクロック信号の位相関係が正確な状態をズレが無い S k e w として、そのズレが無い S k e w の状態から位相がずれた状態になっている場合をいう。

[0006] 図 1 3 において、実線は、 0° 及び 180° の位相を有する入力信号による差動波形を表している。また、一点鎖線は、 90° 及び 270° の位相を有する入力信号による差動波形を表している。さらに、点線は、実線及び点線で表される 2 つの差動信号から生成された出力信号を表している。そして、紙面に向かって上から順に各グラフはそれぞれ出力信号の位相を $\pi/8$ 、 $\pi/4$ 、 $3\pi/8$ 、 $3\pi/4$ 、 $5\pi/4$ 、 $7\pi/4$ ずらした状態を表している。そして、線 9 0 1 ~ 9 0 6 は、閾値電圧を表している。そして、入力信号の位相関係が適切な場合には、出力信号の位相をどのように調整しても、点 9 1 1 ~ 9 1 6 で表されるように、閾値電圧との交点が一定間隔で繰り返される。この場合、出力信号の位相を変化させた時の位相の変化量が一定であり、このようなクロックを用いれば、データの識別を正確に行える。

[0007] これに対して、S k e w のズレが発生した場合、図 1 4 に示すように、適正な位相であれば線 9 2 0 の位置に閾値電圧との交点があるはずが、出力信号の位相がずれてしまい、閾値電圧との交点が適切な位置から位相差 9 2 1 や位相差 9 2 2 の分ずれてしまう。

[0008] ここで、図 1 5 - 1 及び図 1 5 - 2 は、S k e w のズレが発生している場合の出力信号の位相を示す図である。図 1 5 - 1 及び図 1 5 - 2 はいずれも縦軸で出力信号の位相を表し、横軸で出力信号の位相を調整するためのコードを表している。ズレが無い場合は位相の変化量が一定であるので、図 1 5 - 1 の線 9 3 1 や図 1 5 - 2 の線 9 3 3 のようにコードに対応して位相の変化は直線的になる。しかし、位相にズレが発生し入力信号の位相が近づいた場合には、図 1 5 - 1 の点線 9 3 2 のように線 9 3 1 から大きくずれてしま

い、位相の変化量が一定でなくなる。また、位相にズレが発生し入力信号の位相が離れた場合にも、図15-1の点線934のように線933から大きくずれてしまい、位相の変化量が一定でなくなる。すなわち、識別位相の可変量の精度が悪くなってしまう。

[0009] 従来、位相補正回路による移送の制御として、Duty（デューティ）が互いに反転された関係にある2つのクロック信号を生成して、クロックのDutyを補正する技術が開示されている。また、フェーズロック状態を保持しながら、遅延量を変化させる技術が開示されている。ここで、Dutyは、例えば、クロックパルスのHigh幅とLow幅の比率を表す。

先行技術文献

特許文献

[0010] 特許文献1：特開2005-135567号公報

特許文献2：特許第4310036号公報

発明の概要

発明が解決しようとする課題

[0011] ここで、クロックのDutyを補正する従来技術では、例えば、 0° と 180° の位相を有する差動信号におけるDutyズレ、及び 90° と 270° の位相を有する差動信号におけるDutyズレは補正できる。しかし、 0° 及び 180° の位相を有する差動信号と 90° 及び 270° の位相を有する差動信号との間のSkewのズレを補正することは困難である。そして、各クロックのSkewにズレが生じた場合、入力位相信号毎にクロックの所望の位相に対して異なる位相変化量が発生してしまう。言い換えれば、データを識別するクロックの位相のステップが細くなったり荒くなったりしてしまう。そして、クロックの位相変化におけるステップが荒くなった分は、ジッタとなり、エラーレートが悪化するというおそれがあった。

[0012] 開示の技術は、上記に鑑みてなされたものであって、入力位相信号の位相の間隔の精度を向上させ、識別位相の可変量を高精度化する位相補正回路及

び位相補正方法を提供することを目的とする。

課題を解決するための手段

[0013] 本願の開示する位相補正回路及び位相補正方法は、第 1 遅延付加部は、所定の位相を有する第 1 信号の入力を受け、該第 1 信号に対して遅延値を可変に付加した第 1 遅延信号を出力する。第 1 ミキサは、前記第 1 遅延信号及び前記所定の位相と異なる位相を有する第 2 信号の入力を受け、前記第 1 信号と前記第 2 信号の合成信号を出力する。第 1 ピーク電圧検出部は、前記第 1 ミキサから出力された合成信号の振幅電圧の最大値を検出する。制御部は、前記第 1 ピーク電圧検出部が検出した最大値が所定の電圧に一致するように前記第 1 遅延付加部が付加する遅延値を制御する。

発明の効果

[0014] 本願の開示する位相補正回路及び位相補正方法の一つの態様によれば、入力位相信号の位相の間隔の精度が向上し、識別位相の可変量が高精度化するという効果を奏する。

図面の簡単な説明

- [0015] [図1] 図 1 は、実施例 1 に係る位相補正回路のブロック図である。
- [図2] 図 2 は、4 位相クロックを発生する LC-VCO を使用した回路の一例の図である。
- [図3] 図 3 は、ミキサの一例の回路図である。
- [図4] 図 4 は、出力振幅ピーク電圧の差による位相の変化について説明するための図である。
- [図5] 図 5 は、実施例 1 に係る位相補正回路における S k e w の補正処理のフローチャートである。
- [図6] 図 6 は、本実施例に係る位相補正回路を有する送信機及び受信機のブロック図である。
- [図7] 図 7 は、多相クロック生成回路のブロック図である。
- [図8] 図 8 は、位相調整クロック、多相クロック及び入力データのタイミングチャートである。

[図9] 図9は、実施例2に係る位相補正回路のブロック図である。

[図10-1] 図10-1は、S k e wのズレが無い状態の第1ピーク電圧と第2ピーク電圧を説明する図である。

[図10-2] 図10-2は、S k e wのズレがある状態の第1ピーク電圧と第2ピーク電圧を説明する図である。

[図11] 図11は、実施例3に係る位相補正回路のブロック図である。

[図12] 図12は、実施例3に係る可変遅延回路の一例の図である。

[図13] 図13は、位相関係が適切な場合の入力信号及び出力信号を表す図である。

[図14] 図14は、S k e wのズレが発生している場合の入力信号及び出力信号を表す図である。

[図15-1] 図15-1は、S k e wのズレが発生している場合の出力信号の位相を示す図である。

[図15-2] 図15-2は、S k e wのズレが発生している場合の出力信号の位相を示す図である。

発明を実施するための形態

[0016] 以下に、本願の開示する位相補正回路及び位相補正方法の実施例を図面に基づいて詳細に説明する。なお、以下の実施例により本願の開示する位相補正回路及び位相補正方法が限定されるものではない。

実施例 1

[0017] 図1は、実施例1に係る位相補正回路のブロック図である。図1に示すように本実施例に係る位相補正回路は、入力端子101～106、可変遅延回路111、112、固定遅延回路113、114、D u t y補正部121、122、ミキサ130、ピーク電圧検出部140、コンパレータ150及び出力端子161、162を有している。

[0018] 入力端子101には、正弦波信号C Aが供給される。また、入力端子102には、正弦波信号C A Xが供給される。ここで、信号C Aは、基準の位相として0°の位相を有するクロック信号である。また、信号C A Xは、信号

CAの反転信号（相補信号）であり、 180° の位相を有するクロック信号である。この信号CA及び信号CAXが、「第1信号」の一例にあたる。

[0019] 入力端子103には、正弦波信号CBが供給される。また、入力端子104には、正弦波信号CBXが供給される。ここで、信号CBは、 90° の位相を有するクロック信号である。また、信号CBXは、信号CBの反転信号であり、 270° の位相を有するクロック信号である。この信号CB及び信号CBXが、「第2信号」の一例にあたる。

[0020] ここで、各端子に入力されるクロック信号の位相をそれぞれ、 0° 、 90° 、 180° 、 270° としたが、実際にはDuty及びSkewのズレが生じている。ここで、Skewのズレとは、入力されるクロック信号の位相関係が正確な状態をズレが無いSkewとして、そのズレが無いSkewの状態から位相がずれた状態になっている場合をいう。

[0021] 図2は、4位相クロックを発生するLC-VCOを使用した回路の一例の図である。端子201へ 90° の位相を有する信号が供給される。また、端子202へ 270° の位相を有する信号が供給される。また、端子203へ 180° の位相を有する信号が供給される。また、端子204へ 0° の位相を有する信号が供給される。そして、各信号は、図2の回路により、周波数の制御などが施された後、入力端子101～104へ供給される。

[0022] 可変遅延回路111は、入力端子101に供給された信号CAの入力を受ける。さらに、可変遅延回路111は、後述するコンパレータ150からの制御信号を受けて、遅延の増減を行う。そして、可変遅延回路111は、制御された遅延を信号CAに与え位相をシフトする。例えば、 $+\Delta T$ の遅延を与える制御信号をコンパレータ150から受けた場合、可変遅延回路111は、現在の遅延量に ΔT を加算した遅延を信号CAに与える。また、例えば、 $-\Delta T$ の遅延を与える制御信号をコンパレータ150から受けた場合、可変遅延回路111は、現在の遅延量から ΔT を減算した遅延を信号CAに与える。そして、可変遅延回路111は、遅延を与えた信号CAをDuty補正部121へ出力する。

[0023] 可変遅延回路 112 は、入力端子 102 に供給された信号 CAX の入力を受ける。さらに、可変遅延回路 112 は、後述するコンパレータ 150 からの制御信号を受けて、遅延の増減を行う。ここで、可変遅延回路 112 がコンパレータ 150 から受ける制御信号は、可変遅延回路 111 がコンパレータ 150 から受ける指示と同様である。そして、可変遅延回路 112 は、制御された遅延を信号 CAX に与え位相をシフトする。例えば、 $+\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 112 は、現在の遅延量に ΔT を加算した遅延を信号 CAX に与える。また、例えば、 $-\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 112 は、現在の遅延量から ΔT を減算した遅延を信号 CAX に与える。そして、可変遅延回路 112 は、遅延を与えた信号 CAX を D u t y 補正部 121 へ出力する。この可変遅延回路 111 及び可変遅延回路 112 が「第 1 遅延付加部」の一例にあたる。

[0024] 固定遅延回路 113 は、入力端子 103 に供給された信号 CB の入力を受ける。そして、固定遅延回路 113 は、予め決められている遅延を信号 CB に与え、位相をシフトする。そして、固定遅延回路 113 は、遅延を与えた信号 CB を D u t y 補正部 122 へ出力する。

[0025] 固定遅延回路 114 は、入力端子 104 に供給された信号 CBX の入力を受ける。そして、固定遅延回路 114 は、予め決められている遅延を信号 CBX に与え、位相をシフトする。そして、固定遅延回路 114 は、遅延を与えた信号 CB を D u t y 補正部 122 へ出力する。

[0026] D u t y 補正部 121 は、信号 CA の入力を可変遅延回路 113 から受ける。また、D u t y 補正部 121 は、信号 CAX の入力を可変遅延回路 114 から受ける。そして、D u t y 補正部 121 は、信号 CA と信号 CAX との D u t y のズレを無くすように、補正を行う。そして、D u t y 補正部 121 は、D u t y を補償するように補正を施した信号 CA 及び信号 CAX をミキサ 130 へ出力する。ここで、D u t y の補正は、例えば、差動クロック間（CA と CAX との間、CB と CBX との間）にインバータをクロスカ

ップして接続する方法などで実現できる。

[0027] D u t y 補正部 1 2 2 は、信号 C B の入力を可変遅延回路 1 1 1 から受ける。また、D u t y 補正部 1 2 2 は、信号 C B X の入力を可変遅延回路 1 1 2 から受ける。そして、D u t y 補正部 1 2 2 は、信号 C B と信号 C B X との D u t y のズレを無くすように、補正を行う。そして、D u t y 補正部 1 2 2 は、D u t y を補償するように補正を施した信号 C B 及び信号 C B X をミキサ 1 3 0 へ出力する。

[0028] 図 3 は、ミキサの一例の回路図である。本実施例に係るミキサ 1 3 0 は、図 3 に示すように、信号を合成する際に各信号に重み付けを行うための複数のスイッチが設けられている。ここで、重みとは、合成信号を生成するときその信号をどの程度の割合で用いて生成を行うかを表す値である。スイッチ群 1 3 1 は、信号 C A 及び信号 C A X に対して重み付けを行うスイッチであり、スイッチ群 1 3 2 は、信号 C B 及び信号 C B X に対して重み付けを行うスイッチである。そして、定電流源 1 3 3 は、各スイッチを介して定電流を供給する。また、スイッチ群 1 3 1 及びスイッチ群 1 3 2 は、ミキサ 1 3 0 が受信するデジタルコードによって制御される。すなわち、デジタルコードによって、スイッチ群 1 3 1 及びスイッチ群 1 3 2 に含まれる各スイッチの O N / O F F が決定される。そして、O N されたスイッチが少ないほど供給される電流が少なくなり、信号の位相は早くなる。また、O N されたスイッチが多いほど供給される電流が多くなり、信号の位相は遅くなる。

[0029] ミキサ 1 3 0 は、信号 C A 及び信号 C A X の入力を D u t y 補正部 1 2 1 から受ける。また、ミキサ 1 3 0 は、信号 C B 及び信号 C B X の入力を D u t y 補正部 1 2 2 から受ける。ミキサ 1 3 0 は、位相補間を行うための制御信号であるデジタルコードの入力を受ける。このデジタルコードは、例えば、後述するように受信機内に設けられたデジタルフィルタなどから入力される。

[0030] そして、ミキサ 1 3 0 は、 0° の位相を有する信号 C A 及び 90° の位相を有する信号 C B に対してデジタルコードを用いてそれぞれに重み付けをす

る。そして、ミキサ130は、重み付けした信号CAと信号CBを足し合わせることで、出力信号COを生成する。また、ミキサ130は、 180° の位相を有する信号CAX及び 270° の位相を有する信号CBXに対してデジタルコードを用いてそれぞれに重み付けをする。そして、ミキサ130は、重み付けした信号CAXと信号CBXを足し合わせることで、出力信号COXを生成する。ここで、出力信号COXは、出力信号COの反転信号である。このように、ミキサ130は、重み付けを行うことで、出力信号CO及び出力信号COXの位相をずらすことができる。そして、ミキサ130は、出力信号CO及び出力信号COXの位相をずらすことで、位相補間を行うことができる。本実施例では、ミキサ130は、 90° の位相の可変範囲を有する。

[0031] ここで、Skewのズレを補正する初期トレーニングの場合、デジタルコードは、信号CAと信号CAXの重み付けを行う電流減からの電流と、信号CBと信号CBXの重み付けを行う電流源からの電流とを一致させる制御を行うものが使用される。すなわち、ミキサ130は、スイッチ群131及びスイッチ群132でONとなるスイッチの数を一致させる。ここで、本実施例では、説明の便宜上、信号CA及び信号CAXの差動対への電流と信号CB及び信号CBXの差動対への電流とを一致させたが、これに限らない。すなわち、各差動対に対して適当な電流を加えた場合の各Skewのズレが発生していない状態での波形が特定できるのであれば、加える電流はどのような値でもよい。

[0032] そして、ミキサ130は、出力信号COを出力端子161から出力する。また、ミキサ130は、出力信号COXを出力端子162から出力する。さらに、ミキサ130は、出力信号CO及び出力信号COXをピーク電圧検出部140へ出力する。このミキサ130が「第1ミキサ」の一例にあたる。

[0033] ピーク電圧検出部140は、出力信号CO及び出力信号COXの入力をミキサ130から受ける。そして、ピーク電圧検出部140は、出力信号CO及び出力信号COXの振幅電圧の最大値である出力振幅電圧のピーク値（以

下では、「出力振幅ピーク電圧」という。)を検出する。そして、ピーク電圧検出部140は、検出した出力振幅ピーク電圧(以下では、「検出電圧」という。)をコンパレータ150へ出力する。このピーク電圧検出部140が「第1ピーク電圧検出部」の一例にあたる。

[0034] コンパレータ150は、S k e wのズレが無い場合の出力振幅ピーク電圧(以下では、「参照電圧」という。)の入力を受ける。また、コンパレータ150は、検出電圧の入力を受ける。そして、コンパレータ150は、検出電圧と参照電圧とを比較し、その差を算出する。そして、コンパレータ150は、算出した電位差をデジタル信号に変換し、可変遅延回路111及び可変遅延回路112へ出力する。

[0035] ここで、図4を参照して、出力振幅ピーク電圧の差による位相の変化について説明する。図4は、出力振幅ピーク電圧の差による位相の変化について説明するための図である。図4のグラフ300、310及び320は、縦軸で振幅電圧を表し、横軸で位相を表している。図4の紙面に向かって一番上のグラフであるグラフ300はS k e wのズレが無い状態の振幅電力を表している。点線303は、S k e wのズレが無い状態の出力信号C O及び出力信号C O Xの差動波形を表している。そして、点330で閾値電圧と点線303が交わっており、S k e wのズレの無い場合には、出力信号C O及び出力信号C O Xの振幅電圧は位相301の位置で閾値電圧となる。そして、この点線303で表される差動波形の基になった、信号C A及び信号C A Xの差動波形が実線304で表される。また、点線303で表される差動波形の基になった、信号C B及び信号C B Xの差動波形が一点鎖線305で表される。ここで、点線303は、実線304と一点鎖線305とを合成した波形となっている。そして、点線303の出力振幅ピーク電圧が参照電圧となる。そして、参照電圧は、電位差302で表される。

[0036] これに対して、図4の紙面に向かって真ん中のグラフであるグラフ310は位相差が小さくなるようにS k e wのズレが発生している状態の振幅電力を表している。点線313は、位相差が小さくなるようにS k e wのズレが

発生している状態での出力信号C O及び出力信号C O Xの差動波形を表している。この点線3 1 3で表される差動波形の基になった、信号C A及び信号C A Xの差動波形が実線3 1 4で表される。また、点線3 1 3で表される差動波形の基になった、信号C B及び信号C B Xの差動波形が一点鎖線3 1 5で表される。そして、実線3 1 4と一点鎖線3 1 5はグラフ3 0 0の実線3 0 4と一点鎖線3 0 5と比べて、位相差が小さくなっている。また、点線3 1 3の出力ピーク電圧が電位差3 1 1で表される。この場合、電位差3 1 1は電位差3 0 2に比べて大きくなっている。すなわち、出力振幅ピーク電圧が参照電圧に比べて高くなっている。この場合、位相差3 1 2で表されるように、点線3 1 3の閾値電圧となる位相の位置が位相3 0 1に比べて遅れている。そのため、閾値電圧となる位相を基準の点線3 0 3に合わせるためには、合成波形である点線3 1 3の位相を進ませることになる。したがって、出力振幅ピーク電圧が参照電圧に比べて高い場合、信号C A及び信号C A Xの遅延を増加させることで、閾値電圧となる位相が基準の点線3 0 3に近づく。

- [0037] さらに、図4の紙面に向かって一番下のグラフであるグラフ3 2 0は位相差が大きくなるようにS k e wのズレが発生している状態の振幅電力を表している。点線3 2 3は、位相差が大きくなるようにS k e wのズレが発生している状態での出力信号C O及び出力信号C O Xの差動波形を表している。この点線3 2 3で表される差動波形の基になった、信号C A及び信号C A Xの差動波形が実線3 2 4で表される。また、点線3 2 3で表される差動波形の基になった、信号C B及び信号C B Xの差動波形が一点鎖線3 2 5で表される。そして、実線3 2 4と一点鎖線3 2 5はグラフ3 0 0の実線3 0 4と一点鎖線3 0 5と比べて、位相差が大きくなっている。また、点線3 2 3の出力ピーク電圧が電位差3 2 1で表される。この場合、電位差3 2 1は電位差3 0 2に比べて小さくなっている。すなわち、出力振幅ピーク電圧が参照電圧に比べて低くなっている。この場合、位相差3 2 2で表されるように、点線3 2 3の閾値電圧となる位相の位置が位相3 0 1に比べて進んでいる。

そのため、閾値電圧となる位相を基準の点線 303 に合わせるためには、合成波形である点線 323 の位相を遅らせることになる。したがって、出力振幅ピーク電圧が参照電圧に比べて低い場合、信号 CA 及び信号 CA X の遅延を減少させることで、閾値電圧となる位相が基準の点線 303 に近づく。

[0038] すなわち、コンパレータ 150 は、検出電圧が参照電圧に比べて高い場合には、信号 CA 及び信号 CA X の遅延を増加させる制御信号を可変遅延回路 111 及び可変遅延回路 112 へ出力する。また、コンパレータ 150 は、検出電圧が参照電圧に比べて低い場合には、信号 CA 及び信号 CA X の遅延を減少させる制御信号を可変遅延回路 111 及び可変遅延回路 112 へ出力する。ここで、本実施例では、可変遅延回路 111 及び可変遅延回路 112 に対してアナログで制御を行っているので、例えば、コンパレータ 150 は、遅延を与える制御コードを 1 つずつずらしていくことで、検出電圧と参照電圧とが一致するように制御する。

[0039] ここで、本実施例では、可変遅延回路に対してアナログ制御を行う場合で説明したが、可変遅延回路はデジタル制御を受けるものでもよい。その場合、コンパレータ 150 は、例えば、電圧差とその電圧差を調整するコードを対応させて記憶しておき、検出電圧と参照電圧の差に対応するコードを可変遅延回路に送信する構成などが考えられる。

[0040] さらに、出力振幅ピーク電圧と遅延量との関係について説明する。まず、信号 CA 及び信号 CA X の差動対に対する重み付けの電流と信号 CB 及び信号 CB X の差動対に対する重み付けの電流とを一致させた場合の電流を I_r とする。さらに、信号 CA 及び信号 CA X の差動対の電流を I_a 、CB 及び信号 CB X の差動対の電流を I_b とする。Skew のズレが無い状態の場合、 $I_a = I_r \times \sin(x + \pi/2)$ となる。また、Skew のズレが無い状態の場合、 $I_b = I_r \times \sin(x)$ となる。そして、合成信号である出力信号 CO 及び出力信号 CO X の差動対の電流を I_o とすると、 $I_o = I_a + I_b$ となる。すなわち、 $I_o = 2^{1/2} \times I_r \times \sin(x + \phi)$ となる。そこで、出力信号 CO 及び出力信号 CO X の差動対の電圧は $I_o \times R$ となる。

したがって、S k e wのズレが無い場合の出力振幅ピーク電圧である参照電圧をV r e fとすると、 $V r e f = 2^{1/2} \times I r \times R$ となる。そして、この場合にある電圧となる信号C Aの時間をT (I a)とし、同じ電圧となる信号C Bの時間をT (I b)とすると、S k e wは $T (I a) - T (I b) = \pi / 2$ となる。すなわち、S k e wのズレが無い状態では、S k e wは $\pi / 2$ である。

[0041] これに対して、検出電圧をV oとすると、 $V o > V r e f$ の場合、信号C A及び信号C A Xの差動対と信号C B及び信号C B Xの差動対との位相差が小さくなっている。この場合、 $I a = I r \times \sin (x + \pi / 2)$ 、 $I b = I r \times \sin (x + \psi)$ となる。ここで、 ψ は信号C A及び信号C A Xの差動対の位相と信号C B及び信号C B Xの差動対の位相とが近づいた分の位相である。この場合、S k e wは $T (I a) - T (I b) = \pi / 2 - \psi$ となる。すなわち、S k e wのズレが無い状態に比べてS k e wのズレは $-\psi$ である。そこで、コンパレータ150は、出力信号C O及び出力信号C O Xの位相を ψ 増やすように遅延を増加させる制御信号を可変遅延回路111及び可変遅延回路112へ出力する。

[0042] また、 $V o < V r e f$ の場合、信号C A及び信号C A Xの差動対と信号C B及び信号C B Xの差動対との位相差が大きくなっている。この場合、 $I a = I r \times \sin (x + \pi / 2)$ 、 $I b = I r \times \sin (x - \psi)$ となる。ここで、 ψ は信号C A及び信号C A Xの差動対の位相と信号C B及び信号C B Xの差動対の位相とが離れた分の位相である。この場合、S k e wは $T (I a) - T (I b) = \pi / 2 + \psi$ となる。すなわち、S k e wのズレが無い状態に比べてS k e wのズレは $+\psi$ である。そこで、コンパレータ150は、出力信号C O及び出力信号C O Xの位相を ψ 減らすように遅延を減らす制御信号を可変遅延回路111及び可変遅延回路112へ出力する。このコンパレータ150が、「制御部」の一例にあたる。

[0043] 次に、図5を参照して、本実施例に係る位相補正回路におけるS k e wの補正処理について説明する。図5は、実施例1に係る位相補正回路における

S k e wの補正処理のフローチャートである。

- [0044] ミキサ130は、所定のデジタルコードを受けて、信号CA及び信号CAXの差動対と信号CB及び信号CBXの差動対に対する重み付けを行う電流源からの電流を一致させる（ステップS101）。
- [0045] 次に、ミキサ130は、2つの差動クロックである信号CA及び信号CAX、並びに信号CB及び信号CBXの入力を受ける（ステップS102）。
- [0046] 次に、ミキサ130は、信号CAと信号CBの合成信号である出力信号CO、及び信号CAXと信号CBXとの合成信号である出力信号COXを出力する（ステップS103）。
- [0047] ピーク電圧検出部140は、出力信号CO及び出力信号COXをミキサ130から取得する。そして、ピーク電圧検出部140は、出力信号CO及び出力信号COXの振幅電圧の最大値である出力振幅ピーク電圧を検出する（ステップS104）。
- [0048] コンパレータ150は、検出電圧をピーク電圧検出部140から取得する。そして、コンパレータ150は、検出電圧と参照電圧とを比較し、検出電圧と参照電圧が一致する（検出電圧＝参照電圧）か否かを判定する（ステップS105）。そして、検出電圧が参照電圧と一致している場合（ステップS105肯定）、コンパレータ150はS k e wの補正処理を終了する。
- [0049] これに対して、検出電圧と参照電圧が異なる場合（ステップS105否定）、コンパレータ150は、検出電圧が参照電圧より大きい（検出電圧＞参照電圧）か否かを判定する（ステップS106）。そして、検出電圧が参照電圧より大きい場合（ステップS106肯定）、コンパレータ150は、可変遅延回路111及び可変遅延回路112に対して遅延量を増加させる制御信号を出力し（ステップS107）、ステップS102へ戻る。
- [0050] これに対して、検出電圧が参照電圧より小さい場合（ステップS106否定）、コンパレータ150は、可変遅延回路111及び可変遅延回路112に対して遅延量を減少させる制御信号を出力し（ステップS108）、ステップS102へ戻る。

- [0051] 図6は、本実施例に係る位相補正回路を有する送信機及び受信機のブロック図である。送信機401は、多相クロック生成回路411、FF412、プレドライバエッジ制御部413及びドライバ414を有している。また、受信機402は、多相クロック生成回路421、アンプ422、サンプラ423、デマルチプレクサ424及びデジタルフィルタ425を有している。
- [0052] 多相クロック生成回路411は、基準クロックの入力を受ける。そして、多相クロック生成回路411は、異なる位相を有する複数のクロックを生成する。そして、多相クロック生成回路411は、生成したクロックをプレドライバエッジ制御部413へ出力する。
- [0053] FF (Flip Flop) 412は、データの入力を受ける。そして、データに一定期間の遅延を与えた後、プレドライバエッジ制御部413へ出力する。
- [0054] プレドライバエッジ制御部413は、位相の異なる複数のクロックの入力を多相クロック生成回路411から受ける。また、プレドライバエッジ制御部413は、データの入力をFF412から受ける。そして、プレドライバエッジ制御部413は、入力されたクロックに同期して、データのエッジのタイミングを調整する。そして、プレドライバエッジ制御部413は、エッジのタイミングを調整したデータをドライバ414へ出力する。
- [0055] ドライバ414は、プレドライバエッジ制御部413から受信したデータを、通信回線403を介して、受信機402へ向けて送信する。通信回線403は、例えば、差動信号によりシリアル信号を伝送する通信回線などである。
- [0056] 多相クロック生成回路421は、基準クロックの入力を受ける。ここで、送信機401内の基準クロックをTxClkとして、受信機402内の基準クロックをRxClkとすると、多相クロック生成回路421は、RxClkの入力を受けることになる。RxClkは、例えば、TxClkと同じ周波数のクロックであり、受信機402側の水晶発振器などのリファレンスクロックをPLL (Phase Locked Loop) で逡倍することなどにより得られる。ここで、TxClk及びRxClkのそれぞれの周波数は、RxClk

とは位相差信号を得ることができればよく、例えば、高い周波数であれば分周すればよい。したがって、 $T \times CLK$ 及び $R \times CLK$ のそれぞれの周波数は、異なっても良い。

[0057] また、多相クロック生成回路421は、デジタルコードの入力をデジタルフィルタ425から受ける。そして、多相クロック生成回路421は、受信したデジタルコードにより制御された電流を用いて基準クロックの各信号の位相を調整する。そして、多相クロック生成回路421は、位相の異なる複数のクロックである多相クロックを生成する。そして、多相クロック生成回路421は、生成した多相クロックをサンプラ423へ出力する。

[0058] アンプ422は、送信機401から送られてきたデータを受信する。そして、アンプ422は、受信したデータを増幅する。そして、アンプ422は、増幅したデータをサンプラ423へ出力する。

[0059] サンプラ423は、データの入力をアンプ422から受ける。また、サンプラ423は、位相の異なる複数のクロックの入力を多相クロック生成回路421から受ける。そして、サンプラ423は、受信したクロックに同期して、受信したデータをサンプリングする。そして、サンプラ423は、異なる位相でサンプリングされたデータをデマルチプレクサ424へ出力する。

[0060] デマルチプレクサ424は、サンプラ423から受信した異なる位相でサンプリングされたデータをデータ分離する。

[0061] デジタルフィルタ425は、サンプリングされたデータをデータ処理し、多相クロック生成回路421が生成するクロックと受信データとのタイミング関係に応じたデジタルコードを生成する。そして、デジタルフィルタ425は、生成したデジタルコードを多相クロック生成回路421へ出力する。

[0062] そして、多相クロック生成回路411及び多相クロック生成回路421に、本実施例に係る位相補正回路が搭載される。そこで、多相クロック生成回路421の詳細について説明する。

[0063] 図7は、多相クロック生成回路のブロック図である。多相クロック生成回路421は、多相クロック生成部431、インターポレータ432及び遅延

素子列 4 3 3 を有している。

[0064] 多相クロック生成部 4 3 1 は、出力する位相の数に合わせた F F が直列に配置されている。多相クロック生成部 4 2 1 は、基準クロックの入力を受ける。例えば、多相クロック生成回路 4 1 1 における多相クロック生成部 4 3 1 は、前述した T x C l k の入力を受ける。また、多相クロック生成回路 4 2 1 における多相クロック生成部 4 3 1 は、前述した R x C l k の入力を受ける。そして、多相クロック生成部 4 3 1 は、各 F F を順番に入力されたクロックを通過させることで、クロックに対して所定の遅延を順次与えていく。そして、多相クロック生成部 4 3 1 は、各 F F で遅延が与えられた状態の各クロックをそれぞれインターポレータ出力していく。本実施例では、多相クロック生成部 4 3 1 は、 0° 、 90° 、 180° 、 270° の 4 位相のクロックを出力する。

[0065] インターポレータ 4 3 2 は、デジタルコードの入力をデジタルフィルタ 4 2 5（図 6 参照）から受ける。また、インターポレータ 4 3 2 は、位相の異なる複数のクロックの入力を多相クロック生成部 4 3 1 から受ける。そして、インターポレータ 4 3 2 は、受信したクロックをそれぞれ異なる重み付けで足し合わせることで、受信したデジタルコードにより指示された位相に調整されたクロック（以下では、「位相調整クロック」と言う。）を生成する。そして、インターポレータ 4 3 2 は、生成した位相調整クロックを遅延素子列 4 3 3 へ出力する。本実施例に係る位相補正回路は、このインターポレータ 4 3 2 に搭載される。

[0066] 遅延素子列 4 3 3 は、位相調整クロックの入力をインターポレータ 4 3 2 から受ける。そして、遅延素子列 4 3 3 は、受信した位相調整クロックに同期させて、多相クロックを生成する。そして、遅延素子列 4 3 3 は、生成した多相クロックをサンプラ 4 2 3 へ出力する。

[0067] ここで、図 8 は、位相調整クロック、多相クロック及び入力データのタイミングチャートである。図 8 は横軸に時間を表している。図 8 は、2 組の位相調整クロックから 4 位相のクロックを発生する例である。

- [0068] インターポレータ 432 は、クロック 450 及びクロック 452 を遅延素子列 433 へ出力する。ここで、クロック 450 とクロック 452 は位相が 90° ずれている。このクロック 450 及びクロック 452 が位相調整クロックの一例である。
- [0069] そして、遅延素子列 433 は、クロック 450 を分周し、さらに位相をずらすことで、4 つの異なる位相を有するクロックであるクロック群 451 を生成する。また、遅延素子列 433 は、クロック 452 を分周し、さらに位相をずらすことで、4 つの異なる位相を有するクロックであるクロック群 453 を生成する。ここで、クロック群 451 の各クロックとクロック群 453 の各クロックは、クロック 450 とクロック 452 との位相のズレと同じだけズレを有している。このクロック群 451 及びクロック群 453 に含まれるクロックが多相クロックの一例である。そして、遅延素子列 433 は、クロック群 451 及びクロック群 453 を出力する。
- [0070] 図 6 におけるサンプラ 423 は、クロック群 451 及びクロック群 453 の入力を受ける。そして、サンプラ 423 は、クロック群 451 に含まれる各クロックをデータ認識用のクロックとする。すなわち、サンプラ 423 は、クロック群 451 に含まれる各クロックの立ち上がりでデータを認識する。また、サンプラ 423 は、クロック群 453 に含まれる各クロックをエッジ認識用のクロックとする。すなわち、サンプラ 423 は、クロック群 453 に含まれる各クロックの立ち上がりでデータのエッジを認識する。これにより、図 8 における、データ 454 の間隔 $P_0 \sim P_3$ で示されるように、データ認識のタイミングとエッジ認識のタイミングが等間隔で発生する。これにより、サンプラ 423 は、データ 454 を正確に認識することができる。
- [0071] 以上に説明したように、本実施例に係る位相補正回路は、ミキサから出力された差動対の出力振幅ピーク電圧を検出し、その検出した出力振幅ピーク電圧と $S k e w$ のズレが発生していない状態の出力振幅ピーク電圧との差を用いて、一方の差動対の遅延を調整している。これにより、入力された差動対間の $S k e w$ のズレが補正され、入力位相信号の位相の間隔の精度を向上

させ、識別位相の可変量を高精度化することができる。

[0072] また、本実施例では、信号C A及び信号C A Xの遅延を変更してS k e wを調整するように説明したが、信号C B及び信号C B Xの遅延を変更してS k e wを調整してもよい。

[0073] また本実施例では、各端子に入力される信号の位相をそれぞれ 0° 、 90° 、 180° 、 270° としたが、これは他の値であってもよい。さらに、本実施例では、入力クロックが4位相の場合で説明したが、これに限るものではなく、入力クロックが有する位相の数は他の値であってもよい。

実施例 2

[0074] 図9は、実施例2に係る位相補正回路のブロック図である。本実施例に係る位相補正回路は、ミキサをもう一つ加え、それぞれのミキサから出力された信号の出力振幅ピーク電圧を比較して、その電圧の差により遅延を調整することが実施例1と異なるものである。そこで、以下では、加えたミキサによる信号の生成及び出力振幅ピーク電圧の比較による遅延量の制御について主に説明する。図9において、図1と同じ符号を有する各部は、特に説明の無い限り同じ機能を有するものとする。

[0075] 図9に示すように、本実施例に係る位相補正回路は、実施例1の補正回路にミキサ134及びピーク電圧検出部141をさらに有している。また、本実施例に係る位相補正回路は、実施例1の固定遅延回路113及び固定遅延回路114に代えて、可変遅延回路115及び可変遅延回路116を有している。

[0076] 可変遅延回路111は、実施例1と同様にコンパレータ150から受信した制御信号に合わせて遅延を信号C Aに与え、D u t y補正部121へ出力する。また、可変遅延回路112は、実施例1と同様にコンパレータ150から受信した制御信号に合わせて遅延を信号C A Xに与え、D u t y補正部121へ出力する。

[0077] 可変遅延回路115は、入力端子104に供給された信号C Bの入力を受ける。さらに、可変遅延回路115は、後述するコンパレータ150からの

制御信号を受けて、遅延の増減を行う。そして、可変遅延回路 115 は、制御された遅延を信号 CB に与え位相をシフトする。例えば、 $+\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 115 は、現在の遅延量に ΔT を加算した遅延を信号 CB に与える。また、例えば、 $-\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 115 は、現在の遅延量から ΔT を減算した遅延を信号 CB に与える。そして、可変遅延回路 115 は、遅延を与えた信号 CB を Duty 補正部 122 へ出力する。

[0078] 可変遅延回路 116 は、入力端子 103 に供給された信号 CBX の入力を受ける。さらに、可変遅延回路 116 は、後述するコンパレータ 150 からの制御信号を受けて、遅延の増減を行う。ここで、可変遅延回路 116 がコンパレータ 150 から受ける制御信号は、可変遅延回路 115 がコンパレータ 150 から受ける指示と同様である。そして、可変遅延回路 116 は、制御された遅延を信号 CBX に与え位相をシフトする。例えば、 $+\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 116 は、現在の遅延量に ΔT を加算した遅延を信号 CBX に与える。また、例えば、 $-\Delta T$ の遅延を与える制御信号をコンパレータ 150 から受けた場合、可変遅延回路 116 は、現在の遅延量から ΔT を減算した遅延を信号 CBX に与える。そして、可変遅延回路 116 は、遅延を与えた信号 CBX を Duty 補正部 122 へ出力する。この可変遅延回路 115 及び可変遅延回路 116 が、「第 2 遅延付加部」の一例にあたる。

[0079] Duty 補正部 121 は、信号 CA の入力を可変遅延回路 111 から受ける。また、Duty 補正部 121 は、信号 CAX の入力を可変遅延回路 112 から受ける。そして、Duty 補正部 121 は、信号 CA と信号 CAX との Duty のズレを無くすように、補正を行う。そして、Duty 補正部 121 は、Duty を補償するように補正を施した信号 CA 及び信号 CAX をミキサ 130 へ出力する。また、Duty 補正部 121 は、信号 CA をミキサ 134 における信号 CBX' としてミキサ 134 へ出力する。また、Du

t y 補正部 1 2 1 は、信号 C A X をミキサ 1 3 4 における信号 C B' としてミキサ 1 3 4 へ出力する。

[0080] D u t y 補正部 1 2 2 は、信号 C B の入力を可変遅延回路 1 1 5 から受ける。また、D u t y 補正部 1 2 2 は、信号 C B X の入力を可変遅延回路 1 1 6 から受ける。そして、D u t y 補正部 1 2 2 は、信号 C B と信号 C B X との D u t y のズレを無くすように、補正を行う。そして、D u t y 補正部 1 2 2 は、D u t y を補償するように補正を施した信号 C B 及び信号 C B X をミキサ 1 3 0 へ出力する。また、D u t y 補正部 1 2 2 は、信号 C B をミキサ 1 3 4 における信号 C A' としてミキサ 1 3 4 へ出力する。また、D u t y 補正部 1 2 2 は、信号 C B X をミキサ 1 3 4 における信号 C A X' としてミキサ 1 3 4 へ出力する。

[0081] ミキサ 1 3 4 は、 90° の位相を有する信号を信号 C A' として、また 270° の位相を有する信号を信号 C A X' として D u t y 補正部 1 2 2 からの入力を受ける。また、ミキサ 1 3 4 は、 180° の位相を有する信号を信号 C B' として、また 0° の位相を有する信号を信号 C B X' として D u t y 補正部 1 2 1 からの入力を受ける。さらに、ミキサ 1 3 4 は、位相補間を行うための制御信号であるデジタルコードの入力を受ける。このデジタルコードは、ミキサ 1 3 0 へ入力されるデジタルコードと同一である。

[0082] そして、ミキサ 1 3 4 は、 90° の位相を有する信号 C A' 及び 180° の位相を有する信号 C B' に対してデジタルコードを用いてそれぞれに重み付けをする。そして、ミキサ 1 3 4 は、重み付けした信号 C A' と信号 C B' を足し合わせることで、出力信号 C O' を生成する。また、ミキサ 1 3 4 は、 270° の位相を有する信号 C A X' 及び 0° の位相を有する信号 C B X' に対してデジタルコードを用いてそれぞれに重み付けをする。そして、ミキサ 1 3 4 は、重み付けした信号 C A X' と信号 C B X' を足し合わせることで、出力信号 C O X' を生成する。ここで、出力信号 C O X' は、出力信号 C O' の反転信号である。すなわち、ミキサ 1 3 4 では、ミキサ 1 3 0 で信号 C A 及び信号 C A X の差動対に与えられた重み付けが、信号 C B' 及

び信号 $C B X'$ に与えられる。また、ミキサ 134 では、ミキサ 130 での信号 $C A$ 及び信号 $C A X$ の差動対を反転した信号が信号 $C A'$ 及び信号 $C A X'$ となる。さらに、ミキサ 134 では、ミキサ 130 で信号 $C B$ 及び信号 $C B X$ の差動対に与えられた重み付けが、信号 $C A'$ 及び信号 $C A X'$ に与えられる。

[0083] このように、ミキサ 134 は、重み付けを行うことで、出力信号 $C O'$ 及び出力信号 $C O X'$ の位相をずらすことができる。そして、ミキサ 130 は、出力信号 $C O'$ 及び出力信号 $C O X'$ の位相をずらすことで、位相補間を行うことができる。本実施例では、ミキサ 134 は、 90° の位相の可変範囲を有する。すなわち、本実施例に係る位相補間装置は、ミキサ 130 とミキサ 134 により 180° の位相の可変範囲を有することになる。

[0084] ミキサ 134 は、生成した出力信号 $C O'$ を出力端子 163 から出力する。また、ミキサ 134 は、生成した出力信号 $C O X'$ を出力端子 164 から出力する。さらに、ミキサ 134 は、出力信号 $C O'$ 及び出力信号 $C O X'$ をピーク電圧検出部 141 へ出力する。このミキサ 134 が、「第 2 ミキサ」の一例にあたる。

[0085] ピーク電圧検出部 140 は、出力信号 $C O$ 及び出力信号 $C O X$ の入力をミキサ 130 から受ける。そして、ピーク電圧検出部 140 は、出力信号 $C O$ 及び出力信号 $C O X$ の出力振幅ピーク電圧を検出する。そして、ピーク電圧検出部 140 は、検出した出力振幅ピーク電圧をコンパレータ 150 へ出力する。

[0086] ピーク電圧検出部 141 は、出力信号 $C O'$ 及び出力信号 $C O X'$ の入力をミキサ 134 から受ける。そして、ピーク電圧検出部 141 は、出力信号 $C O'$ 及び出力信号 $C O X'$ の出力振幅ピーク電圧を検出する。そして、ピーク電圧検出部 141 は、検出した出力振幅ピーク電圧をコンパレータ 150 へ出力する。このピーク電圧検出部 141 が、「第 2 ピーク電圧検出部」の一例にあたる。

[0087] 以下では、ピーク電圧検出部 140 が検出した検出電圧を第 1 ピーク電圧

とよび、ピーク電圧検出部 141 が検出した検出電圧を第 2 ピーク電圧と呼ぶ。

[0088] コンパレータ 150 は、第 1 ピーク電圧の入力をピーク電圧検出部 140 から受ける。また、コンパレータ 150 は、第 2 ピーク電圧の入力をピーク電圧検出部 141 から受ける。そして、コンパレータ 150 は、第 1 ピーク電圧と第 2 ピーク電圧とを比較する。

[0089] 図 10-1 は、S k e w のズレが無い状態の第 1 ピーク電圧と第 2 ピーク電圧を説明する図である。図 10-1 は、縦軸で振電圧を表し、横軸で位相を表している。点線 511 がミキサ 130 から出力された出力信号 C O 及び出力信号 C O X の差動波形を表している。また、実線 512 がミキサ 130 に入力された信号 C A 及び信号 C A X の差動波形を表している。また、一点鎖線 513 がミキサ 130 に入力された信号 C B 及び信号 C B X の差動波形を表している。

[0090] また、点線 521 がミキサ 134 から出力された出力信号 C O' 及び出力信号 C O X' の差動波形を表している。また、実線 522 がミキサ 134 に入力された信号 C A' 及び信号 C A X' の差動波形を表している。また、一点鎖線 523 がミキサ 134 に入力された信号 C B' 及び信号 C B X' の差動波形を表している。

[0091] S k e w のズレが無い場合、第 1 ピーク電圧は電位差 501 で表される。そして、S k e w のズレが無い場合、第 2 ピーク電圧は電位差 502 で表される。そして、図 10-1 に示されるように、電位差 501 と電位差 502 とは一致している。すなわち、S k e w のズレが無い場合には、第 1 ピーク電圧と第 2 ピーク電圧とが一致する。

[0092] これに対して、図 10-2 は、S k e w のズレがある状態の第 1 ピーク電圧と第 2 ピーク電圧を説明する図である。図 10-2 は、縦軸で振電圧を表し、横軸で位相を表している。点線 531 がミキサ 130 から出力された出力信号 C O 及び出力信号 C O X の差動波形を表している。また、点線 541 がミキサ 134 から出力された出力信号 C O' 及び出力信号 C O X' の差動

波形を表している。図10-2に示すように、S k e wのズレが有る場合には、第1ピーク電圧及び第2ピーク電圧のいずれか一方がS k e wのズレが無い場合の出力振幅ピーク電圧よりも低くなる。また、第1ピーク電圧及び第2ピーク電圧の他方がS k e wのズレが無い場合の出力振幅ピーク電圧よりも高くなる。例えば、図10-2では、第1ピーク電圧は電位差503で表され、第2ピーク電圧は電位差504で表される。そして、電位差503は、電位差501及び電位差502よりも低い。また、電位差504は、電位差501及び電位差502よりも高い。そして、入力された信号の位相のS k e wが逆になると、第1ピーク電圧と第2ピーク電圧との関係も逆になる。

[0093] そこで、第1ピーク電圧と第2ピーク電圧とが一致している状態がS k e wズレの無い場合なので、コンパレータ150は、第1ピーク電圧と第2ピーク電圧と一致するように、制御信号をS k e w補正部121及びS k e w補正部122へ出力する。

[0094] 具体的には、コンパレータ150は、第1ピーク電圧が高い場合には、信号C A及び信号C A Xに与える遅延を増やし、信号C B及び信号C B Xに与える遅延を減らす制御信号をS k e w補正部121及びS k e w補正部122へ出力する。また、第2ピーク電圧が高い場合には、信号C A及び信号C A Xに与える遅延を減らし、信号C B及び信号C B Xに与える遅延を増やす制御信号をS k e w補正部121及びS k e w補正部122へ出力する。

[0095] 以上に説明したように、本実施例に係る位相補正回路は、2つのミキサからの出力の出力振幅ピーク電圧を比較し、それが一致するように制御する。これにより、入力された差動対間のS k e wのズレが補正され、入力位相信号の位相の間隔の精度を向上させ、識別位相の可変量を高精度化することができる。外部から参照電圧の入力がなくてよいので、設計を容易にすることができる。さらに、180°の位相の可変範囲を有する場合、参照電圧を取得するための他の機構を設けなくてもよいので、サイズの増大を抑えることができる。

実施例 3

- [0096] 図 11 は、実施例 3 に係る位相補正回路のブロック図である。本実施例に係る位相補正回路は、ミキサに入力する信号を切り替えることで出力振幅ピーク電圧を比較のための信号を生成することが実施例 1 と異なるものである。そこで、以下では、比較のための信号の生成及び遅延量の制御について主に説明する。図 11 において、図 1 と同じ符号を有する各部は、特に説明の無い限り同じ機能を有するものとする。
- [0097] 本実施例に係る位相補正回路は、初期制御部 151、遅延制御回路 152、スイッチ 171～174 及びセクタ 180 を実施例 1 に加えた構成である。
- [0098] スイッチ 171 は、S k e w 補正部 121 が出力した 0° の位相を有するクロック信号の経路を、ミキサ 130 へ信号 C A として入力する経路又は信号 C B X として入力する経路のいずれかに切り替える。
- [0099] スイッチ 172 は、S k e w 補正部 121 が出力した 90° の位相を有するクロック信号の経路を、ミキサ 130 へ信号 C A X として入力する経路又は信号 C B として入力する経路のいずれかに切り替える。
- [0100] スイッチ 173 は、S k e w 補正部 122 が出力した 90° の位相を有するクロック信号の経路を、ミキサ 130 へ信号 C A として入力する経路又は信号 C B として入力する経路のいずれかに切り替える。
- [0101] スイッチ 174 は、S k e w 補正部 121 が出力した 270° の位相を有するクロック信号の経路を、ミキサ 130 へ信号 C A X として入力する経路又は信号 C B X として入力する経路のいずれかに切り替える。
- [0102] セクタ 180 は、初期制御部 151 から信号をミキサ 130 へ入力する経路と、入力端子 105 から信号を入力する経路とを切り替える。
- [0103] 電源が入力され初期トレーニングが開始されると、初期制御部 151 は、セクタ 180 を自己とミキサ 130 を結ぶ経路に切り替える。そして、初期制御部 151 は、信号 C A 及び信号 C A X に対して重み付けをする電流と信号 C B 及び信号 C B X に対して重み付けをする電流とを一致させるようミ

キサ１３０に指示する。

[0104] さらに、初期制御部１５１は、実際に出力として使用するクロック信号が出力されるように、スイッチ１７１～スイッチ１７４を切り替える。本実施例では、初期制御部１５１は、 0° の位相を有するクロック信号がミキサ１３０へ信号ＣＡとして入力される経路にスイッチ１７１を切り替える。また、初期制御部１５１は、 180° の位相を有するクロック信号がミキサ１３０へ信号ＣＡＸとして入力される経路にスイッチ１７２を切り替える。また、初期制御部１５１は、 90° の位相を有するクロック信号がミキサ１３０へ信号ＣＢとして入力される経路にスイッチ１７３を切り替える。また、初期制御部１５１は、 270° の位相を有するクロック信号がミキサ１３０へ信号ＣＢＸとして入力される経路にスイッチ１７３を切り替える。以下では、このスイッチ１７１～スイッチ１７４の状態を第１スイッチ状態という。

[0105] そして、初期制御部１５１は、後述する遅延制御回路１５２から実際に出力される信号の出力振幅ピーク電圧の取得完了通知を受ける。そして、初期制御部１５１は、比較のための信号が出力されるように、スイッチ１７１～スイッチ１７４を切り替える。本実施例では、初期制御部１５１は、 0° の位相を有するクロック信号がミキサ１３０へ信号ＣＢＸとして入力される経路にスイッチ１７１を切り替える。また、初期制御部１５１は、 180° の位相を有するクロック信号がミキサ１３０へ信号ＣＢとして入力される経路にスイッチ１７２を切り替える。また、初期制御部１５１は、 90° の位相を有するクロック信号がミキサ１３０へ信号ＣＡとして入力される経路にスイッチ１７３を切り替える。また、初期制御部１５１は、 270° の位相を有するクロック信号がミキサ１３０へ信号ＣＡＸとして入力される経路にスイッチ１７３を切り替える。以下では、このスイッチ１７１～スイッチ１７４の状態を第２スイッチ状態という。

[0106] そして、初期制御部１５１は、遅延の調整が完了すると、遅延制御回路１５２から遅延の調整完了の通知を受ける。そして、初期制御部１５１は、実際に出力として使用するクロック信号が出力されるようにスイッチ１７１～

スイッチ 174 を第 1 スイッチ状態に切り替える。さらに、初期制御部 151 は、入力端子 105 から信号がミキサ 130 へ入力される経路にセレクタ 180 を切り替える。この初期制御部 151 が、「切替部」の一例にあたる。

[0107] ミキサ 130 は、第 1 スイッチ状態では、 0° の位相を有する信号 CA、 180° の位相を有する信号 CAX、 90° の位相を有する信号 CB、 270° の位相を有する信号 BX から、合成信号である信号 CO 及び信号 COX を生成する。そして、ミキサ 130 は、信号 CO 及び信号 COX をピーク電圧検出部 140 へ出力する。

[0108] ミキサ 130 は、第 2 スイッチ状態では、 90° の位相を有する信号 CA、 270° の位相を有する信号 CAX、 0° の位相を有する信号を CBX、 180° の位相を有する信号 CB から、合成信号である信号 CO' ' 及び信号 COX' ' を生成する。そして、ミキサ 130 は、信号 CO' ' 及び信号 COX' ' をピーク電圧検出部 140 へ出力する。

[0109] ピーク電圧検出部 140 は、第 1 スイッチ状態では、信号 CO 及び信号 COX の入力をミキサ 130 から受ける。そして、ピーク電圧検出部 140 は、信号 CO 及び信号 COX の出力振幅ピーク電圧を検出する。以下では、この出力振幅ピーク電圧を「使用出力ピーク電圧」という。そして、ピーク電圧検出部 140 は、使用出力ピーク電圧を遅延制御回路 152 へ出力する。

[0110] ピーク電圧検出部 140 は、第 2 スイッチ状態では、信号 CO' ' 及び信号 COX' ' の入力をミキサ 130 から受ける。そして、ピーク電圧検出部 140 は、信号 CO' ' 及び信号 COX' ' の出力振幅ピーク電圧を検出する。以下では、この出力振幅ピーク電圧を「比較ピーク電圧」という。そして、ピーク電圧検出部 140 は、比較ピーク電圧を遅延制御回路 152 へ出力する。

[0111] 遅延制御回路 152 は、メモリなどの記憶装置を有している。また、遅延制御回路 152 は、A/D (Analog to Digital) コンバータを有している。そして、遅延制御回路 152 は、初期トレーニング開始の通知を初期制御

部 1 5 1 から受ける。そして、遅延制御回路 1 5 2 は、ピーク電圧検出部 1 4 0 から使用出力ピーク電圧の入力を受ける。そして、遅延制御回路 1 5 2 は、使用出力ピーク電圧をデジタル信号に変換し自己の記憶装置に記憶する。使用出力ピーク電圧を記憶すると、遅延制御回路 1 5 2 は、使用出力ピーク電圧の取得完了を初期制御部 1 5 1 へ通知する。

[0112] 次に、遅延制御回路 1 5 2 は、ピーク電圧検出部 1 4 0 から比較ピーク電圧の入力を受ける。そして、遅延制御回路 1 5 2 は、比較ピーク電圧をデジタル信号に変換する。そして、遅延制御回路 1 5 2 は、記憶している使用出力ピーク電圧と受信した比較ピーク電圧とを比較する。そして、遅延制御回路 1 5 2 は、使用出力ピーク電圧と比較ピーク電圧とが一致するように可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 を制御する。例えば、遅延制御回路 1 5 2 は、電圧差とその電圧差を調整するコードを対応させて記憶している。そして、遅延制御回路 1 5 2 は、検出電圧と参照電圧を比較し、電圧差を取得する。そして、遅延制御回路 1 5 2 は、取得した電圧差に対応するコードを選択する。そして、遅延制御回路 1 5 2 は、選択したコードを可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 に送信する。そして、遅延制御回路 1 5 2 は、可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 に設定した遅延量を記憶しておき、可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 の遅延量を固定する。

[0113] 図 1 2 は、実施例 3 に係る可変遅延回路の一例の図である。本実施例では、可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 に対してデジタル制御を行うため、可変遅延回路 1 1 1 及び可変遅延回路 1 1 2 として、図 1 2 に示すようなデジタル制御を受ける可変遅延回路が用いられる。

[0114] インバータ 6 0 0 は、端子 6 0 1 から入力されたクロック信号を用いて、端子 6 0 2 からクロック信号を出力する。また定電流源 6 1 4 は、ライン 6 1 1 ~ 6 1 3 側からインバータ 6 0 0 に定電流を与える回路である。また定電流源 6 2 4 は、ライン 6 2 1 ~ 6 2 3 側からインバータ 6 0 0 に定電流を与える回路である。

- [0115] そして、遅延制御回路 152 からの制御信号がライン 611～613 から入力され、指定されたスイッチが ON される。また、遅延制御回路 152 からの制御信号の逆の信号、すなわち、スイッチの ON/OFF を逆にした信号がライン 621～623 から入力され、指定されたスイッチが ON される。
- [0116] そして、スイッチの ON/OFF を調整することで、インバータ 600 にかかる電流源の数を変更でき、インバータに入力される電流量が変化する。これにより、インバータ 600 の駆動能力が変更でき、インバータ 600 の駆動能力を制御することによりクロック信号線の充放電時間が変化し、それにしただって遅延量を変化させることができる。
- [0117] ここで、実施例 1 及び実施例 2 においても、可変遅延回路 111 及び可変遅延回路 112 に対してデジタル制御を行う場合には図 12 に示す可変遅延回路を用いてもよい。
- [0118] 以上に説明したように、本実施例に係る位相補正回路は、1つのミキサで実際に使用する信号と比較用の信号を生成することができる。これにより、位相補正回路のサイズをより小さく抑えることができる。

符号の説明

- [0119] 101～106 入力端子
111、112 可変遅延補正回路
113、114 固定値円補正回路
121、122 Duty 補正部
130、134 ミキサ
140、141 ピーク電圧検出部
150 コンパレータ
151 初期制御部
152 遅延制御回路
161～164 出力端子
171～174 セレクタ

- 1 8 0 セレクタ
- 4 0 1 送信機
- 4 0 2 受信機
- 4 1 1 多相クロック生成回路
- 4 1 2 F F
- 4 1 3 プレドライバエッジ制御部
- 4 1 4 ドライバ
- 4 2 1 多相クロック生成回路
- 4 2 2 アンプ
- 4 2 3 サンプラ
- 4 2 4 デマルチプレクサ
- 4 2 5 デジタルフィルタ
- 4 3 1 多相クロック生成部
- 4 3 2 インターポレータ
- 4 3 3 遅延素子列

請求の範囲

- [請求項1] 所定の位相を有する第1信号の入力を受け、該第1信号に対して遅延値を可変に付加した第1遅延信号を出力する第1遅延付加部と、
- 前記第1遅延信号及び前記所定の位相と異なる位相を有する第2信号の入力を受け、前記第1信号と前記第2信号の合成信号を出力する第1ミキサと、
- 前記第1ミキサから出力された合成信号の振幅電圧の最大値を検出する第1ピーク電圧検出部と、
- 前記第1ピーク電圧検出部が検出した最大値が所定の電圧に一致するように前記第1遅延付加部が付加する遅延値を制御する制御部と
- を備えたことを特徴とする位相補正回路。
- [請求項2] 前記第1信号は、第1の正転信号及び前記第1の正転信号の反転信号である第1の反転信号を有する第1差動信号であり、
- 前記第2信号は、前記第1の正転信号とは異なる位相を有する第2の正転信号及び前記第2の正転信号の反転信号である第2の反転信号を有する第2差動信号であり、
- 前記第1遅延付加部は、前記第1作動信号の入力を受け、前記第1の正転信号を遅延させる第1正転信号遅延付加部及び前記第1の反転信号を遅延させる第1反転信号遅延付加部を有し、前記第1遅延信号として前記第1の正転信号を遅延させた信号及び前記第1の反転信号を遅延させた信号の組である第1遅延差動信号を出力し、
- 前記第1ミキサは、第1の正転信号を前記第1正転信号遅延付加部により遅延させた信号と第2の正転信号との合成信号及び第1の反転信号を前記第1反転信号遅延付加部より遅延させた信号と第2の反転信号の合成信号を出力する
- ことを特徴とする請求項1に記載の位相補正回路。
- [請求項3] 前記制御部は、前記第1ピーク電圧検出部が検出した最大値が所定の電圧に一致するよう制御した時に、前記第1ピーク電圧検出部が検

出した最大値が所定の電圧に一致するように制御した制御情報を記憶し、記憶した制御情報に基づいて第 1 遅延付加部が付加する遅延値を制御することを特徴とする請求項 1 又は請求項 2 に記載の位相補正回路。

[請求項 4]

前記第 1 ミキサの前段に設けられ、前記第 2 差動信号の入力を受け、前記第 2 の正転信号を遅延させる第 2 正転信号遅延付加部及び前記第 2 の反転信号を遅延させる第 2 反転信号遅延付加部を有し、前記第 2 の正転信号を遅延させた信号及び前記第 2 の反転信号を遅延させた信号の組である第 2 遅延差動信号を出力する第 2 遅延付加部と、

前記第 1 遅延付加部により遅延が付加された前記第 1 遅延差動信号又は前記第 2 遅延付加部により遅延が付加された前記第 2 遅延差動信号の一方の信号の正転と反転とを逆にした第 3 遅延差動信号、及び他方の信号の入力を受け、前記第 3 遅延差動信号の正転信号と前記他方の信号の正転信号との合成信号及び前記第 3 遅延差動信号の反転信号と他方の信号の反転信号の合成信号を出力する第 2 ミキサと、

前記第 2 ミキサから出力された合成信号の振幅電圧の最大値を検出する第 2 ピーク電圧検出部とをさらに備え、

前記制御部は、前記第 1 ピーク電圧検出部が検出した最大値と前記第 2 振幅ピーク電圧検出部が検出した最大値とが一致するように、前記第 1 遅延付加部が付加する遅延値及び前記第 2 遅延付加部が付加する遅延値を制御する

ことを特徴とする請求項 2 に記載の位相補正回路。

[請求項 5]

前記第 1 ミキサは、第 1 受信部と第 2 受信部とを有し、

前記第 1 信号を第 1 受信部へ入力し第 2 信号を前記第 2 受信部へ入力する状態と、前記第 1 の正転信号と前記第 1 の反転信号とを入れ替えた前記第 1 信号を前記第 2 受信部へ入力し前記第 2 信号を前記第 1 受信部へ入力する状態とを切り替える切替部をさらに備え、

前記第 1 ミキサは、前記第 1 受信部に入力された信号に、合成信号

の生成において当該信号が用いられる割合を示す第 1 の重みを与え、前記第 2 受信部に入力された信号に前記第 1 の重みを与え、重みを与えた各信号を合成して前記合成信号を生成し、

前記第 1 ピーク電圧検出部は、前記第 1 信号が前記第 1 受信部に入力され、且つ前記第 2 信号が前記第 2 受信部に入力された場合の合成信号である第 1 合成信号の振幅電圧の最大値を検出し、さらに、前記第 1 の正転信号と前記第 1 の反転信号とを入れ替えた前記第 1 信号が前記第 2 受信部に入力され、且つ前記第 2 信号が前記第 1 受信部に入力された場合の合成信号である第 2 合成信号の振幅電圧の最大値を検出し、

前記制御部は、前記第 1 合成信号の振幅電圧の最大値と前記第 2 合成信号の最大値とが一致するように、前記第 1 遅延付加部を制御することを特徴とする請求項 2 に記載の位相補正回路。

[請求項 6]

位相補正回路に対して、

所定の位相を有する第 1 信号を受信させ

前記第 1 信号に遅延値を付加した第 1 遅延信号を生成させ、

前記所定の位相と異なる位相を有する第 2 信号の入力を受信させ、

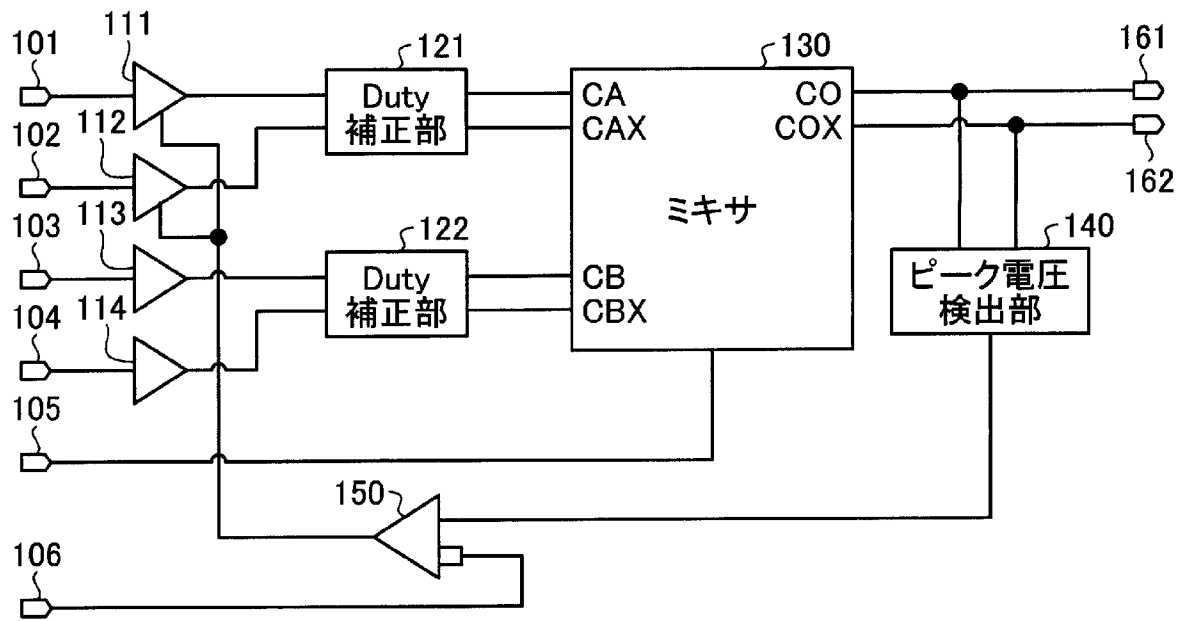
前記第 1 遅延信号と前記第 2 信号の合成信号を出力させ、

前記合成信号の振幅電圧の最大値を検出させ、

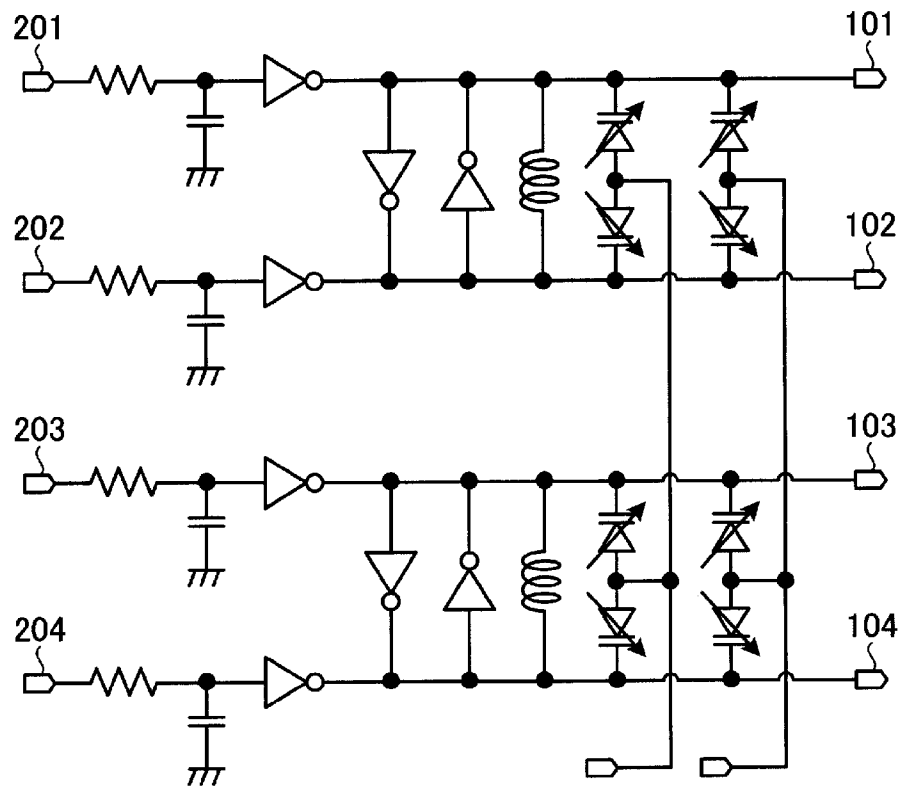
前記合成信号の振幅電圧の最大値が所定の電圧に一致するように前記第 1 信号に対して遅延値を付加させる

ことを特徴とする位相補正方法。

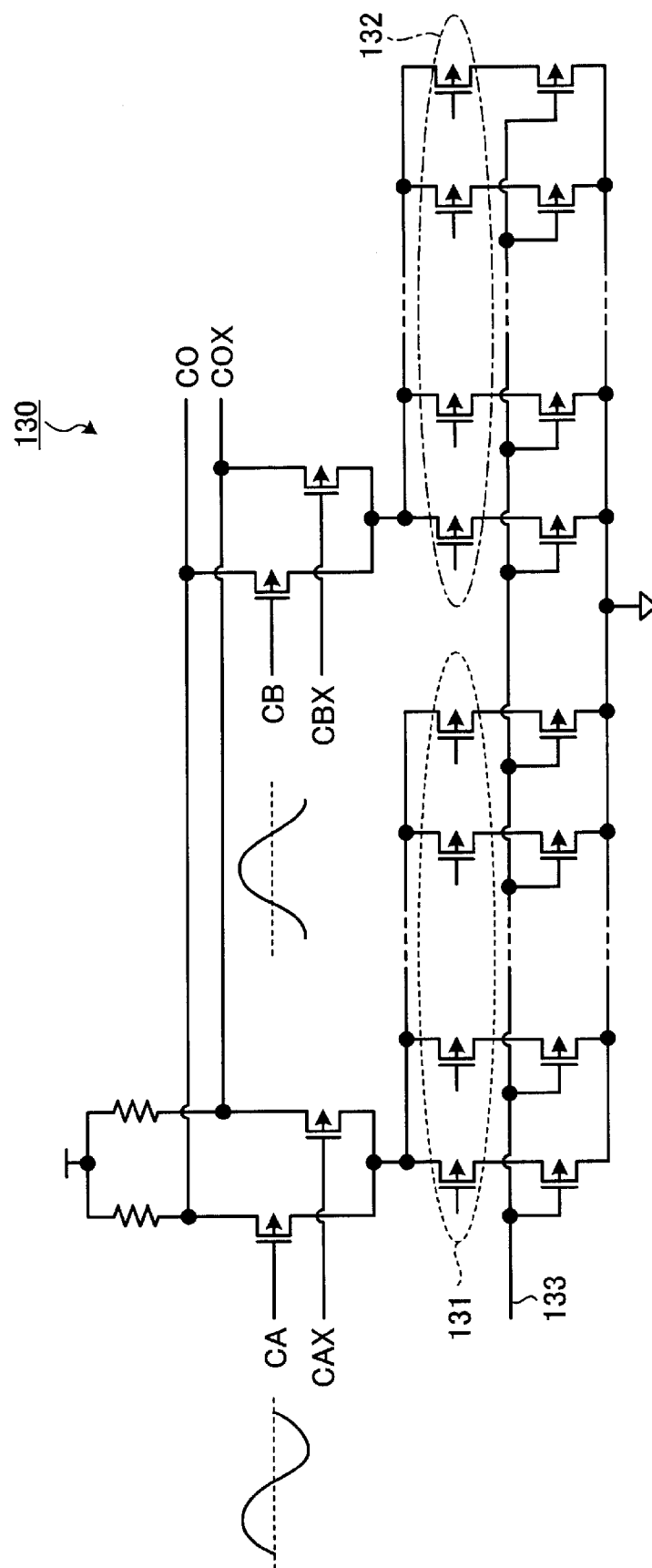
[図1]



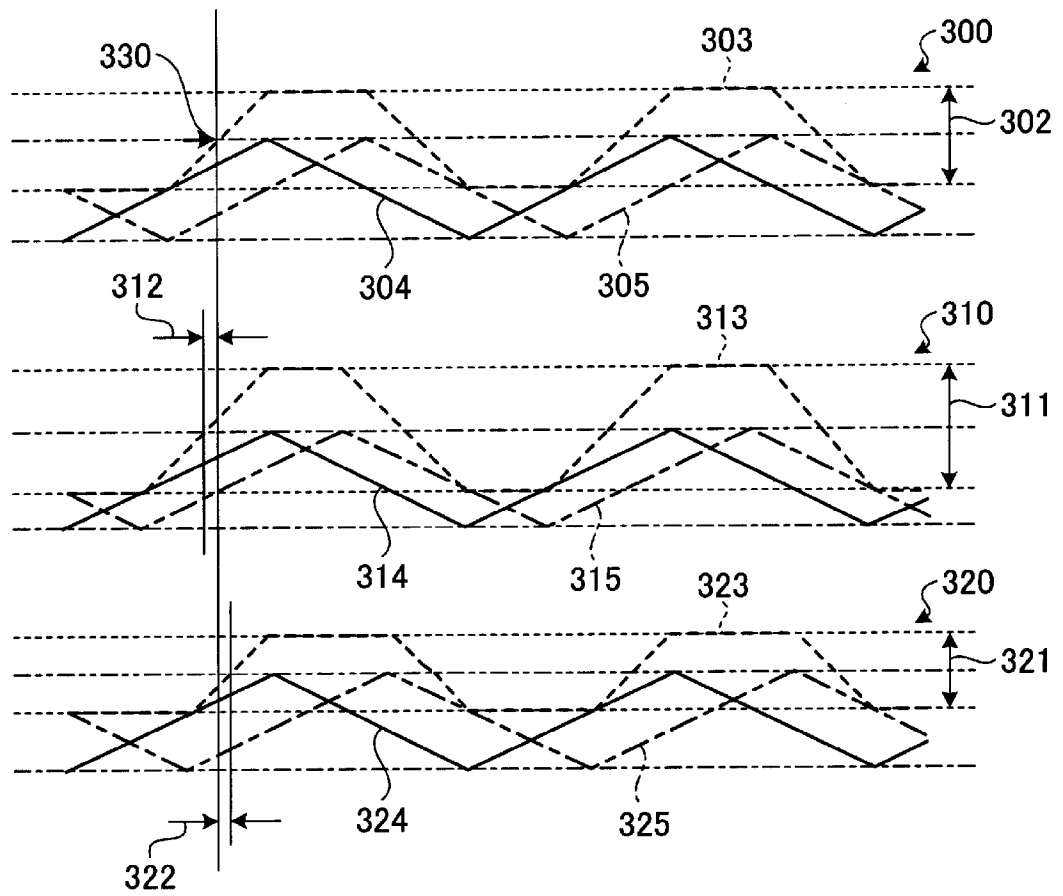
[図2]



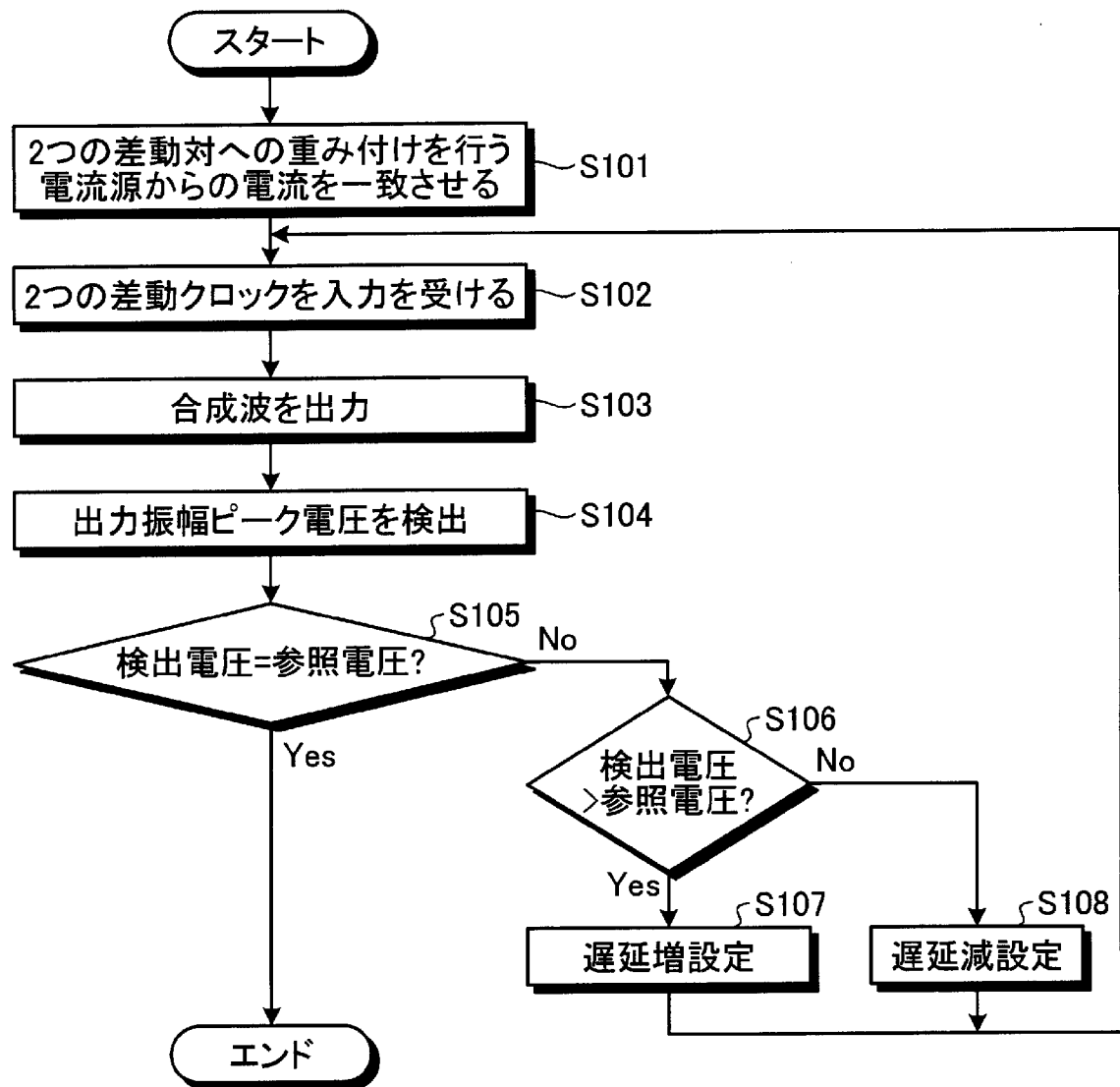
[図3]



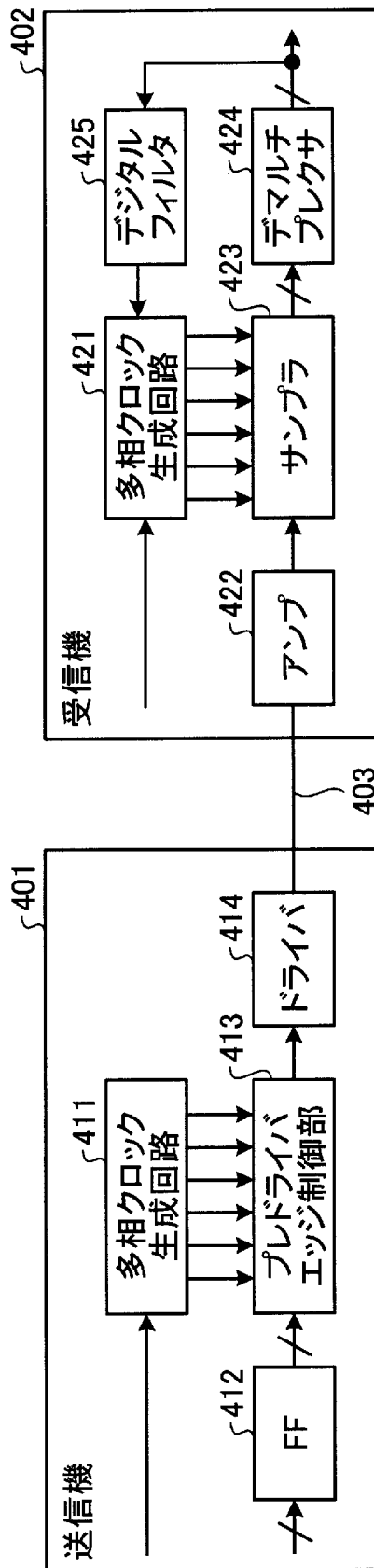
[図4]



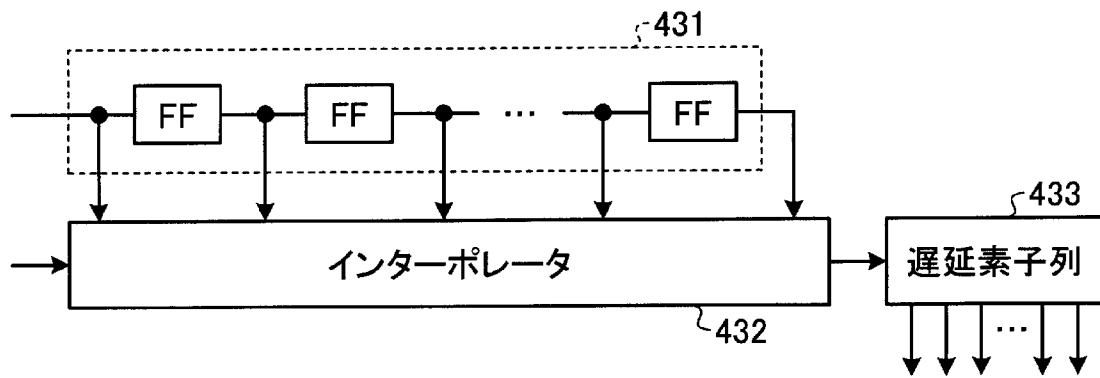
[図5]



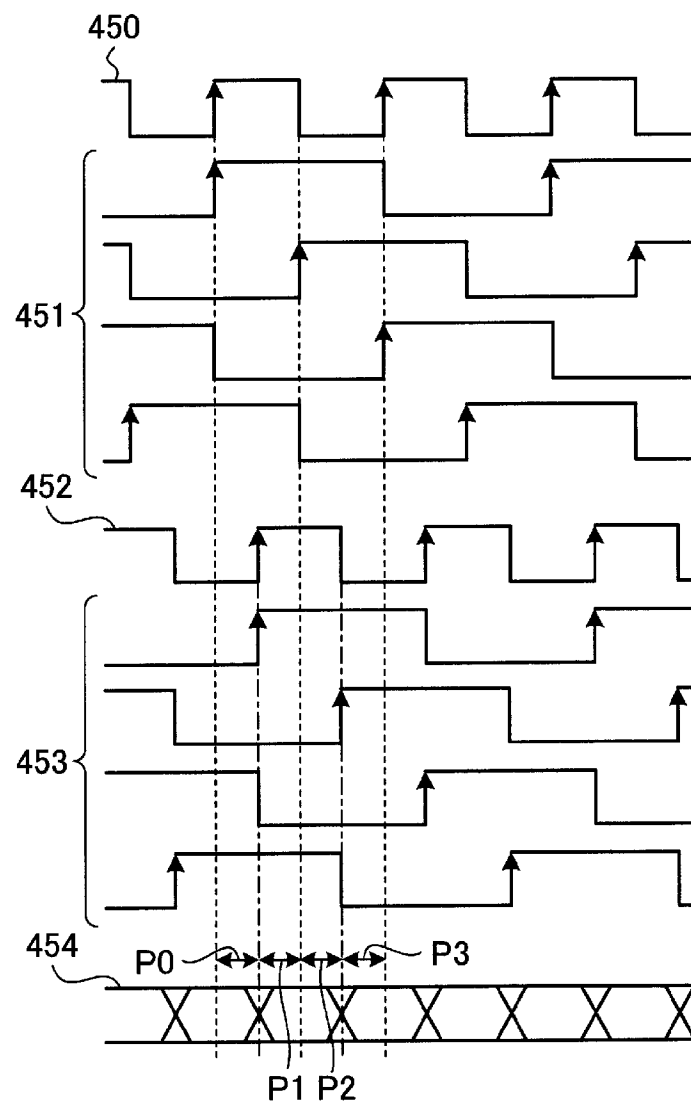
[図6]



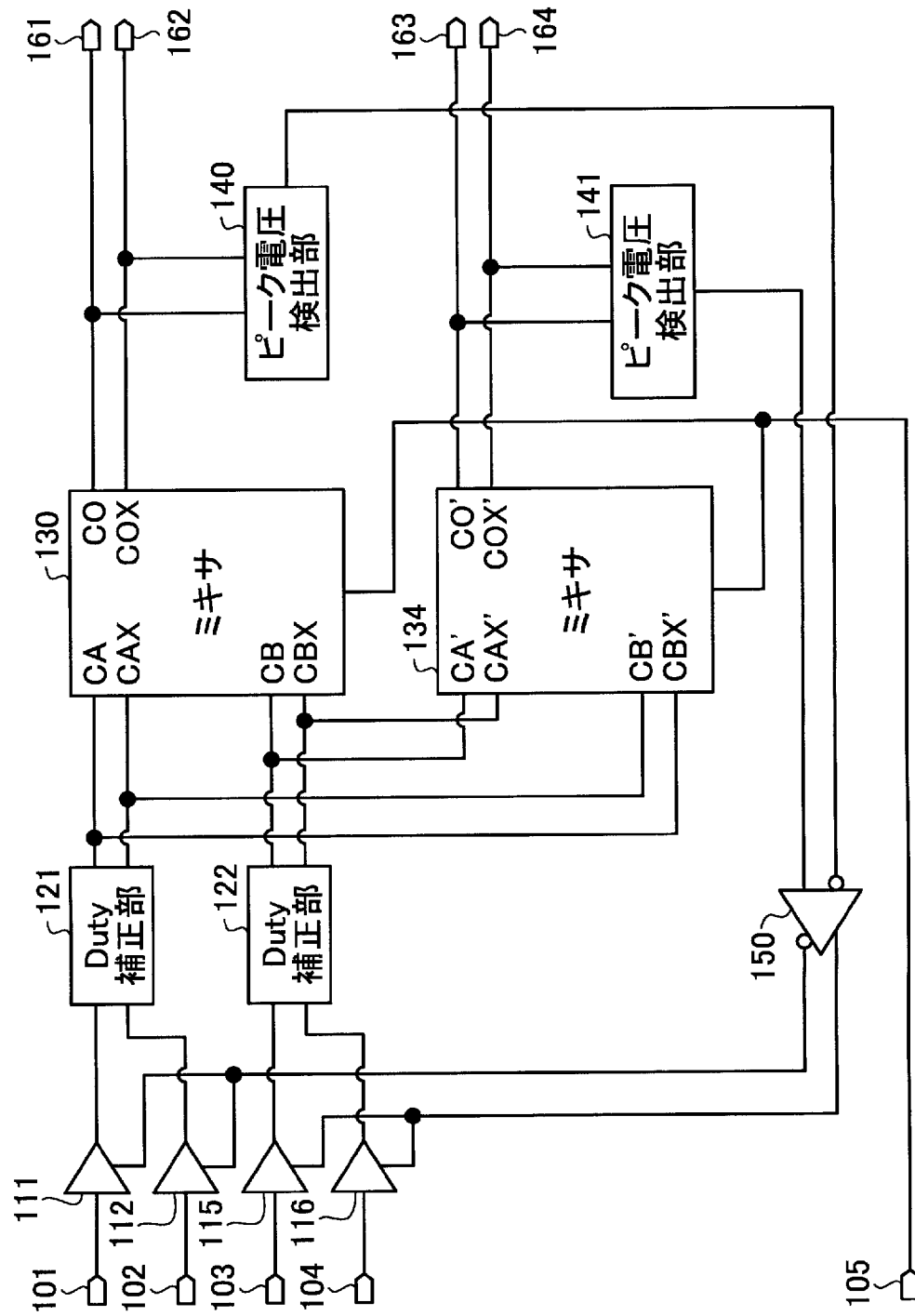
[図7]



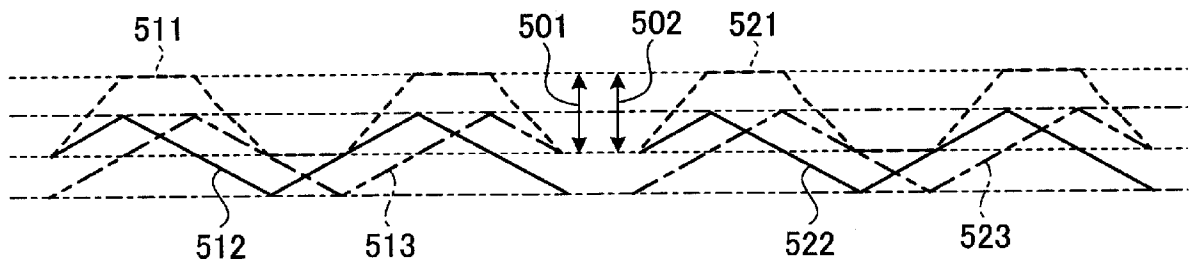
[図8]



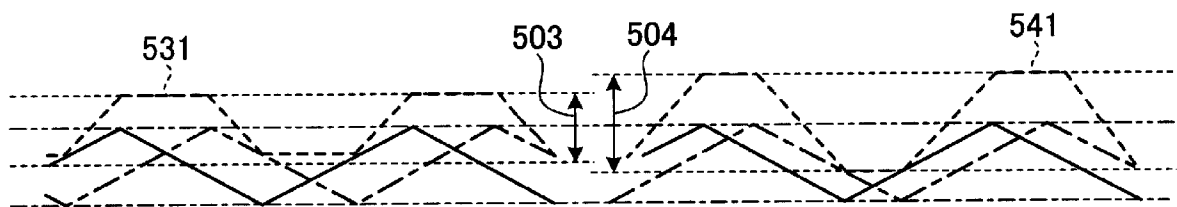
[図9]



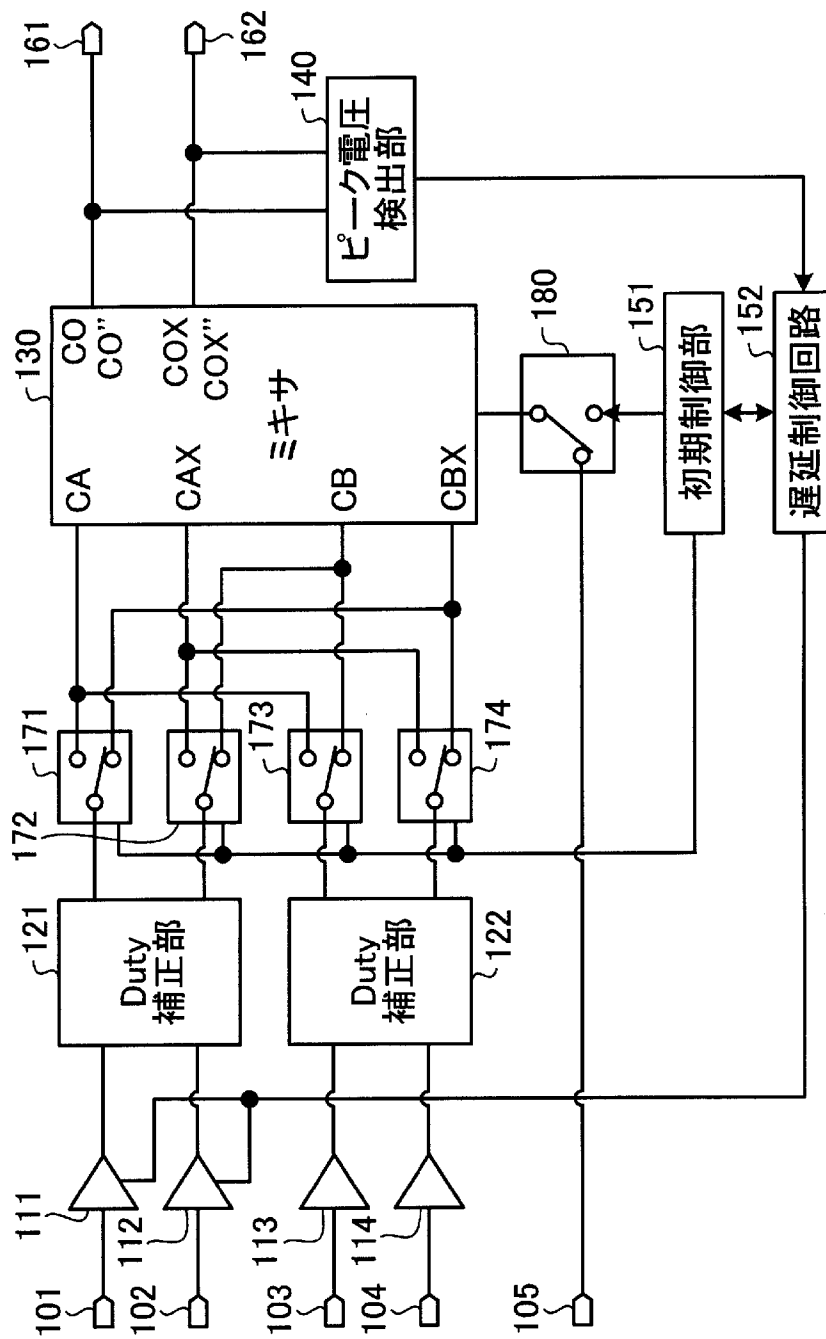
[図10-1]



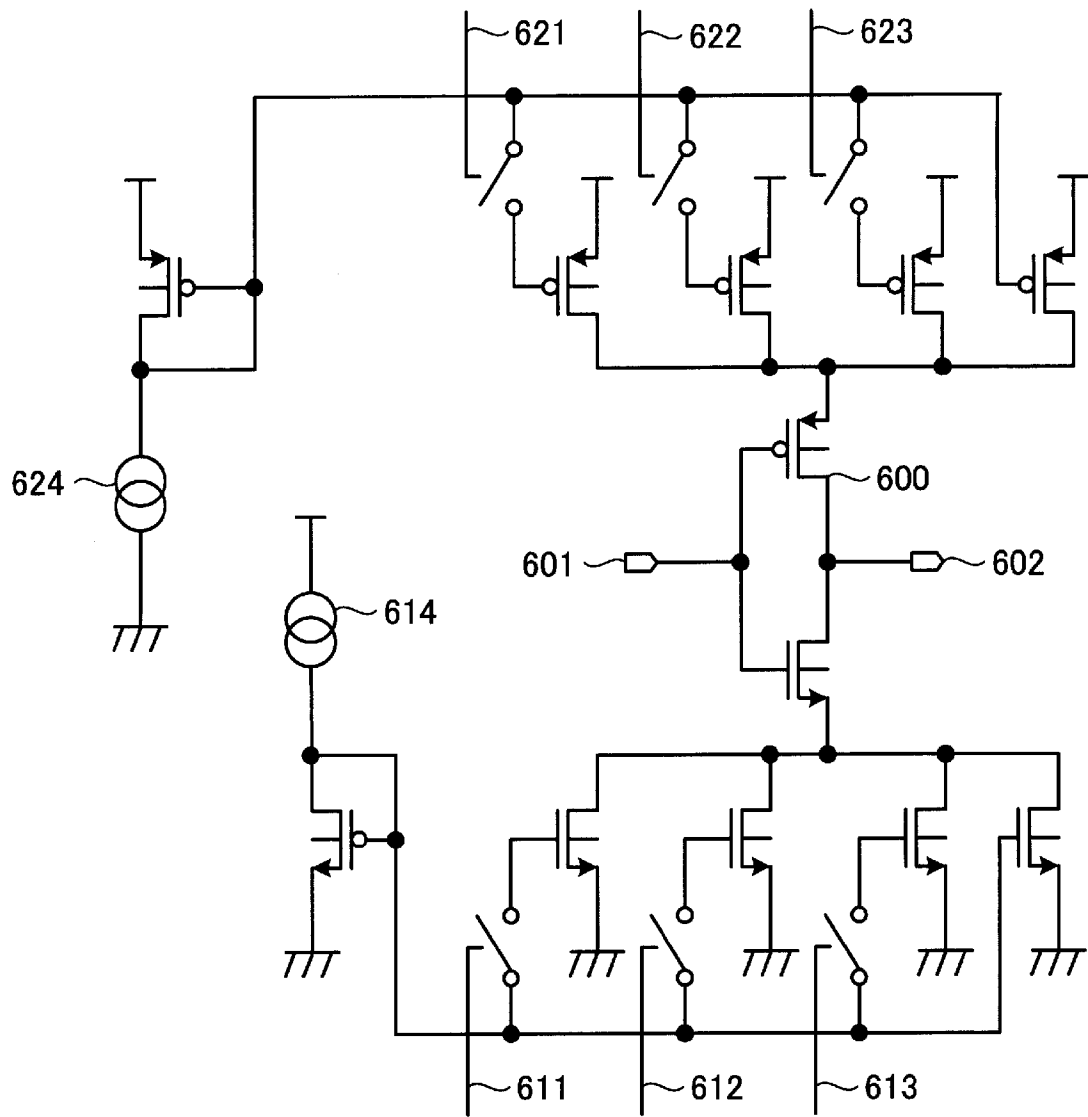
[図10-2]



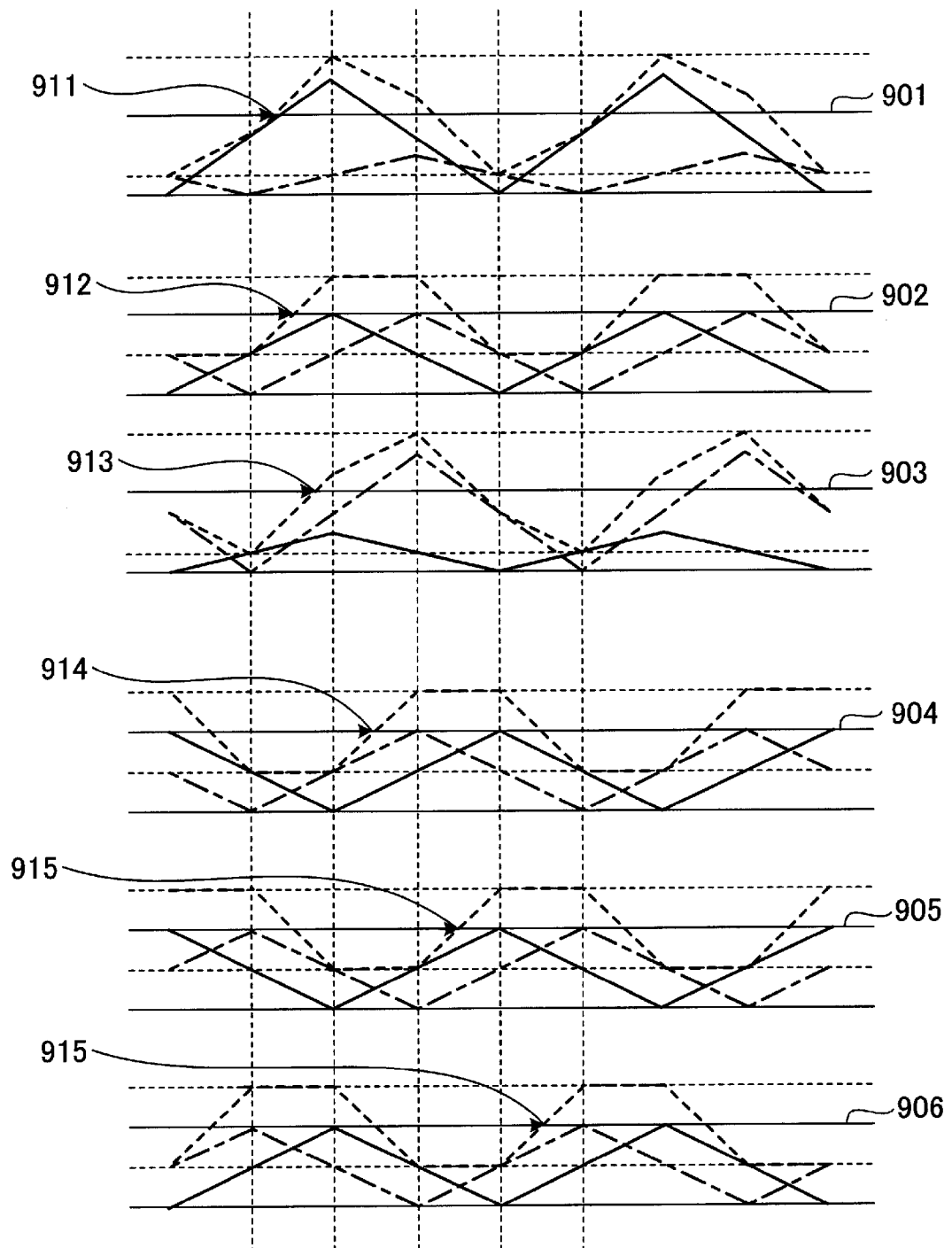
[図11]



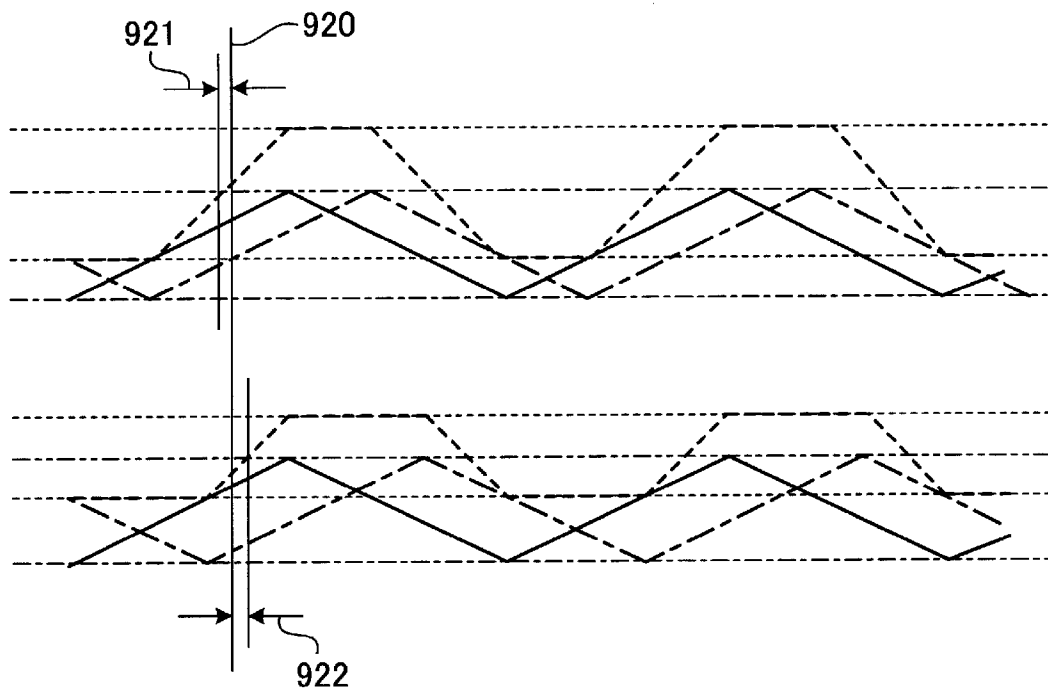
[図12]



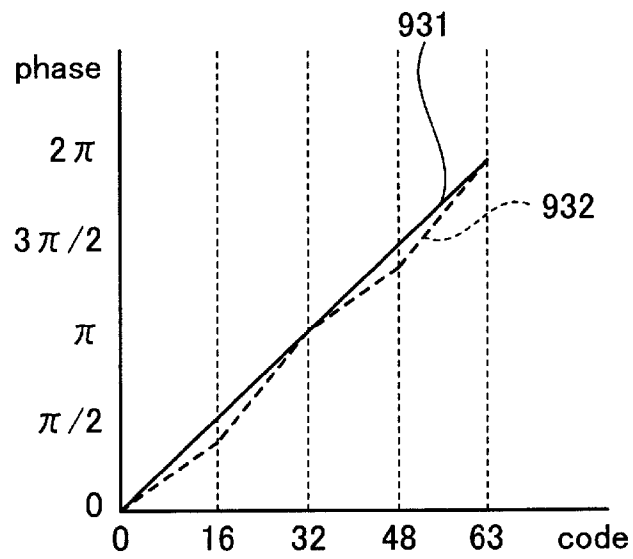
[図13]



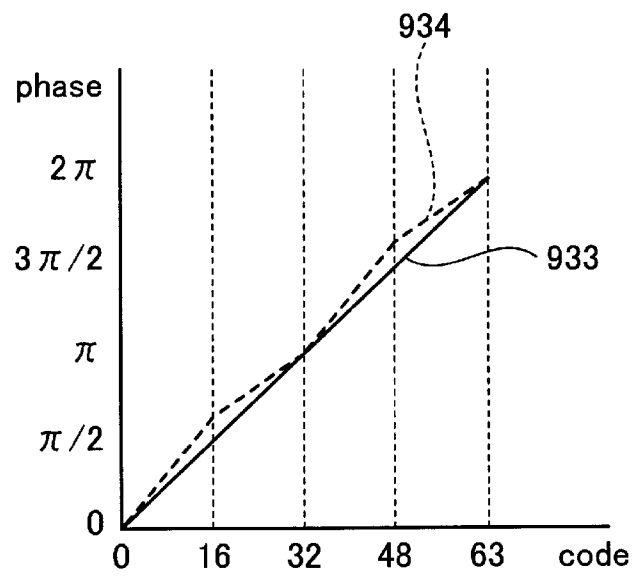
[図14]



[図15-1]



[図15-2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/057891

A. CLASSIFICATION OF SUBJECT MATTER

H03K5/22(2006.01) i, H03K5/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/22, H03K5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-217682 A (Fujitsu Ltd.), 10 August 2001 (10.08.2001), entire text; fig. 11 & US 2009/0179674 A1 & EP 1538753 A1	1-6
A	JP 2005-312004 A (Toshiba Corp.), 04 November 2005 (04.11.2005), paragraph [0027]; fig. 2 & US 2005/0230730 A1	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 May, 2011 (02.05.11)

Date of mailing of the international search report
17 May, 2011 (17.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K5/22(2006.01)i, H03K5/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K5/22, H03K5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2 0 0 1 - 2 1 7 6 8 2 A (富士通株式会社) 2 0 0 1 . 0 8 . 1 0、全文、図11 & U S 2 0 0 9 / 0 1 7 9 6 7 4 A 1 & E P 1 5 3 8 7 5 3 A 1	1-6
A	J P 2 0 0 5 - 3 1 2 0 0 4 A (株式会社東芝) 2 0 0 5 . 1 1 . 0 4、段落【0027】、図2 & U S 2 0 0 5 / 0 2 3 0 7 3 0 A 1	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02.05.2011

国際調査報告の発送日

17.05.2011

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石田 勝

5 X

3 5 7 2

電話番号 03-3581-1101 内線 3596