



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0049375
(43) 공개일자 2018년05월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/3266 (2016.01)
G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G06F 3/0416 (2013.01)
(21) 출원번호 10-2016-0144006
(22) 출원일자 2016년10월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
지혜림
경기도 파주시 월롱면 엘씨디로 201 B동 205호 (덕은리, 정다운마을)
박용석
경기도 고양시 일산서구 대화2로 68 204동 1703호 (대화동, 대화마을2단지아파트)
(74) 대리인
특허법인로얄

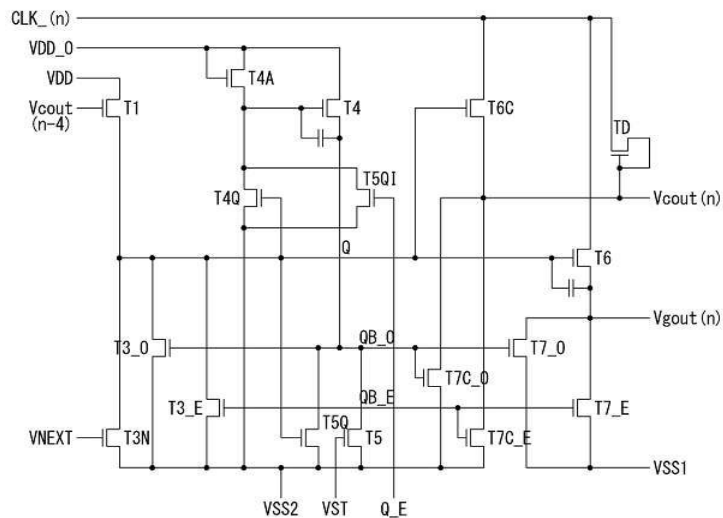
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 게이트 구동 회로와 이를 이용한 표시장치

(57) 요약

본 발명은 게이트 구동 회로와 이를 이용한 표시장치에 관한 것으로, 이 게이트 구동 회로는 클럭 배선을 통해 시프트 클럭이 인가되고 캐리 신호를 통해 종속적으로 연결되고 각각 출력 단자를 통해 순차적으로 출력 전압을 발생하는 다수의 스테이지들을 포함한다. 상기 스테이지들 각각은 제1 출력 단자를 통해 다른 스테이지로 전달되는 제1 출력 전압과, 제2 출력 단자를 통해 표시패널의 게이트 라인에 공급되는 제2 출력 전압을 발생한다. 상기 스테이지들 각각은 상기 클럭 배선과 상기 제1 출력 단자 사이에 연결된 다이오드를 구비한다.

대표도 - 도7



(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 3/3659 (2013.01)

G09G 3/3677 (2013.01)

G09G 2310/0262 (2013.01)

G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

클럭 배선을 통해 시프트 클럭이 인가되고 캐리 신호를 통해 종속적으로 연결되고 각각 출력 단자를 통해 순차적으로 출력 전압을 발생하는 다수의 스테이지들을 포함하고,

상기 스테이지들 각각은 제1 출력 단자를 통해 다른 스테이지로 전달되는 제1 출력 전압과, 제2 출력 단자를 통해 표시패널의 게이트 라인에 공급되는 제2 출력 전압을 발생하고,

상기 스테이지들 각각은 상기 클럭 배선과 상기 제1 출력 단자 사이에 연결된 다이오드를 구비하는 게이트 구동 회로.

청구항 2

제 1 항에 있어서,

상기 제1 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 다이오드의 문턱 전압 이상 높을 때 상기 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전되는 게이트 구동 회로.

청구항 3

제 1 항에 있어서,

상기 스테이지들 각각은 상기 클럭 배선과 상기 제2 출력 단자 사이에 연결된 제2 다이오드를 구비하고,

상기 제2 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 제2 다이오드의 문턱 전압 이상 높을 때 상기 제2 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전되는 게이트 구동 회로.

청구항 4

제 1 항에 있어서,

상기 스테이지들 각각은 다수의 트랜지스터들을 포함하고,

상기 트랜지스터들 각각은 산화물 반도체를 포함하는 게이트 구동 회로.

청구항 5

제 4 항에 있어서,

상기 스테이지들 각각은

Q 노드 전압에 따라 상기 제1 출력 단자의 전압을 높이는 제1 풀업 트랜지스터;

상기 Q 노드 전압에 따라 상기 제2 출력 단자의 전압을 높이는 제2 풀업 트랜지스터;

상기 제1 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제1 풀다운 트랜지스터;

상기 제1 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제2 풀다운 트랜지스터;

상기 제2 QB 노드와 교대로 충전되는 제2 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제3 풀다운 트랜지스터;

상기 제2 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제4 풀다운 트랜지스터를 더 구비하는 게이트 구동 회로.

청구항 6

제 5 항에 있어서,

상기 제2 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS1 단자에 연결되고,

상기 Q 노드, 상기 QB 노드들 및 상기 제1 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS2 단자에 연결되며,

상기 VSS2 단자에 인가되는 게이트 오프 전압이 상기 VSS1 단자에 인가되는 게이트 오프 전압 보다 낮은 게이트 구동 회로.

청구항 7

제 5 항에 있어서,

이웃한 스테이지들 간에 상기 제1 QB 노드들이 서로 연결되고, 상기 제2 QB 노드들이 서로 연결되는 게이트 구동 회로.

청구항 8

데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 매트릭스 형태로 배치되는 표시패널; 및

픽셀들에 입력 영상의 데이터를 기입하는 디스플레이 구동부를 구비하고,

상기 디스플레이 구동부는,

상기 게이트 라인들에 게이트 펄스를 순차적으로 공급하는 시프트 레지스터를 포함하고,

상기 시프트 레지스터는

클럭 배선을 통해 시프트 클럭이 인가되고 캐리 신호를 통해 종속적으로 연결되고 각각 출력 단자를 통해 순차적으로 출력 전압을 발생하는 다수의 스테이지들을 포함하고,

상기 스테이지들 각각은 제1 출력 단자를 통해 다른 스테이지로 전달되는 제1 출력 전압과, 제2 출력 단자를 통해 표시패널의 게이트 라인에 공급되는 제2 출력 전압을 발생하고,

상기 스테이지들 각각은 상기 클럭 배선과 상기 제1 출력 단자 사이에 연결된 다이오드를 구비하는 표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 다이오드의 문턱 전압 이상 높을 때 상기 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전되는 표시장치.

청구항 10

제 8 항에 있어서,

상기 스테이지들 각각은 상기 클럭 배선과 상기 제2 출력 단자 사이에 연결된 제2 다이오드를 구비하고,

상기 제2 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 제2 다이오드의 문턱 전압 이상 높을 때 상기 제2 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전되는 표시장치.

청구항 11

제 8 항에 있어서,

상기 스테이지들 각각은 다수의 트랜지스터들을 포함하고,

상기 트랜지스터들 각각은 산화물 반도체를 포함하는 표시장치.

청구항 12

제 11 항에 있어서,

상기 스테이지들 각각은

Q 노드 전압에 따라 상기 제1 출력 단자의 전압을 높이는 제1 풀업 트랜지스터;
 상기 Q 노드 전압에 따라 상기 제2 출력 단자의 전압을 높이는 제2 풀업 트랜지스터;
 상기 제1 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제1 풀다운 트랜지스터;
 상기 제1 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제2 풀다운 트랜지스터;
 상기 제2 QB 노드와 교대로 충전되는 제2 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제3 풀다운 트랜지스터;
 상기 제2 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제4 풀다운 트랜지스터를 더 구비하는 표시장치.

청구항 13

제 12 항에 있어서,
 상기 제2 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS1 단자에 연결되고,
 상기 Q 노드, 상기 QB 노드들 및 상기 제1 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS2 단자에 연결되며,
 상기 VSS2 단자에 인가되는 게이트 오프 전압이 상기 VSS1 단자에 인가되는 게이트 오프 전압 보다 낮은 표시장치.

청구항 14

제 12 항에 있어서,
 이웃한 스테이지들 간에 상기 제1 QB 노드들이 서로 연결되고, 상기 제2 QB 노드들이 서로 연결되는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 게이트 구동 회로와 이를 이용한 표시장치에 관한 것이다.

배경 기술

[0002] 표시장치는 픽셀 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동 회로, 데이터 신호에 동기되는 게이트 펄스(또는 스캔 펄스)를 픽셀 어레이의 게이트 라인들(또는 스캔 라인들)에 순차적으로 공급하는 게이트 구동 회로(또는 스캔 구동 회로), 데이터 구동 회로와 게이트 구동 회로를 제어하는 타이밍 콘트롤러 등을 포함한다.

[0003] 픽셀들 각각은 게이트 펄스에 응답하여 데이터 라인의 전압을 픽셀 전극에 공급하는 박막트랜지스터(Thin Film Transistor, 이하, "TFT" 라 함)를 포함할 수 있다. 게이트 펄스는 게이트 온 전압(Gate High Voltage, VG_H)과 게이트 오프 전압(Gate Low Voltage, VGL) 사이에서 스위칭한다. 게이트 온 전압(VG_H)은 픽셀 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압(VGL)은 픽셀 TFT의 문턱 전압 보다 낮은 전압으로 설정된다.

[0004] 최근, 게이트 구동 회로를 픽셀 어레이와 함께 표시패널에 내장하는 기술이 적용되고 있다. 이하에서 표시패널에 내장된 게이트 구동 회로를 "GIP(Gate In Panel) 회로"로 칭하기로 한다. GIP 회로는 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 접속된 다수의 스테이지들(stage)을 포함하여 시프트 클럭 타이밍에 맞추어 출력 전압을 시프트(shift)한다.

[0005] 게이트 펄스는 입력 영상의 데이터 전압 즉, 픽셀 전압에 동기되어 데이터 전압이 충전될 픽셀들을 1 라인씩 순차적으로 선택한다. 시프트 레지스터의 스테이지는 스타트 펄스(start pulse) 또는 이전 스테이지로부터 수신된 캐리 신호를 스타트 펄스로서 입력 받아 클럭이 입력될 때 출력을 발생한다.

[0006] 스테이지들 각각은 도 1 및 도 2에 도시된 바와 같이 Q 노드 전압에 응답하여 출력 단자(OUT(n))를 충전하여 출력 전압을 라이징(rising)시키는 풀업 트랜지스터(pull-up transistor, Tu), QB 노드 전압에 응답하여 출력 단

자(OUT(n))를 방전하여 출력 전압을 폴링(falling)시키는 풀다운 트랜지스터(Pull-down transistor, Td), 및 Q 노드와 QB 노드를 충전하는 스위치 회로(10)를 포함한다. 스테이지들 각각의 출력 단자는 표시패널의 게이트 라인에 연결된다.

[0007] 풀업 트랜지스터(Tu)는 Q 노드가 VGH 만큼 프리 차징(pre-charging)된 상태에서 시프트 클럭(CLK)이 드레인에 입력될 때 시프트 클럭(CLK)의 게이트 온 전압(VGH)까지 출력 단자를 충전한다. 풀업 트랜지스터(Tu)의 드레인에 시프트 클럭(CLK)이 입력될 때 풀업 트랜지스터(Tu)의 드레인과 게이트 사이의 용량을 통해 플로팅된 Q 노드의 전압이 부트스트래핑(bootstrapping)에 의해 2VGH 만큼 상승된다. 이 때 풀업 트랜지스터(Tu)가 Q 노드의 2VGH 전압에 의해 턴-온되어 출력 단자의 전압이 VGH까지 상승한다. 풀다운 트랜지스터(Td)는 QB 전압이 VGH 만큼 충전될 때 출력 단자에 게이트 오프 전압(VGL)을 공급하여 출력 전압(Vout(n))을 VGL까지 방전시킨다.

[0008] 스위치 회로(10)는 VST 단자를 통해 입력되는 스타트 펄스(VST) 또는 이전 스테이지로부터 수신되는 캐리 신호에 응답하여 Q 노드를 충전하고, RST 단자 또는 VNEXT 단자를 통해 수신되는 신호에 응답하여 Q 노드를 방전한다. RST 단자에는 모든 스테이지들(S(N-1), S(N), S(N+1))의 Q 노드를 동시에 방전시키기 위한 리셋 신호가 인가된다. VNEXT 단자에는 다음 스테이지로부터 발생된 캐리 신호이다. 스위치 회로(10)는 인버터(Inverter)를 이용하여 Q 노드와 반대로 QB 노드를 충전할 수 있다.

[0009] 비정질 실리콘(a-Si)을 포함한 TFT(이하, "a-Si TFT" 라 함)는 교류 전압을 인가하는 방법으로 문턱 전압 시프트가 회복될 수 있다. 이 때문에 a-Si TFT로 구현된 GIP 회로는 QB 노드를 교류 전압으로 구동하여 풀다운 트랜지스터의 문턱 전압 시프트를 복원할 수 있었다.

[0010] 최근, 표시장치의 고해상도 요구에서 a-Si TFT의 낮은 이동도(Mobility)로 인하여 산화물 반도체를 포함한 TFT(이하, "Oxide TFT" 라 함)를 고해상도 모델에 픽셀과 GIP 회로의 스위치 소자를 적용하는 방안이 연구되고 있다. 그런데, Oxide TFT는 표시장치의 고성능(High Performance)을 구현하는데 유리하지만, 그 특성이 열화될 때 이를 보상하는 방법이 어렵다. Oxide TFT의 경우에 직류 게이트 바이어스 스트레스(DC gate bias stress)로 인하여 문턱 전압이 시프트되어 그 특성이 열화될 때, 반대 극성의 전압을 게이트에 인가하여도 문턱 전압의 회복이 거의 없다. GIP 회로에 Oxide TFT를 풀다운 트랜지스터로 적용한 실험 결과에 따르면, QB 노드를 교류 전압으로 구동하더라도 Oxide TFT의 열화가 회복되지 않기 때문에 시간이 경과할수록 풀다운 트랜지스터의 문턱 전압 시프트가 심하게 된다. 그 결과, 풀다운 트랜지스터를 통해 게이트 라인의 전압이 방전되지 못하여 도 3과 같이 정상적인 출력 이외에 시프트 클럭이 발생될 때마다 리플(ripple)이 발생한다. 도 3에서 "Nth 출력"은 GIP 회로의 제N 스테이지(stage)로부터 출력되는 출력 전압이고 그 이외의 멀티 출력 전압은 풀다운 트랜지스터를 통해 방전되지 못한 리플 성분이다. GIP 회로의 멀티 출력은 픽셀 전압의 변동을 초래하여 화질 저하를 유발할 수 있다.

발명의 내용

해결하려는 과제

[0011] 본 발명은 GIP 회로의 출력 전압에서 리플을 효과적으로 방전시키도록 한 게이트 구동 회로와 이를 이용한 표시장치를 제공한다.

과제의 해결 수단

[0012] 본 발명의 게이트 구동 회로는 클럭 배선을 통해 시프트 클럭이 인가되고 캐리 신호를 통해 종속적으로 연결되고 각각 출력 단자를 통해 순차적으로 출력 전압을 발생하는 다수의 스테이지들을 포함한다.

[0013] 상기 스테이지들 각각은 제1 출력 단자를 통해 다른 스테이지로 전달되는 제1 출력 전압과, 제2 출력 단자를 통해 표시패널의 게이트 라인에 공급되는 제2 출력 전압을 발생한다. 상기 스테이지들 각각은 상기 클럭 배선과 상기 제1 출력 단자 사이에 연결된 다이오드를 구비한다.

[0014] 상기 제1 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 다이오드의 문턱 전압 이상 높을 때 상기 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전된다.

[0015] 상기 스테이지들 각각은 상기 클럭 배선과 상기 제2 출력 단자 사이에 연결된 제2 다이오드를 구비한다.

[0016] 상기 제2 출력 단자의 전압이 상기 클럭 배선의 전압 보다 상기 제2 다이오드의 문턱 전압 이상 높을 때 상기 제2 다이오드가 턴-온되어 상기 제1 출력 단자의 전압이 상기 클럭 배선을 통해 방전된다.

- [0017] 상기 스테이지들 각각은 다수의 트랜지스터들을 포함한다. 상기 트랜지스터들 각각은 산화물 반도체를 포함한다.
- [0018] 상기 스테이지들 각각은 Q 노드 전압에 따라 상기 제1 출력 단자의 전압을 높이는 제1 풀업 트랜지스터, 상기 Q 노드 전압에 따라 상기 제2 출력 단자의 전압을 높이는 제2 풀업 트랜지스터, 상기 제1 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제1 풀다운 트랜지스터, 상기 제1 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제2 풀다운 트랜지스터, 상기 제2 QB 노드와 교대로 충전되는 제2 QB 노드의 전압에 따라 상기 제1 출력 단자의 전압을 낮추는 제3 풀다운 트랜지스터, 및 상기 제2 QB 노드의 전압에 따라 상기 제2 출력 단자의 전압을 낮추는 제4 풀다운 트랜지스터를 더 구비한다.
- [0019] 상기 제2 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS1 단자에 연결된다. 상기 Q 노드, 상기 QB 노드들 및 상기 제1 출력 단자의 방전 경로를 스위칭하는 트랜지스터들은 VSS2 단자에 연결된다. 상기 VSS2 단자에 인가되는 게이트 오프 전압이 상기 VSS1 단자에 인가되는 게이트 오프 전압 보다 낮다.
- [0020] 이웃한 스테이지들 간에 상기 제1 QB 노드들이 서로 연결되고, 상기 제2 QB 노드들이 서로 연결된다.
- [0021] 본 발명의 표시장치는 데이터 라인들과 게이트 라인들이 교차되고 픽셀들이 매트릭스 형태로 배치되는 표시패널, 및 픽셀들에 입력 영상의 데이터를 기입하는 디스플레이 구동부를 구비한다.
- [0022] 상기 디스플레이 구동부는 상기 시프트 레지스터를 포함한다.

발명의 효과

- [0023] 본 발명은 GIP 회로의 출력 단자들 중에서 캐리 신호가 출력되는 적어도 하나에 다이오드를 연결하여 캐리 신호의 리플 전압을 방지하고 Q 노드 전압의 리플을 방지할 수 있다.

도면의 간단한 설명

- [0024] 도 1은 게이트 구동 회로의 시프트 레지스터에서 게이트 펄스를 출력하는 하나의 스테이지를 개략적으로 보여주는 도면이다.
- 도 2는 도 1에 도시된 스테이지의 동작을 보여 주는 파형도이다.
- 도 3은 게이트 구동 회로의 출력 전압에서 풀다운 트랜지스터가 열화될 때 발생하는 리플 전압을 보여 주는 도면이다.
- 도 4는 본 발명의 실시예에 따른 표시장치를 개략적으로 보여 주는 블록도이다.
- 도 5는 화면의 양측에 배치된 GIP 회로들에 인가되는 시프트 클럭과 스타트 펄스를 보여 주는 도면이다.
- 도 6은 GIP 회로에서 종속적으로 연결된 스테이지들을 보여 주는 도면이다.
- 도 7은 본 발명의 제1 실시예에 따른 GIP 회로를 보여 주는 회로도이다.
- 도 8은 도 7에 도시된 다이오드(TD)의 다이오드 동작을 보여 주는 도면이다.
- 도 9는 도 7에 도시된 다이오드(TD)의 유무에 따른 리플 전압을 보여 주는 시뮬레이션 결과 도면이다.
- 도 10은 본 발명의 제2 실시예에 따른 GIP 회로를 보여 주는 회로도이다.
- 도 11은 본 발명의 제3 실시예에 따른 GIP 회로를 보여 주는 회로도이다.
- 도 12는 도 11에 도시된 GIP 회로에서 다이오드의 적용 유무에 따른 신뢰성 평가 결과를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0026] 본 발명의 표시장치는 액정표시장치(Liquid Crystal Display, LCD), 유기발광 다이오드 표시장치(Organic Light Emitting Display, OLED Display) 등의 평판 표시장치로 구현될 수 있다. 이하의 실시예에서, 평판 표

시장치의 일 예로서 액정표시장치를 중심으로 설명하지만, 본 발명은 이에 한정되지 않는다. 예컨대, 본 발명은 인셀 터치 센서를 포함한 어떠한 표시장치에도 적용될 수 있다.

- [0027] 본 발명의 게이트 구동 회로에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 n 타입 트랜지스터(NMOS)를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예 설명에서 트랜지스터의 소스와 드레인은 제1 및 제2 전극으로 칭하기로 한다. 이하의 설명에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다는 것에 주의하여야 한다.
- [0028] 본 발명의 GIP 회로를 구성하는 트랜지스터들은 Oxide TFT, a-Si TFT, 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 트랜지스터 중 하나 이상으로 구현될 수 있다.
- [0029] 도 4 및 도 5를 참조하면, 본 발명의 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀 어레이(pixel array)(10)의 픽셀들에 입력 영상의 데이터를 기입하기 위한 디스플레이 구동부를 포함한다.
- [0030] 표시패널(100)은 데이터 라인들(12), 데이터 라인들(12)과 직교하는 게이트 라인들(14), 및 데이터 라인들(12)과 게이트 라인들(14)에 의해 정의된 매트릭스 형태로 픽셀들이 배치된 픽셀 어레이(10)를 포함한다. 픽셀 어레이(10)는 입력 영상이 표시되는 화면을 구현한다.
- [0031] 픽셀 어레이(10)의 픽셀들은 컬러 구현을 위하여, 적색(R), 녹색(G), 및 청색(B) 서브 픽셀들을 포함할 수 있다. 픽셀들 각각은 RGB 서브 픽셀들 이외에 백색(White, W) 서브 픽셀을 더 포함할 수 있다.
- [0032] 표시패널(100)의 픽셀 어레이(10)는 TFT 어레이와 컬러 필터 어레이로 나뉘어질 수 있다. 표시패널(100)의 하판에 TFT 어레이가 형성될 수 있다. TFT 어레이는 데이터라인들(12)과 게이트라인들(14)의 교차부들에 형성된 TFT들(Thin Film Transistor), 데이터전압을 충전하는 픽셀 전극, 픽셀 전극에 접속되어 데이터 전압을 유지하는 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함하여 입력 영상을 표시한다. TFT 어레이에 인셀 터치 센서(In-cell touch sensor)가 배치될 수 있다. 이 경우, 표시장치는 인셀 터치 센서를 구동하기 위한 센서 구동부를 더 구비한다.
- [0033] 표시패널(100)의 상판 또는 하판에 컬러 필터 어레이가 형성될 수 있다. 컬러 필터 어레이는 블랙매트릭스(black matrix), 컬러 필터(color filter) 등을 포함한다. COT(Color Filter on TFT) 또는 TOC(TFT on Color Filter) 모델의 경우에, TFT 어레이와 함께 컬러 필터와 블랙 매트릭스가 하나의 기판 상에 배치될 수 있다.
- [0034] 디스플레이 구동부는 데이터 구동부(16)와 게이트 구동부(18A, 18B, 22)를 포함하여 입력 영상의 데이터를 표시패널(100)의 픽셀들에 기입한다.
- [0035] 데이터 구동부(16)는 하나 이상의 소스 드라이브 IC를 포함한다. 소스 드라이브 IC는 COF(Chip on film) 상에 실장되어 표시패널(100)과 PCB(Printed Circuit Board)(30) 사이에 연결될 수 있다. 소스 드라이브 IC(SIC)는 COG(Chip on glass) 공정으로 표시패널(100)의 기판 상에 직접 접촉될 수도 있다.
- [0036] 데이터 구동부(16)는 타이밍 컨트롤러(Timing controller, TCON)(20)로부터 수신되는 입력 영상의 디지털 비디오 데이터를 감마보상전압으로 변환하여 데이터전압을 출력한다. 데이터 구동부(16)로부터 출력된 데이터전압은 데이터 라인들(12)에 공급된다. 데이터 구동부(16)와 데이터 라인들(12) 사이에 도시하지 않은 멀티플렉서(Multiplexer)가 배치될 수 있다. 멀티플렉서는 타이밍 컨트롤러(20)의 제어 하에 데이터 구동부(16)로부터 입력되는 데이터 전압을 데이터 라인들(12)에 분배한다. 1:3 멀티플렉서의 경우에, 멀티플렉서는 데이터 구동부(16)의 한 개 출력 채널을 통해 입력되는 데이터 전압을 시분할하여 두 개의 데이터 라인들로 시분할 공급한다. 1:3 멀티플렉서를 사용하면, 데이터 구동부(16)의 채널 수를 1/3로 줄일 수 있다.

- [0037] 게이트 구동부(18A, 18B, 22)는 레벨 시프터(Level shifter, LS)(22)와 GIP 회로(18A, 18B)를 포함한다. 레벨 시프터(22)는 타이밍 콘트롤러(20)와 GIP 회로(18A, 18B) 사이에 배치된다. GIP 회로(18A, 18B)는 TFT 어레이와 함께 표시패널(100)의 하판 상에 직접 형성될 수 있다.
- [0038] GIP 회로(18A, 18B)는 시프트 레지스터를 포함한다. GIP 회로(18A, 18B)는 픽셀 어레이 밖에서 표시패널(100)의 일측 가장자리의 베젤(Bezel, BZ)에 형성되거나 양측 가장자리의 베젤(BZ)에 형성될 수 있다. 레벨 시프터(22)는 타이밍 콘트롤러(20)로부터 수신된 게이트 타이밍 제어 신호의 스윙폭을 게이트 온 전압과 게이트 오프 전압으로 시프트(shift)하여 GIP 회로(18A, 18B)로 출력한다. NMOS에서, 게이트 온 전압은 NMOS의 문턱 전압보다 높은 게이트 온 전압(VGH)이고, 게이트 오프 전압은 NMOS의 문턱 전압보다 낮은 게이트 오프 전압(VGL)이다. PMOS의 경우, 게이트 온 전압은 게이트 오프 전압(VGL)이고, 게이트 오프 전압은 게이트 온 전압(VGH)이다. 이하에서, GIP 회로(18A, 18B)의 트랜지스터들은 NMOS를 중심으로 설명되지만 본 발명은 이에 한정되지 않는다.
- [0039] GIP 회로(18A, 18B) 각각은 도 4와 같이 시프트 클럭(CLK)에 따라 게이트 펄스를 시프트하여 게이트 라인들(14)에 게이트 펄스를 순차적으로 공급한다. 시프트 클럭(CLK)은 2 상(phase) 클럭 내지 8 상 클럭일 수 있으나 이에 한정되지 않는다.
- [0040] GIP 회로(18A, 18B)로부터 출력되는 게이트 펄스는 VGH와 VGL 사이에서 스윙한다. VGH는 픽셀의 TFT 문턱 전압보다 높은 게이트 온 전압이다. VGL은 VGH 보다 낮고, 픽셀의 TFT 문턱 전압보다 낮은 게이트 오프 전압이다. 픽셀의 TFT들은 게이트 펄스의 VGH에 응답하여 턴-온(turn-on)되어 데이터 라인(12)으로부터의 데이터 전압을 픽셀 전극에 공급한다.
- [0041] 도 4는 GIP 회로(18A, 18B)가 픽셀 어레이(10)를 좌우에 두고 표시패널(100)의 좌측과 우측에 배치된 예이다. 좌측 및 우측 GIP 회로들(18A, 18B)은 타이밍 콘트롤러(20)에 의해 동기된다. 좌측 GIP 회로(18A)는 픽셀 어레이(10)의 기수 번째 게이트 라인들(14)에 연결되어 그 게이트 라인들(14)에 게이트 펄스를 순차적으로 공급할 수 있다. 우측 GIP 회로(18B)는 픽셀 어레이(10)의 우수 번째 게이트 라인들(14)에 연결되어 그 게이트 라인들(14)에 게이트 펄스를 순차적으로 출력할 수 있다. 좌측 GIP 회로(18A)와 우측 GIP 회로(18A)는 모든 게이트 라인들에 연결되어 동시에 같은 게이트 라인에 게이트 펄스를 공급할 수도 있다.
- [0042] GIP 회로(18A, 18B)의 시프트 레지스터는 도 6과 같이 캐리 신호(CAR)가 전달되는 캐리 신호 배선을 통해 종속적으로 접속(cascade connection)되어 시프트 클럭(CLK) 타이밍에 맞추어 게이트 펄스를 시프트하는 스테이지들(S(n)~S(n+3))을 포함한다. 스테이지들(S(n)~S(n+3)) 각각은 게이트 라인들(14)에 게이트 펄스를 순차적으로 공급하고, 캐리 신호(Carry signal)(CAR)를 다른 스테이지로 전달한다. 게이트 펄스와 캐리 신호는 스테이지 각각에서 하나의 출력 단자를 통해 출력되는 같은 신호이거나 스테이지 각각에서 두 개의 출력 단자를 통해 분리될 수 있다. 캐리 신호(CAR)가 전송되는 스테이지는 특정 스테이지로 한정되지 않는다. 예를 들어, 도 7과 같이 제n(n은 양의 정수) 스테이지는 제n-4 스테이지로부터 출력된 캐리 신호를 입력 받을 수 있으나 이에 한정되지 않는다.
- [0043] 타이밍 콘트롤러(20)는 도시하지 않은 호스트 시스템으로부터 수신되는 입력 영상의 디지털 비디오 데이터를 데이터 구동부(16)로 전송한다. 타이밍 콘트롤러(20)는 입력 영상 데이터에 동기하여 수신되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력 받아 데이터 구동부(16)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와, 레벨 시프터(22)와 GIP 회로(18A, 18B)의 동작 타이밍을 동작 타이밍을 제어시키기 위한 게이트 타이밍 제어신호를 출력한다. 타이밍 콘트롤러(20)와 레벨 시프터(22)는 PCB(30) 상에 실장될 수 있다.
- [0044] 게이트 타이밍 제어신호는 스타트 펄스(VST), 시프트 클럭(Gate Shift Clock, GCLK), 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 출력 인에이블신호(Gate Output Enable, GOE)는 생략될 수 있다. 스타트 펄스(VST)는 GIP 회로(18A, 18B)의 제1 스테이지에서 VST 단자에 입력되어 1 프레임 기간에서 가장 먼저 발생하는 제1 게이트 펄스의 출력 타이밍을 제어한다. 시프트 클럭(GCLK)은 GIP 회로(18A, 18B)의 스테이지들 각각에서 게이트 펄스의 출력 타이밍을 제어하여 게이트 펄스의 시프트 타이밍을 제어한다.
- [0045] 호스트 시스템은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터를 표시패널(100)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(20)으로 전송

한다. 호스트 시스템은 터치 센싱부로부터 수신된 터치 입력의 좌표 정보와 연계된 응용 프로그램을 실행한다.

- [0046] 본 발명의 GIP 회로(18A, 18B)는 출력 단자들 중 적어도 하나와 클럭 배선 사이에 다이오드를 추가하여 그 다이오드를 통해 출력 전압에서 리플을 방전시킴으로써 멀티 출력 현상을 방지한다. 본 발명은 어떠한 GIP 회로에도 적용가능하다. 도 7 내지 11은 본 발명이 적용 가능한 다양한 GIP 회로를 보여 주고 있으나 본 발명은 이에 한정되지 않는다.
- [0047] 도 7은 GIP 회로(18A, 18B)에서 제 n 출력 전압($V_{coul}(n)$, $V_{gout}(n)$)을 출력하는 제 n 스테이지를 보여 주는 회로도이다.
- [0048] 도 7을 참조하면, 제 n 스테이지($ST(n)$)는 제1 출력 단자를 통해 제1 출력 전압($V_{coul}(n)$)을 출력하고, 제2 출력 단자를 통해 제2 출력 전압($V_{gout}(n)$)을 출력한다. 제1 출력 단자는 다른 스테이지($ST(n+4)$)의 VST 단자에 연결되어 제1 출력 전압($V_{coul}(n)$)을 캐리 신호로서 다른 스테이지($ST(n+4)$)의 VST 단자에 공급한다. 제2 출력 단자는 픽셀 어레이의 게이트 라인(14)에 연결되어 게이트 펄스를 게이트 라인(14)에 공급한다.
- [0049] QB 노드는 QB_0와 QB_E로 분리되고 QB 노드들(QB_0, QB_E)은 소정 시간 교대로 충전되어 풀다운 트랜지스터들($T7C_0$, $T7C_E$, $T7_0$, $T7_E$)의 직류 게이트 바이어스 스트레스(DC gate bias stress)가 감소된다.
- [0050] 이 GIP 회로의 스테이지들 각각은 Q 노드 전압에 따라 제1 출력 단자의 전압을 높이는 제1 풀업 트랜지스터($T6C$), Q 노드 전압에 따라 제2 출력 단자의 전압을 높이는 제2 풀업 트랜지스터($T6$), 제1 QB 노드(QB_0)의 전압에 따라 제1 출력 단자의 전압을 낮추는 제1 풀다운 트랜지스터($T7C_0$), 제1 QB 노드(QB_0)의 전압에 따라 제2 출력 단자의 전압을 낮추는 제2 풀다운 트랜지스터($T7_0$), 제2 QB 노드(QB_E)의 전압에 따라 제1 출력 단자의 전압을 낮추는 제3 풀다운 트랜지스터($T7C_E$), 제2 QB 노드(QB_E)의 전압에 따라 제2 출력 단자의 전압을 낮추는 제4 풀다운 트랜지스터($T7_E$)를 구비한다.
- [0051] 풀다운 트랜지스터들($T7C_0$ 및 $T7C_E$)은 QB 노드들(QB_0, QB_E)의 전압에 응답하여 교대로 턴-온되어 제1 출력 단자의 전압을 방전시킨다. 풀다운 트랜지스터들($T7_0$ 및 $T7_E$)은 QB 노드들(QB_0, QB_E)의 전압에 응답하여 교대로 턴-온되어 제2 출력 단자의 전압을 방전시킨다. 트랜지스터($T1$)는 VST 단자를 통해 이전 스테이지로부터의 캐리 신호($V_{out}(n-4)$)가 입력될 때 VDD를 Q 노드에 공급하여 Q 노드를 프리 차징한다. VDD는 게이트 온 전압(V_{GH})으로 설정될 수 있다.
- [0052] 풀업 트랜지스터($T6C$, $T6$)의 게이트는 Q 노드에 연결된다. 제 n 시프트 클럭($CLK(n)$)은 클럭 배선을 통해 풀업 트랜지스터($T6C$, $T6$)의 제1 전극(드레인)에 인가된다. Q 노드가 프리차징된 상태에서 시프트 클럭($CLK(n)$)의 게이트 온 전압(V_{GH})이 입력될 때 풀업 트랜지스터($T6C$, $T6$)의 게이트-소스간 용량(capacitance)을 통해 부트스트래핑이 발생하여 Q 노드의 전압이 $2V_{GH}$ 로 상승하여 풀업 트랜지스터($T6C$, $T6$)가 턴-온된다. $T6C$ 는 Q 노드의 전압에 따라 턴-온되어 제1 출력 단자의 전압을 높이는 풀업 트랜지스터이다. $T6$ 은 Q 노드의 전압에 따라 턴-온되어 제2 출력 단자의 전압을 높이는 풀업 트랜지스터이다. 트랜지스터($T3N$)은 다음 스테이지로부터의 캐리 신호에 응답하여 Q 노드를 방전한다. 트랜지스터($T4A$, $T4$, $T4Q$, $T5QI$)는 Q 노드가 방전될 때 VDD_0를 QB_0 노드에 공급하여 QB_0 노드를 충전한다. 트랜지스터($T5Q$)는 Q 노드가 충전될 때 QB_0 노드를 방전하고, 트랜지스터($T5$)는 리셋 단자(RST)를 통해 수신되는 스타트 펄스(VST)에 응답하여 QB_0 노드를 방전하여 리셋한다. 모든 스테이지들의 QB 노드들이 트랜지스터($T5$)에 의해 스타트 펄스(VST)가 발생될 때 동시에 리셋된다. Q_E는 다음 스테이지($ST(n+1)$)의 Q 노드이다. Q 노드, QB 노드들 그리고 제1 출력 단자의 방전 경로를 스위칭하는 트랜지스터들($T3_0$, $T3N$, $T5Q$, $T5$, $T7C_0$, $T7C_E$)는 VSS2 단자에 연결된다. 제2 출력 단자의 방전 경로를 스위칭하는 트랜지스터들($T7_0$, $T7_E$)은 VSS1 단자에 연결된다. VSS2 단자에 인가되는 VGL(-10V)은 VSS1 단자에 인가되는 VGL(-5V) 보다 낮은 전압으로 설정되어 풀업 트랜지스터의 열화 저감과 픽셀들의 전압(ΔV_p)을 줄일 수 있고, 게이트 펄스의 라이징 에지 및 폴링 에지를 줄일 수 있다.
- [0053] QB 노드들(QB_0, QB_E)에 게이트가 연결된 풀다운 트랜지스터들이 열화되면 출력 단자의 전압이 제대로 방전되지 못하여 출력 전압($V_{coul}(n)$, $V_{gout}(n)$)에 리플 전압이 발생된다. 다른 스테이지($ST(n+4)$)의 캐리신호로서 전달되는 제1 출력 전압($V_{coul}(n)$)에 리플이 발생하면 다른 스테이지의 트랜지스터($T1$)를 통해 출력되는 Q 노드의 전압에 리플 전압이 발생하여 풀업 트랜지스터들($T6C$, $T6$) 또는 Q 노드와 출력 단자 사이의 용량(capacitance)을 통해 그 스테이지($ST(n+4)$)의 출력 전압($V_{gout}(n+4)$)에 리플이 발생된다.
- [0054] 이러한 리플을 방지하기 위하여, 본 발명의 GIP 회로(18A, 18B)는 제1 출력 단자와 클럭 배선 사이에 연결된 트랜지스터(TD)를 더 구비한다. 트랜지스터(TD)는 다이오드로 동작한다. 트랜지스터(TD)는 클럭 배선에 연결된 제1 전극과, 제1 출력 단자에 연결된 게이트 및 제2 전극을 포함한다. 이하, 트랜지스터(TD)를 다이오드로 칭

하기로 한다.

- [0055] 시프트 클럭(CLK_(n))은 게이트 온 전압(VGH)과 게이트 오프 전압(VGL) 사이에서 스윙한다. Q 노드가 프리차징된 상태에서 시프트 클럭(CLK_(n))의 게이트 온 전압(VGH)이 풀업 트랜지스터(T6C)의 제1 전극에 인가되면, 도 8과 같이 제1 출력 단자의 전압이 상승되어 제1 출력 전압(V_{cout(n)})의 VGH만큼 상승한다. 이 때, 시프트 클럭(CLK_(n))의 전압과 제1 출력 전압(V_{cout(n)})이 모두 VGH로 같기 때문에 다이오드(TD)의 V_{ds}=0이 되어 다이오드(TD)는 오프 상태를 유지한다. 따라서, 제1 출력 전압(V_{cout(n)})은 다이오드(TD)를 통해 방전되지 않고 다른 스테이지(ST_(n+4))의 트랜지스터(T1)에 인가된다.
- [0056] 도 8에 도시된 바와 같이 제1 출력 전압(V_{cout(n)}) 이외에 원치 않는 리플 전압의 경우에, 클럭 배선의 전압의 VGL일 때 리플 전압이 클럭 배선의 전압 보다 다이오드(TD)의 문턱 전압 이상으로 높기 때문에 다이오드(TD)의 V_{ds} > V_{th}가 되어 다이오드(TD)가 턴온된다. 그 결과, 리플 전압은 클럭 배선을 통해 방전된다. 제1 출력 전압(V_{cout(n)})은 다른 스테이지(ST_(n+4))에 형성된 트랜지스터(T1)의 게이트에 인가되어 그 스테이지(ST_(n+4))의 Q 노드 전압을 VGH 전압까지 프리 차징한다. 제1 출력 전압(V_{cout(n)})에서 리플 전압이 없으면 그 출력 전압(V_{cout(n)})이 캐리 신호로서 공급되는 스테이지(ST_(n+4))의 Q 노드 전압의 리플을 방지할 수 있기 때문에 다음 스테이지(ST_(n+4))의 출력 전압(V_{cout(n+4)}), V_{gout(n+4)}의 리플을 방지할 수 있다.
- [0057] 도 9는 도 7에 도시된 다이오드(TD)의 유무에 따른 리플 전압을 보여 주는 시뮬레이션 결과 도면이다. 도 9에서, x 축은 시간이고 y축은 전압이다. VQ는 Q 노드의 전압이고, V_{cout}은 제1 출력 전압이다. 다이오드(TD)가 없으면 Q 노드의 전압(VQ)과 제1 출력 전압(V_{cout})에서 리플을 포함한 멀티 출력 현상이 있었지만, 다이오드(TD)를 클럭 배선과 제1 출력 단자에 연결한 결과, 제1 출력 전압(V_{cout(n)})에서 리플 전압이 제거되어 Q 노드의 전압(VQ)에서도 리플 전압이 제거된 것이 확인되었다.
- [0058] 도 10은 본 발명의 제2 실시예에 따른 GIP 회로를 보여 주는 회로도이다.
- [0059] 도 10을 참조하면, 제_n 스테이지(ST_(n))는 제1 출력 단자를 통해 캐리 신호(V_{cout(n)})를 출력하고, 제2 출력 단자를 통해 게이트 펄스(V_{gout(n)})를 출력한다. 제1 출력 단자는 다른 스테이지에 연결된다. 제2 출력 단자는 픽셀 어레이의 게이트 라인(14)에 연결된다. 캐리 신호(V_{cout(n)})는 제_{n+4} 스테이지로 전달되고, 게이트 펄스는 게이트 라인(14)에 인가된다.
- [0060] 이 GIP 회로는 다이오드(TD1, TD2)가 제1 및 제2 출력 단자 각각에 연결된 것을 제외하면 전술한 도 7의 실시예와 동일하다. 따라서, 다이오드(TD)를 제외한 다른 트랜지스터들에 대하여는 상세한 설명을 생략하기로 한다.
- [0061] 제1 다이오드(TD1)는 클럭 배선과 제1 출력 단자 사이에 연결되어 제1 출력 전압(V_{cout(n)})에서 원치 않는 리플 전압이 발생할 때 턴-온되어 그 리플 전압을 클럭 배선을 통해 방전시킨다. 제1 다이오드(TD1)는 클럭 배선에 연결된 제1 전극과, 제1 출력 단자에 연결된 게이트 및 제2 전극을 포함한다.
- [0062] 제2 다이오드(TD2)는 클럭 배선과 제2 출력 단자 사이에 연결되어 제2 출력 전압(V_{gout(n)})에서 원치 않는 리플 전압이 발생할 때 턴-온되어 그 리플 전압을 클럭 배선을 통해 방전시킨다. 제2 다이오드(TD2)는 클럭 배선에 연결된 제1 전극과, 제2 출력 단자에 연결된 게이트 및 제2 전극을 포함한다.
- [0063] 도 11은 본 발명의 제3 실시예에 따른 GIP 회로를 보여 주는 회로도이다. 도 11은 GIP 회로(18A, 18B)에서 이웃한 두 개의 스테이지들을 보여 준다.
- [0064] 도 11을 참조하면, GIP 회로(18A, 18B)는 QB 노드를 QB₀와 QB_E로 분리하고 QB 노드들(QB₀, QB_E)을 소정 시간 교대로 충전하여 풀다운 트랜지스터들(T7₀, T7_E)의 직류 게이트 바이어스 스트레스를 줄일 수 있다. 이 GIP 회로(18A, 18B)의 스테이지들 각각은 풀업 트랜지스터(T6)를 통해 출력 전압(V_{gout(n)}, V_{gout(n+1)})을 높이고 풀다운 트랜지스터들(T7₀, T7_E)을 통해 출력 전압(V_{gout(n)}, V_{gout(n+1)})을 낮춘다. 제_n 스테이지로부터 출력된 제_n 출력 전압(V_{gout(n)})은 게이트 펄스로서 제_n 게이트 라인(14)에 인가되고 또한, 캐리 신호로서 제_{n+2} 스테이지의 VST 단자에 인가된다. 제_{n+1} 스테이지로부터 출력된 제_{n+1} 출력 전압(V_{gout(n+1)})은 게이트 펄스로서 제_{n+1} 게이트 라인(14)에 인가되고 또한, 캐리 신호로서 제_{n+3} 스테이지의 VST 단자와 제_{n-1} 스테이지의 VNXT 단자에 인가된다.
- [0065] 고해상도 표시장치에서 GIP 회로 면적을 줄이기 위하여, GIP 회로(18A, 18B)는 이웃한 제_n 및 제_{n+1} 스테이지들에서 QB 노드들(QB₀, QB_E)과, VNEXT 단자가 공유되는 구조를 갖는다. 제_n 및 제_{n+1} 스테이지의 QB₀ 노드가 서로 연결되고, 제_n 및 제_{n+1} 스테이지의 QB_E 노드가 서로 연결된다. 다음 스테이지로부터의 캐리 신호(V_{gout(n+3)})가 인가되는 VNEXT 단자는 제_n 및 제_{n+1} 스테이지에 공통으로 연결된다.

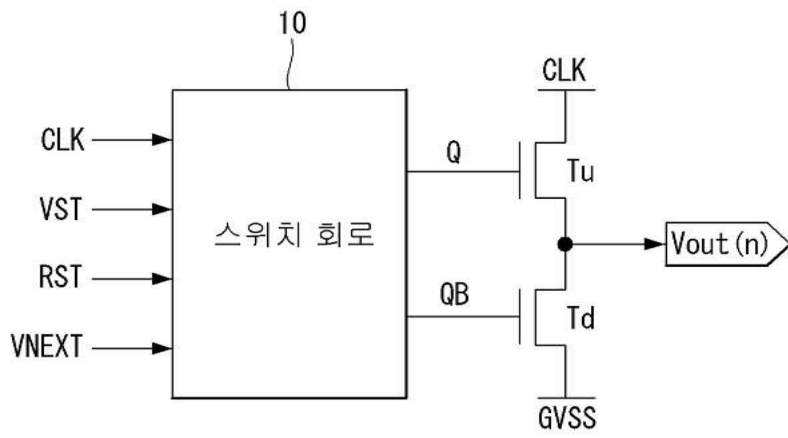
- [0066] GIP 회로(18A, 18B)의 스테이지들 각각은 Q 노드(Q1, Q2)에 연결된 풀업 트랜지스터(T6), QB 노드(QB_0, QB_E)에 연결된 풀다운 트랜지스터(T7_0, T7_E), Q 노드들(Q1, Q2)과 QB 노드들(QB_0, QB_E)을 충전하는 스위치 회로(T1, T3_0, T3_E, T41, T42, T5IS, T5IQ, T5Q, T5) 등을 구비한다. 이전 스테이지로부터의 캐리 신호(Vgout(n-2), Vgout(n-1))이 VST 단자에 입력되면, 트랜지스터(T1)가 턴-온되어 Q 노드(Q1, Q2)에 VDD 단자로부터의 게이트 온 전압(VGH)이 인가되어 그 Q 노드들(Q1, Q2)이 프리 차징된다. 트랜지스터들(T3N)은 VNEXT 단자를 통해 수신된 다음 스테이지의 캐리 신호(Vgout(n+3))에 응답하여 Q 노드들(Q1, Q2)을 방전시킨다. 트랜지스터들(T41, T42, T5IS, T5IQ, T5Q)은 Q 노드 전압에 따라 QB 노드(QB_0, QB_E)를 교류 전압(VDD_0, VDD_E)으로 충전하고, QB 노드(QB_0, QB_E)를 VSS 단자에 연결하여 방전하는 인버터를 구성한다. 제n 스테이지에 배치된 트랜지스터(T41, T42, T5IS, T5IQ, T5Q)는 Q 노드(Q1, Q2)가 방전될 때 VDD_0를 QB_0 노드에 공급하여 제n 및 제n+1 스테이지의 QB_0 노드를 충전한다. 제n+1 스테이지에 배치된 트랜지스터(T41, T42, T5IS, T5IQ, T5Q)는 Q 노드(Q1, Q2)가 방전될 때 VDD_E를 QB_E 노드에 공급하여 제n 및 제n+1 스테이지의 QB_E 노드를 충전한다.
- [0067] 제n 및 제n+1 스테이지들 각각은 클럭 배선과 출력 단자 사이에 연결된 다이오드(TD_0, TD_E)를 더 구비한다. 이 다이오드들(TD_0, TD_E) 각각은 출력 단자의 리플 전압을 클럭 배선을 통해 방전시켜 출력 전압(Vgout(n), Vgout(n+1))의 리플 전압을 방지하고 다음 스테이지의 Q 노드 전압 리플을 방지한다.
- [0068] 도 11에 도시된 GIP 회로는 캐리 신호가 분리되어 있지 않지만 이에 한정되지 않는다. 예컨대, 도 11에 도시된 GIP 회로에 도 7 및 도 10에 적용된 GIP 회로에서 캐리 신호(Vcout)가 분리 출력되는 회로를 추가할 수 있다. 도 11에서 Q 노드에 캐리 신호(Vcout)의 전압을 높이는 풀업 트랜지스터가 추가되고, QB 노드에 캐리 신호(Vcout)의 전압을 낮추는 풀다운 트랜지스터가 더 추가된다. 또한, 도 11에 도시된 GIP 회로에서 도 7과 같은 방법으로 VSS 단자를 분리하여 VSS 단자의 2 개의 전압으로 설정할 수 있다.
- [0069] 도 12는 다이오드(TD_0, TD_E)의 적용 유무에 따른 신뢰성 평가 결과를 나타낸다. 도 11에 도시된 GIP 회로의 트랜지스터들을 Oxide TFT로 구현한 회로에 대하여 신뢰성 평가가 이루어졌다. 다이오드(TD_0, TD_E)가 적용된 경우에, 그렇지 않은 경우 보다 에이징 시간이 동일할 때 VDD 전압을 더 낮추더라도 안정된 출력 특성을 얻을 수 있었다.
- [0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

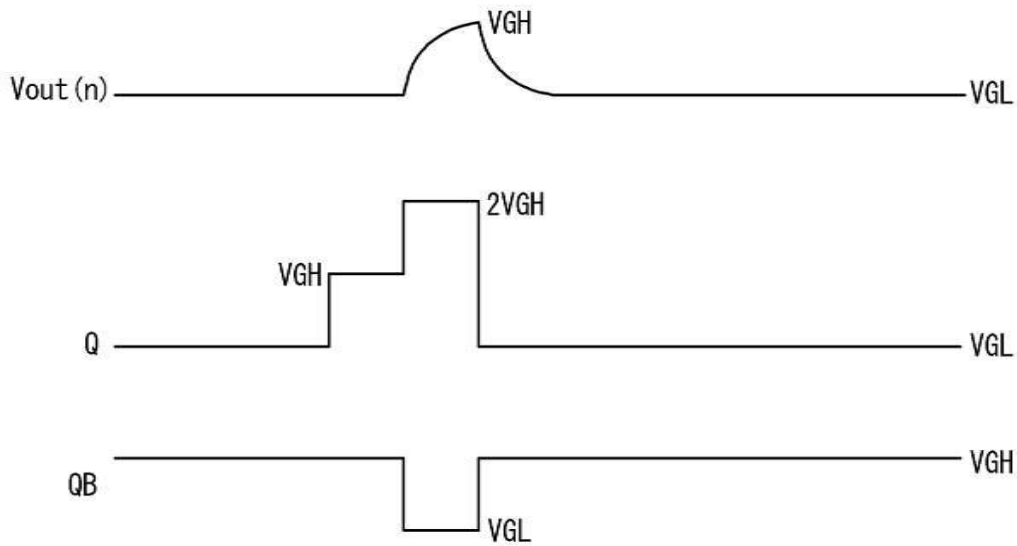
- [0071] 16 : 데이터 구동부 18A, 18B : GIP 회로(게이트 구동부)
- 20 : 타이밍 컨트롤러 22 : 레벨 시프터(게이트 구동부)
- 100 : 표시패널 TD, TD1, TD2, TD_0, TD_E : 다이오드

도면

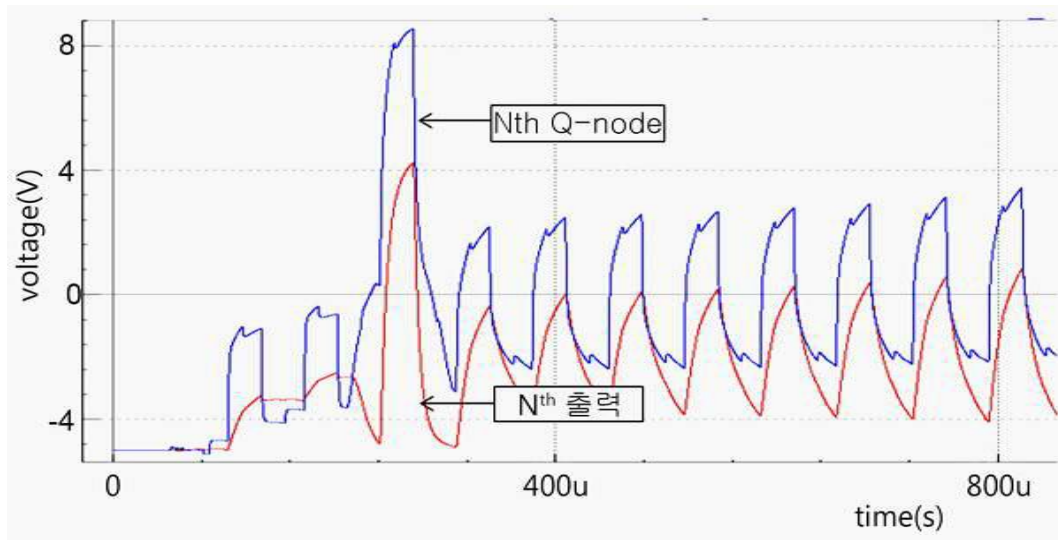
도면1



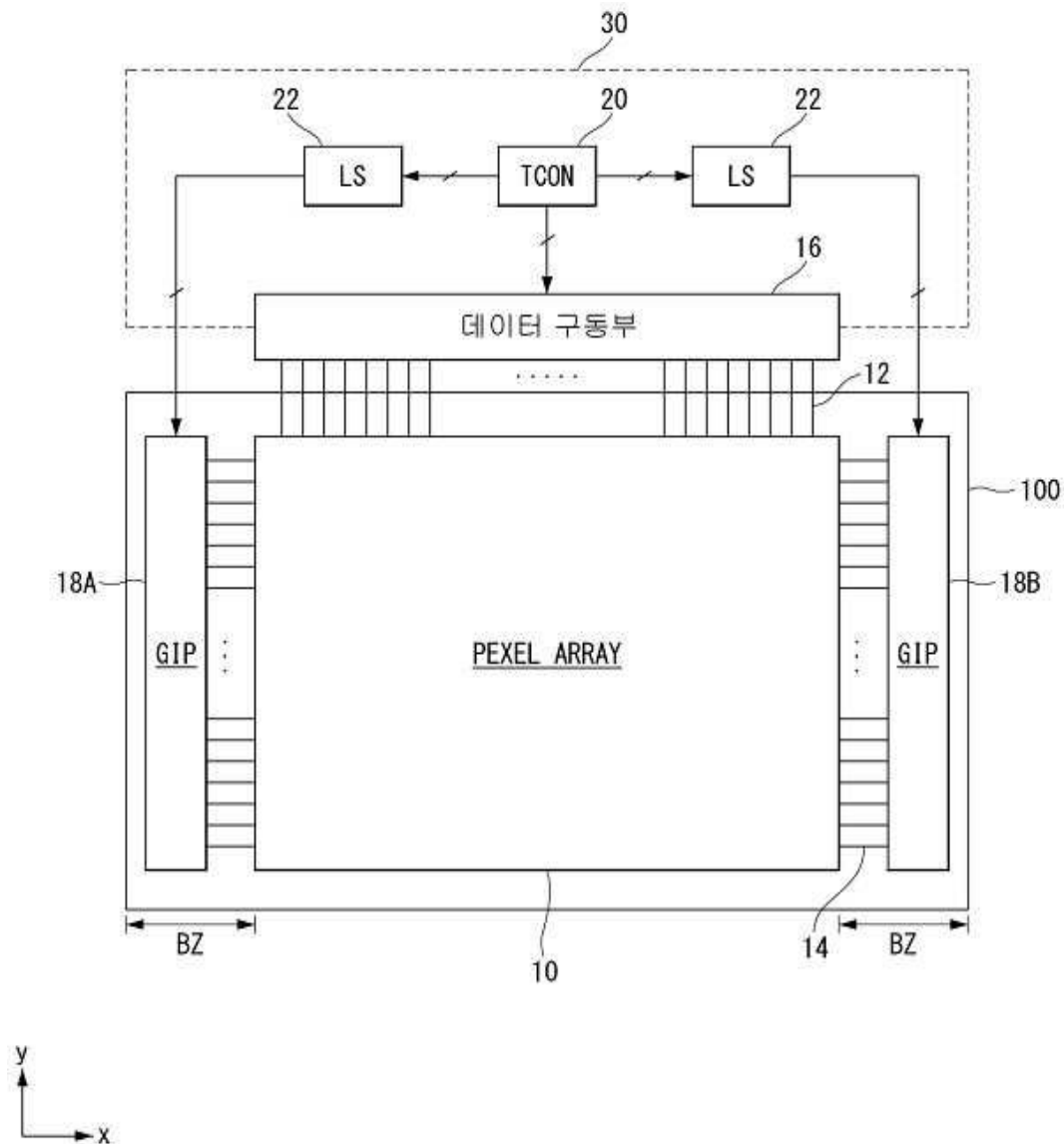
도면2



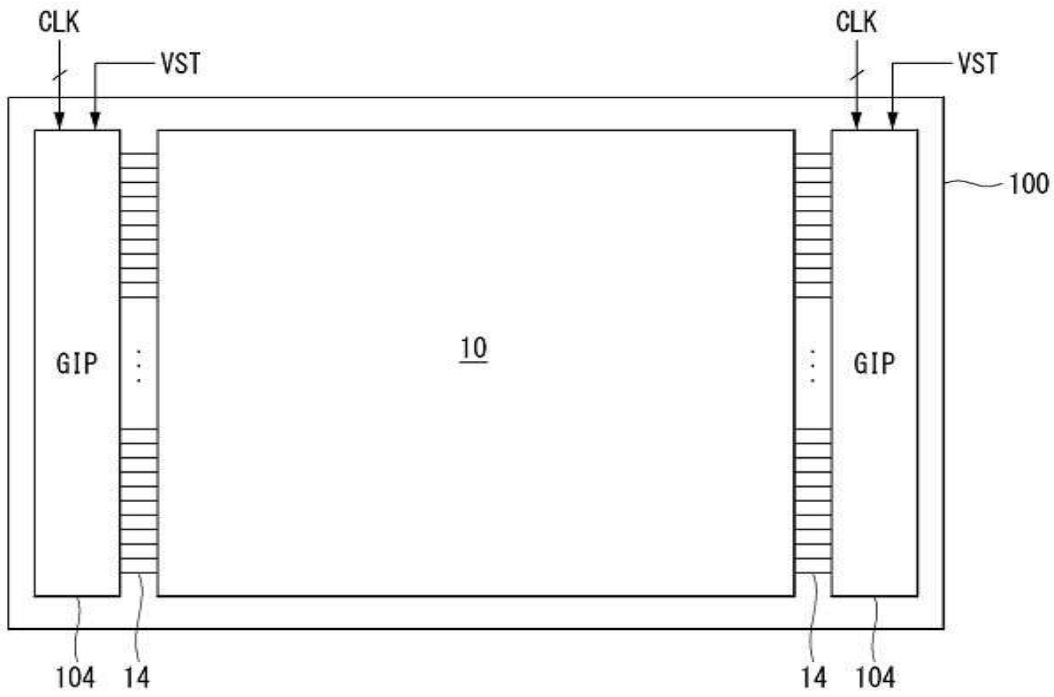
도면3



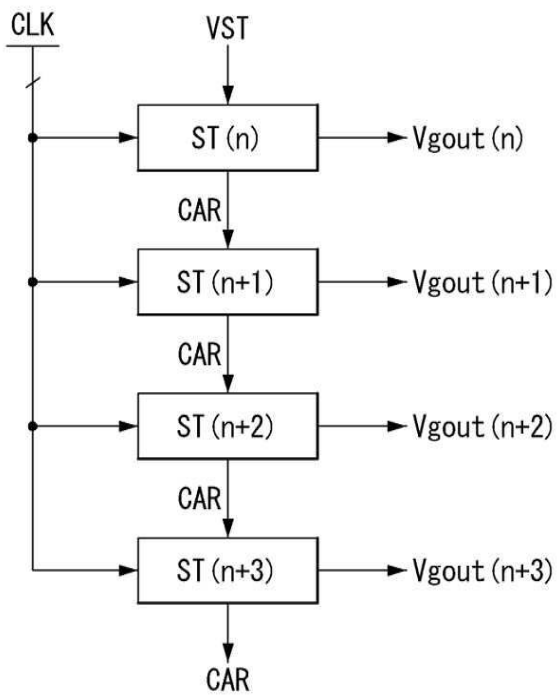
도면4



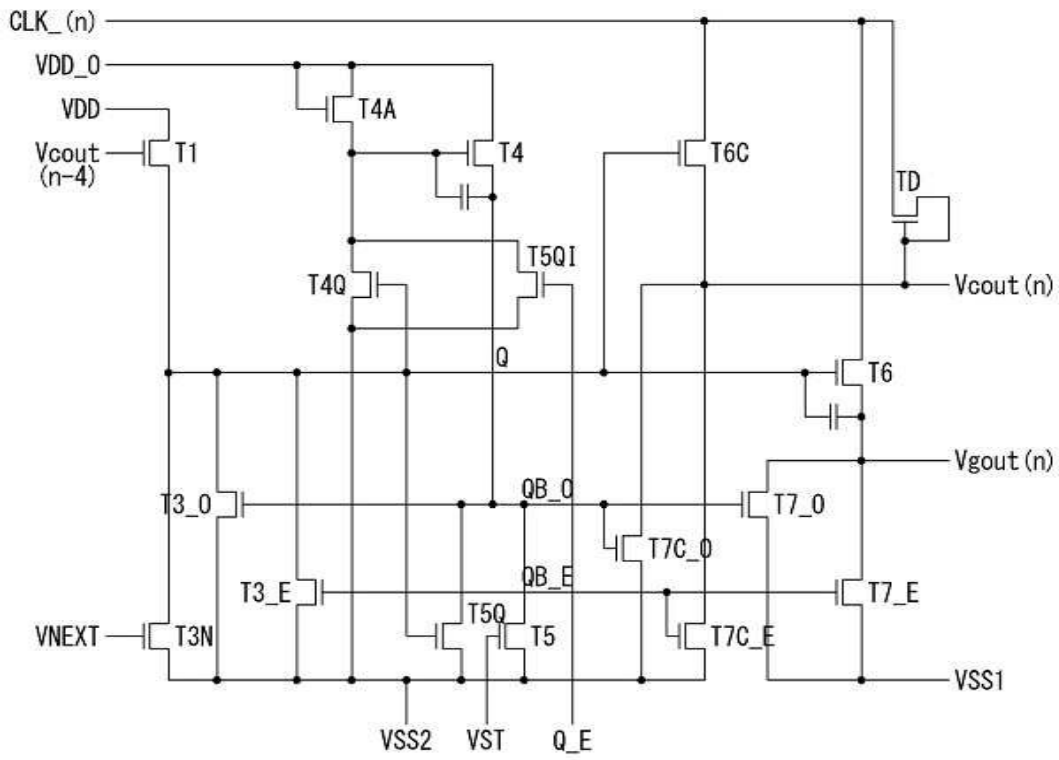
도면5



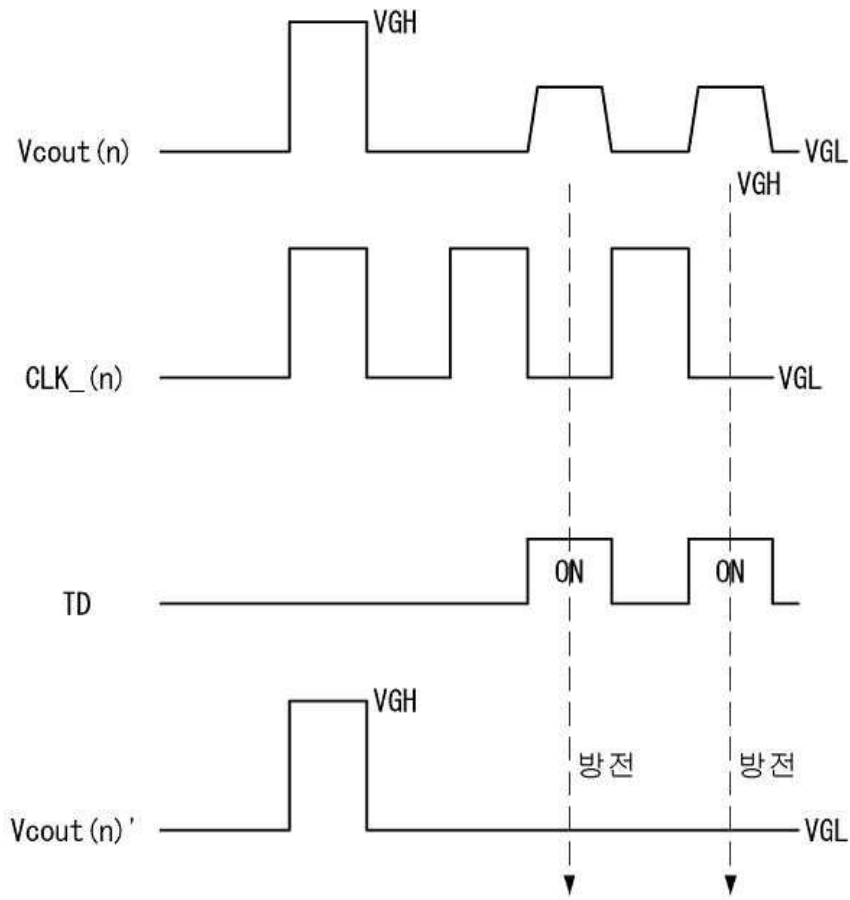
도면6



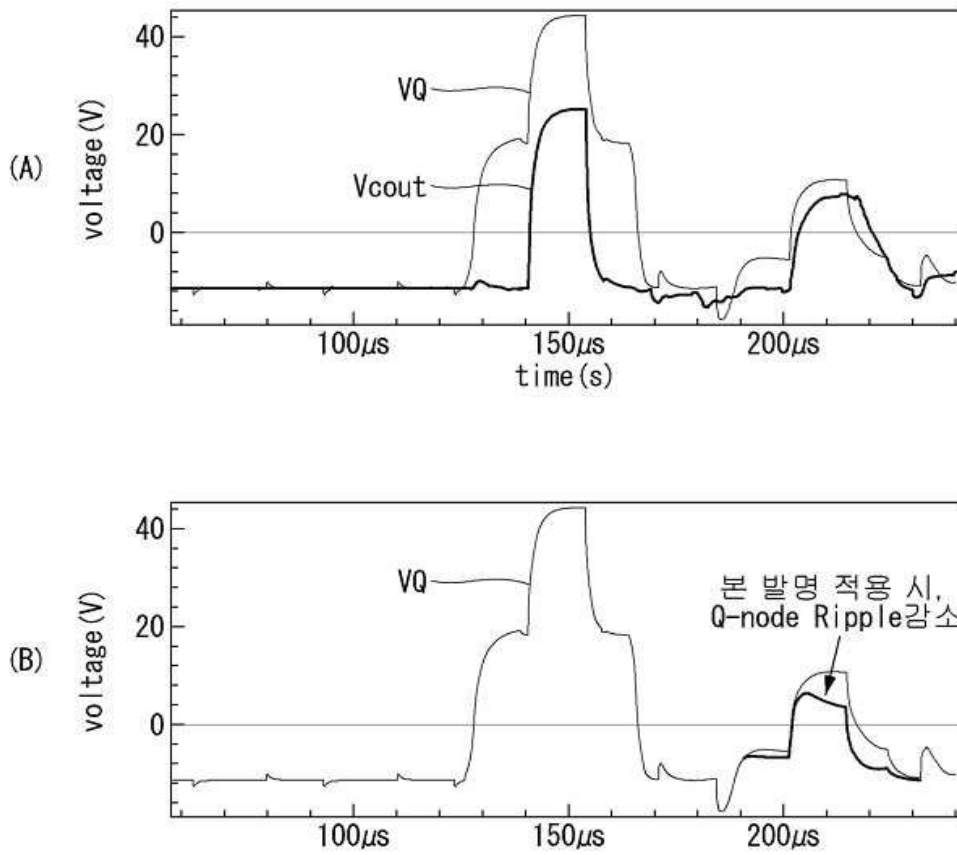
도면7



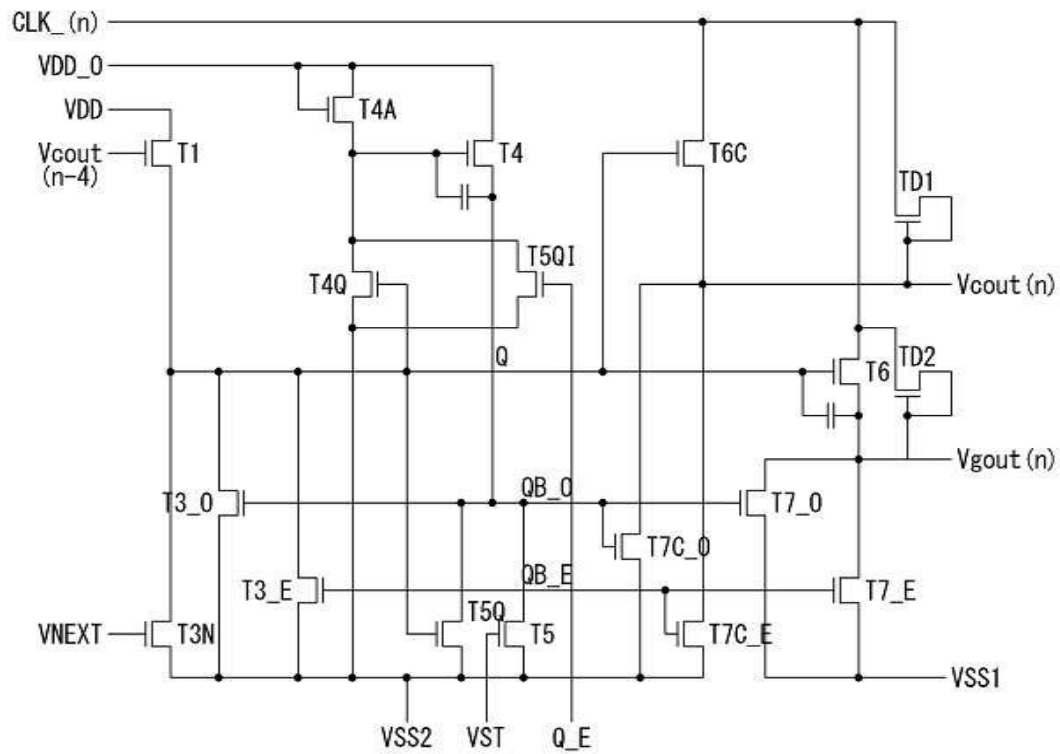
도면8



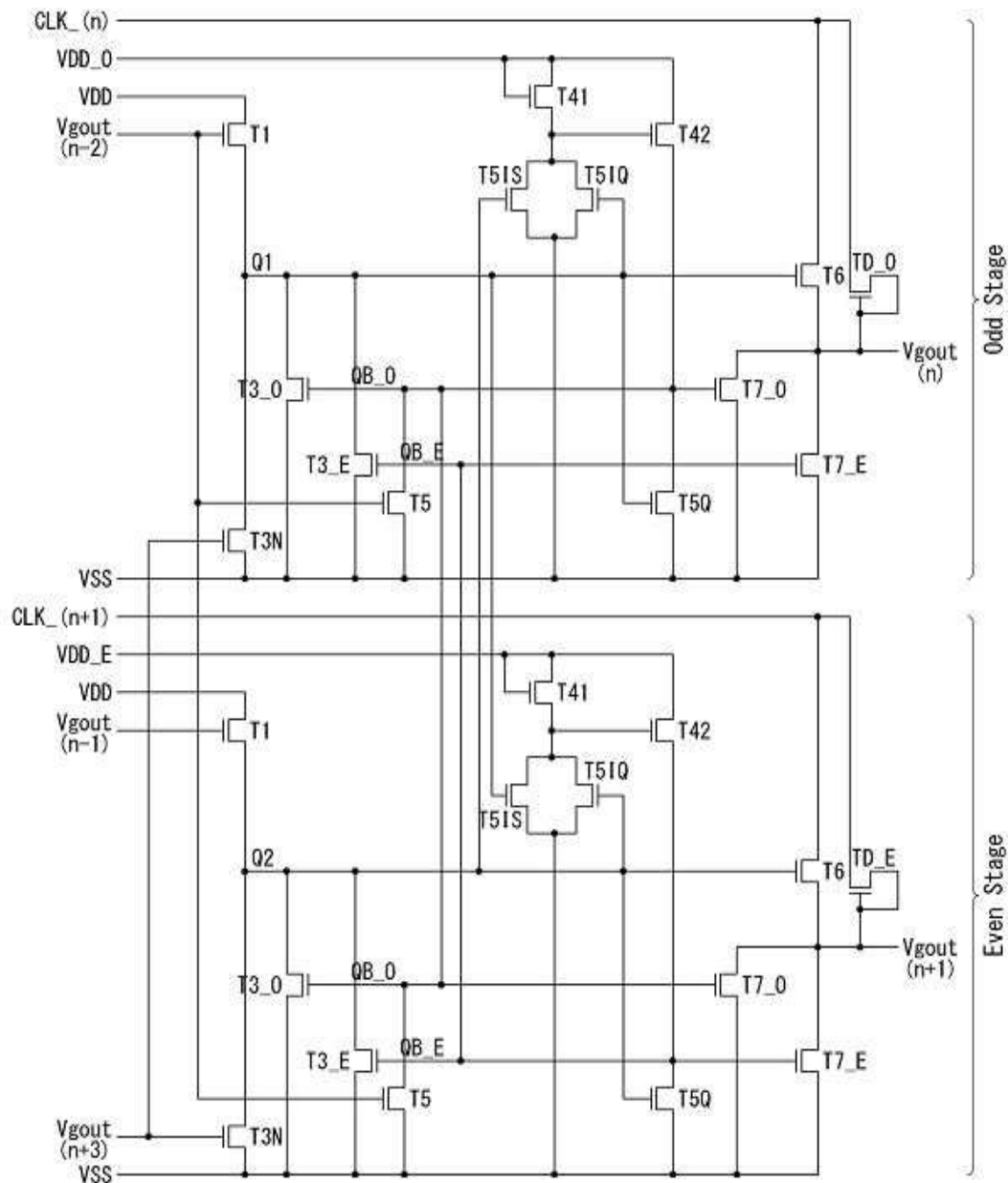
도면9



도면10



도면11



도면12

