



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I593118 B

(45) 公告日：中華民國 106 (2017) 年 07 月 21 日

(21) 申請案號：102115340

(22) 申請日：中華民國 102 (2013) 年 04 月 30 日

(51) Int. Cl. : **H01L29/786 (2006.01)****H01L21/28 (2006.01)**

(30) 優先權：2012/05/09 美國

61/644,855

2012/09/10 美國

61/699,146

(71) 申請人：愛美科公司 (比利時) IMEC (BE)

比利時

荷蘭應用自然科學研究組織 (荷蘭) NEDERLANDSE ORGANISATIE VOOR

TOEGEPAST-NATUURWETENSCHAPPELIJK ONDERZOEK TNO (NL)

荷蘭

(72) 發明人：牧樂 羅伯特 MUELLER, ROBERT (DE)

(74) 代理人：陳長文

(56) 參考文獻：

CN 101609843A

CN 102315277A

審查人員：趙芝婷

申請專利範圍項數：23 項 圖式數：12 共 28 頁

(54) 名稱

增加金屬氧化物半導體層之導電性的方法

METHOD FOR INCREASING THE ELECTRICAL CONDUCTIVITY OF METAL OXIDE  
SEMICONDUCTOR LAYERS

(57) 摘要

本發明提供一種在預定位置處增加金屬氧化物半導體層之導電性的方法，其中該方法包含：在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑且誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應，從而影響在該等預定位置處該金屬氧化物半導體層之化學組成；及該方法之用途。

A method for increasing the electrical conductivity of a metal oxide semiconductor layer at predetermined locations, wherein the method comprises: providing a reducing agent in physical contact with the metal oxide semiconductor layer at the predetermined locations and inducing a chemical reduction reaction between the reducing agent and the metal oxide semiconductor layer, thereby affecting the chemical composition of the metal oxide semiconductor layer at the predetermined locations; and uses of the method.

指定代表圖：

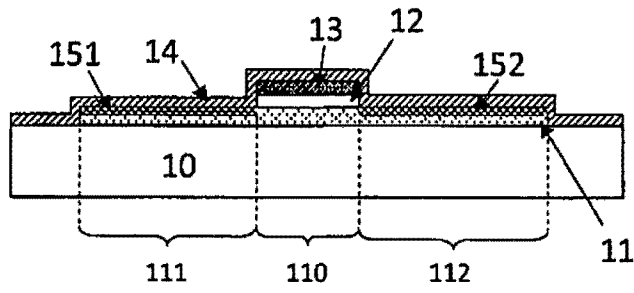


圖6

符號簡單說明：

- 10 . . . 基板
- 11 . . . 金屬氧化物  
半導體層/作用層
- 12 . . . 閘極絕緣體
- 13 . . . 閘電極
- 14 . . . 還原層
- 110 . . . 通道區
- 111 . . . 源極區
- 112 . . . 汲極區
- 151 . . . 區域
- 152 . . . 區域

## 發明摘要

公告本

※ 申請案號：102115340

※ 申請日：102.4.30

※IPC 分類：

H01L28/1786 (2006.01)

## 【發明名稱】(中文/英文)

H01L 21/28 (2006.01)

增加金屬氧化物半導體層之導電性的方法

Method for increasing the electrical conductivity of metal oxide semiconductor layers

## 【中文】

本發明提供一種在預定位置處增加金屬氧化物半導體層之導電性的方法，其中該方法包含：在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑且誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應，從而影響在該等預定位置處該金屬氧化物半導體層之化學組成；及該方法之用途。

## 【英文】

A method for increasing the electrical conductivity of a metal oxide semiconductor layer at predetermined locations, wherein the method comprises: providing a reducing agent in physical contact with the metal oxide semiconductor layer at the predetermined locations and inducing a chemical reduction reaction between the reducing agent and the metal oxide semiconductor layer, thereby affecting the chemical composition of the metal oxide semiconductor layer at the predetermined locations; and uses of the method.

**【代表圖】**

**【本案指定代表圖】**：第（ 6 ）圖。

**【本代表圖之符號簡單說明】**：

10：基板

11：金屬氧化物半導體層/作用層

12：閘極絕緣體

13：閘電極

14：還原層

110：通道區

111：源極區

112：汲極區

151：區域

152：區域

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

增加金屬氧化物半導體層之導電性的方法

Method for increasing the electrical conductivity of metal oxide semiconductor layers

## 【技術領域】

【0001】 所揭示之技術係關於局部增加金屬氧化物半導體層之導電性的方法，基於金屬氧化物半導體之薄膜電晶體及製造基於金屬氧化物半導體之薄膜電晶體的方法。

## 【先前技術】

【0002】 當製造金屬氧化物半導體薄膜電晶體(諸如鎵-銦-鋅-氧化物(縮寫字：GIZO 或 IGZO) 薄膜電晶體) 時，需要較特定言之在對應於源極及汲極接觸區之位置處局部增加半導體材料之導電性，以便改良電荷注入且降低接觸電阻。

【0003】 (局部) 增加 GIZO 之導電性的若干方法為此項技術中已知的，諸如藉由離子植入或雜質擴散來摻雜或執行氬電漿處理或 NH<sub>3</sub> 電漿處理。

【0004】 在 US 2012/0001167 中，描述製造金屬氧化物半導體薄膜電晶體之方法，其中使用替代方法來局部增加金屬氧化物半導體層之導電性。在沈積金屬氧化物半導體層、閘極絕緣體及閘電極之後，提供一種由諸如 Ti、Al 或 In 之金屬製成之金屬薄膜，該金屬薄膜之厚度為 10 nm 或小於 10 nm。接著例如在 300°C 之溫度下在含氧氛圍中執行熱處理。由於此熱處理，故金屬薄膜得以氧化。在金屬薄膜之氧化反應中，包括於金屬氧化物半導體層之源極區及汲極區中之氧氣的一部分轉移至金屬薄膜。因此，

源極區及汲極區中之氧氣濃度降低，使得在金屬氧化物半導體層之上部形成低電阻區。金屬薄膜之厚度較佳為 10 nm 或小於 10 nm，使得金屬薄膜在於含氧氛圍中熱處理期間可完全氧化。此消除了對於執行蝕刻步驟以移除未氧化金屬之需要。US 2012/0001167 中所述之方法需要至少 200°C 之溫度，例如約 300°C。因此，此方法與一些低成本可撓性基板（諸如 PET（聚對苯二甲酸伸乙酯）、PEN（聚萘二甲酸伸乙酯）及 PC（聚碳酸酯））不相容，且可能需要具有增加之熱穩定性及/或化學穩定性的價值較高之塑膠箔片，諸如 PI（聚醯亞胺）、PES（聚醚砜）或 PEEK（聚醚醚酮）。該方法亦需要良好地控制金屬層之厚度，以便避免對執行蝕刻步驟以移除未氧化金屬之需要。

#### 【發明內容】

【0005】 某些本發明態樣係關於一種局部增加金屬氧化物半導體層之導電性的方法，其中該方法可在不超過 200°C 或不超過約 200°C 或小於 200°C 之溫度下執行，且其中與先前技術方法相比該方法複雜性降低。

【0006】 根據本發明之第一態樣，揭示一種在預定位置處增加金屬氧化物半導體層之導電性的方法，其中該方法包含：在預定位置處提供與金屬氧化物半導體層物理接觸之還原劑且誘導還原劑與金屬氧化物半導體層之間的化學還原反應，從而影響在預定位置處金屬氧化物半導體層之化學組成。

【0007】 本發明第一子態樣係關於一種在預定位置處增加金屬氧化物半導體層之導電性的方法，其中該方法包含：在預定位置處提供與金屬氧化物半導體層物理接觸之包含鹼金屬（例如 Li、Na、K、Rb、Cs 或 Fr 中之任一者或任何組合）或鹼土金屬（例如 Be、Mg、Ca、Sr、Ba 或 Ra 中之任一者或任何組合）之還原層；誘導還原層與金屬氧化物半導體層之間的化學還原反應，從而影響在預定位置處金屬氧化物半導體層之化學組成，

例如降低在預定位置處金屬氧化物半導體層之氧含量；且執行漂洗步驟以便移除還原層或過量之還原層及還原反應之反應產物或副產物。

【0008】 漂洗步驟為藉由在液體（例如水）中輕輕地洗滌來移除之步驟。

【0009】 在一個態樣中，誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含在約 20°C 與 200°C 之間範圍內的溫度下執行退火步驟。退火步驟可在惰性氛圍下或在真空中（例如在約  $10^6$  托與  $10^8$  托之間範圍內、亦即在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間範圍內之壓力下）執行。

【0010】 在另一態樣中，誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含在提供還原層之後等待預定時段，例如約 1 分鐘與 5 小時之間範圍內之時段，例如在約 15 分鐘與 2 小時之間。等待步驟可例如包含使樣品保持於已提供還原層之腔室中。等待步驟可在真空下、在約  $10^6$  托與  $10^8$  托之間範圍內（亦即在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間範圍內）之壓力下執行。等待步驟可例如在約 -50°C 與 +50°C 之間範圍內之溫度下進行。

【0011】 誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含根據本發明之一態樣執行等待步驟，隨後根據本發明之一態樣執行退火步驟。

【0012】 在一個態樣中，增加金屬氧化物半導體層之導電性可包含增加金屬氧化物半導體層之表面部分（例如厚度為約 10 nm 至數十 nm（諸如厚度為約 10 nm 至 40 nm，例如厚度在 10 nm 與 40 nm 之間）之表面部分）的導電性。在另一態樣中，增加金屬氧化物半導體層之導電性可包含增加貫穿金屬氧化物半導體層之整個厚度的導電性。

【0013】 在一個態樣中，該方法可有利地用於具有金屬氧化物半導體作用層之薄膜電晶體之製造方法中，用於局部增加對應於源極區及汲極區之預定位置處的導電性，從而改良源極接點及汲極接點之電荷注入。在一

個態樣中，該方法可用於自對準頂部閘極薄膜電晶體之製造方法中。

【0014】 在一個態樣中，該方法亦可用於基於其他金屬氧化物半導體之器件（例如二極體或電晶體-二極體）的製造方法中，用於改良接點之電荷注入。

【0015】 金屬氧化物半導體層可例如包含鎵-銦-鋅-氧化物（GIZO）或例如具有以下組成（未指示化學計算量）之基於其他金屬氧化物之半導體： $\text{ZnO}$ 、 $\text{ZnSnO}$ 、 $\text{InO}$ 、 $\text{InZnO}$ 、 $\text{InZnSnO}$ 、 $\text{LaInZnO}$ 、 $\text{GaInO}$ 、 $\text{HfInZnO}$ 、 $\text{MgZnO}$ 、 $\text{LaInZnO}$ 、 $\text{TiO}$ 、 $\text{TiInSnO}$ 、 $\text{ScInZnO}$ 、 $\text{SiInZnO}$  及  $\text{ZrInZnO}$ 、 $\text{ZrZnSnO}$ 。然而，本發明不限於此，且在一個態樣中，該方法可與熟習此項技術者已知之其他適合之金屬氧化物半導體一起使用。具有在 5 nm 與 50 nm 之間之典型厚度的此等半導體層可藉由多種方法來提供，諸如濺鍍、熱蒸發、脈衝雷射沈積及前驅物溶液之旋轉澆鑄、噴墨印刷或滴鑄(drop casting)。

【0016】 包含鹼金屬或鹼土金屬之還原層可為連續層。在一個態樣中，還原層可為非連續層，例如其可為由複數個（奈米）島狀物形成之層。

【0017】 包含鹼金屬或鹼土金屬之還原層可例如由鹼金屬或鹼土金屬組成。或者，還原層可包含含有鹼金屬或鹼土金屬之合金。

【0018】 在一個態樣中，化學還原反應可藉由使金屬氧化物半導體層在預定位置處與溶解於液體中之化學還原劑（諸如硫代硫酸鈉（ $\text{Na}_2\text{S}_2\text{O}_3$ ）或肼之水溶液、或萘鈉(sodium naphthalenide)或芴鈉(sodium acenaphthenide)於有機溶劑（諸如醚溶劑）中之溶液）或呈氣相之化學還原劑（例如肼）物理接觸來誘導。

【0019】 包含鹼金屬或鹼土金屬之層的厚度可例如在約 1 nm 與 100 nm 之間的範圍內，諸如在約 5 nm 與 50 nm 之間或約 5 nm 與 25 nm 之間。

【0020】 退火步驟可在約 20°C 與 200°C 之間範圍內之溫度下執行，且例如退火時間在約 1 分鐘與 1 小時之間範圍內。在一個態樣中，為避免鹼

金屬或鹼土金屬由該氛圍下不希望的反應消耗，在惰性氛圍下執行退火步驟，使得防止例如因來自殘餘水或濕氣之氧而氧化。退火可例如在氫氣或氮氣（或氬氣、氖氣、氦氣、氙氣）填充之具有濕氣及氧氣吸收劑之手套工作箱中執行。其他氣體（諸如氬氣）亦可用於形成惰性氛圍。在使用包含化學反應性較小之金屬（諸如鈣）之還原層的具體實例中，亦可使用氮氣作為惰性氛圍。在另一態樣中，為避免鹼金屬或鹼土金屬由該氛圍（例如氧氣、濕氣、水）下之不希望的反應消耗，可使樣品保持在真空中（等待步驟）在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間範圍內之壓力下且在約  $-50^\circ\text{C}$  與  $+50^\circ\text{C}$  之間範圍內之溫度下持續預定時段（例如約 1 分鐘與 5 小時之間，例如約 15 分鐘與 2 小時之間）。

● **【0021】** 在一個態樣中，漂洗製程可使用漂洗工具（例如漂洗工具為水）進行。然而，本發明不限於此且漂洗製程可使用其他液體（諸如醇）進行。

● **【0022】** 一個本發明態樣之優勢在於在低於約  $200^\circ\text{C}$  之溫度下（例如在約  $150^\circ\text{C}$  或小於  $150^\circ\text{C}$  下）金屬氧化物半導體層之導電性可顯著提高例如至少約三個數量級。因此，在一個態樣中，該方法與使用低成本可撓性基板（諸如 PET、PEN 或 PC）相容。

● **【0023】** 一個本發明態樣之優勢在於未反應之金屬可藉由執行漂洗步驟（例如用水）容易地移除。一個本發明態樣之優勢在於可避免對在包含氧氣或臭氧之氛圍中執行氧化步驟或蝕刻步驟以移除未反應之金屬的需要。

● **【0024】** 一個本發明態樣之優勢在於反應產物（例如已反應之金屬）亦可藉由執行漂洗步驟來移除。在一些具體實例中，反應產物（例如已反應之金屬）可藉由用水執行漂洗步驟容易地移除。舉例而言，當使用包含 Ca 之還原層時，還原層與金屬氧化物層之間的化學還原反應使得形成氧化

鈣，其在水中具有良好溶解性。在其他具體實例中，諸如當使用包含 Mg 之還原層時，反應產物（例如氧化鎂）可藉由用酸執行漂洗步驟移除。

【0025】 一優勢在於用於一個態樣之方法中的金屬在還原層之金屬與金屬氧化物半導體之間的界面處不形成緻密氧化物層，其可阻斷或阻止與下層金屬氧化物半導體層進一步反應。因此，不需要對包含金屬之層進行良好地厚度控制。

【0026】 一個本發明態樣之優勢在於還原層與金屬氧化物半導體層之間的化學還原反應可能不具自限制性（不形成可阻斷或阻止進一步反應之緻密氧化物層），因此與其他方法相比允許在較大部分中（進入深層，亦即在實質上正交於金屬氧化物半導體層之表面平面之方向上）增加金屬氧化物半導體層之導電性。此較大部分可包含進入深度大於 50%、或大於 60%、或大於 70%、或大於 80%、或大於 90%、或 100% 之部分。

【0027】 在本發明之第二子態樣中，可避免使用還原層。則該方法可如此進行：在預定位置處提供與金屬氧化物半導體層物理接觸之還原劑且誘導還原劑與金屬氧化物半導體層之間的化學還原反應包含在預定位置處使金屬氧化物半導體層與溶解於液體中之化學還原劑物理接觸。效果可與關於第一子態樣所述之效果類似。

【0028】 在第三子態樣中，亦不使用還原層，在預定位置處提供與金屬氧化物半導體層物理接觸之還原劑且誘導還原劑與金屬氧化物半導體層之間的化學還原反應包含在預定位置處使金屬氧化物半導體層與呈氣相之化學還原劑物理接觸。效果可與關於第一子態樣所述之效果類似。

【0029】 在一個本發明態樣中，化學還原反應可增加貫穿金屬氧化物半導體層之整個厚度的導電性，且另外其可增加金屬氧化物半導體層下層之（一部分）絕緣層（例如介電層，諸如氧化矽層或氧化鋁層）之導電性。在頂部閘極電晶體組態之情況下，氧化物半導體層下層之絕緣層（例如介

電層，例如氧化矽層或氧化鋁層）之該種還原反應可為有利的，因為其可產生源極接點及汲極接點之較高導電性且其可允許製備自對準之底部接點。

【0030】 在本發明之第二態樣中，揭示使用根據第一態樣之方法用於製造具有金屬氧化物半導體作用層之薄膜電晶體，用於在對應於源極區及汲極區之預定位置處局部增加導電性，從而改良源極接點及汲極接點之電荷注入，後者典型地提供於源極區及汲極區上。

【0031】 根據第一態樣之方法可用於製造自對準之頂部閘極薄膜電晶體。

【0032】 各種本發明態樣之某些目標及優勢在上文中已加以描述。當然，應瞭解未必所有此等目標或優勢均可根據本發明之任何特定具體實例實現。因此，舉例而言，熟習此項技術者應認識到，可以達成或最佳化如本文中教示之一個優勢或一組優勢之方式實施或進行本發明，而不必達成可如本文中教示或建議之其他目標或優勢。此外，應瞭解此概述僅為實例且不欲限制本發明之範疇。本發明（關於組織與操作方法）以及其特徵及優勢可參考以下實施方式結合閱讀隨附圖式最佳地理解。

### 【圖式簡單說明】

#### 【0033】

圖 1 展示在 150°C 下進行不同處理且持續不同退火時間之後所量測之 GIZO 層的電阻。

圖 2 展示在蒸發 Ca 層之前及之後所量測之 GIZO 層的電阻與退火溫度之函數關係。

圖 3 至圖 7 說明根據一個具體實例中之方法進行金屬氧化物半導體薄膜電晶體之製造方法的步驟。

圖 8 展示根據一個具體實例在鈣處理之後基板（GIZO 於 SiO<sub>2</sub> 上）之光

學顯微照片。經由陰影遮罩蒸發鈣。較暗區域對應於陰影遮罩之開口。

圖 9 展示對具有經 Ca 處理之 GIZO 源極/汲極接點之電晶體執行的電學量測結果。頂部圖：轉移特性；底部圖：輸出特性。

圖 10 展示在兩個金頂部接觸襯墊之間的經 Ca 處理之 GIZO (於 SiO<sub>2</sub> 介電質上) 電阻率與 GIZO 厚度及接觸襯墊之間間隙的函數關係。

圖 11 展示經 Ca 處理之 GIZO 基板 (60 nm GIZO 於 SiO<sub>2</sub> 介電質上) 中銻、鎵、鋅及鈣之元素深度分佈 (藉由飛行時間次級離子質譜分析)。

圖 12 展示由經微影圖案化之具有經 Ca 處理之 GIZO 源極/汲極接點之電晶體產生的五種轉移曲線。

任何參考符號均不應理解為限制本發明之範疇。

在不同圖式中，相同參考符號指代相同或類似元件。

### 【實施方式】

【0034】 在以下實施方式中，闡述許多特定細節以便提供對本發明及其可於特定具體實例中如何實施之全面理解。然而，應瞭解本發明可在無此等特定細節情況下實施。在其他情況下，未詳細描述熟知方法、程序及技術，以便不使本發明晦澀難懂。雖然將關於特定具體實例並參考某些圖式來描述本發明，但本發明並不限於此。本文中包括及描述之圖式為示意性的且並不限制本發明之範疇。亦應注意，在圖式中，一些元件之大小可能被誇示，且因此，為了說明性目的，未按比例繪製。

【0035】 此外，在本說明書中，術語第一、第二、第三及其類似術語用於區分類似元件且未必用於以時間、空間、等級或以任何其他方式描述一種順序。應瞭解，如此使用之術語在適當情況下可互換，且本文中描述之本發明具體實例能夠以除本文中所描述或說明之順序以外之順序操作。

【0036】 此外，在本說明書中，術語頂部、底部、上方、下方及其類似術語用於描述性目的且未必用於描述相對位置。應瞭解，如此使用之術

語在適當情況下可互換，且本文中描述之本發明具體實例能夠以除本文中所述或說明之位向以外之位向操作。

【0037】 應注意到，術語「包含 (comprising)」不應被解釋為限於其後列出之構件；其不排除其他元件或步驟。因此，其應解釋為指定所提及之所述特徵、整數、步驟或組件之存在，但不排除一或多個其他特徵、整數、步驟或組件或其群組之存在或添加。因此，表述「一器件包含構件 A 及 B」之範疇應不限於器件僅由組件 A 及 B 組成。

【0038】 根據一個具體實例用於在預定位置處增加金屬氧化物半導體層之導電性之方法包含：在預定位置處提供與金屬氧化物半導體層物理接觸之包含鹼金屬 (Li、Na、K、Rb、Cs 或 Fr) 或鹼土金屬 (Be、Mg、Ca、Sr、Ba 或 Ra) 之還原層；誘導還原層與金屬氧化物半導體層之間的化學還原反應，從而影響金屬氧化物半導體層之化學組成，例如在預定位置處，降低金屬氧化物半導體層之氧含量，或降低金屬氧化物半導體層之金屬離子的氧化態；且執行漂洗步驟以便移除還原層（從另一角度看為可能過量之還原層）及還原反應之反應產物（從另一角度看為反應副產物）。

【0039】 在一個態樣中，誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含在約 20°C 與 200°C 之間範圍內的溫度下執行退火步驟。退火步驟可在惰性氛圍下或在真空中（例如在約  $10^6$  托與  $10^8$  托之間範圍內、尤其在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間範圍內之壓力下）執行。退火步驟之持續時間可例如在 5 分鐘與 30 分鐘之間。

【0040】 在另一態樣中，誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含在提供還原層之後等待預定時段，例如約 1 分鐘與 5 小時之間範圍內之時段，例如在約 15 分鐘與 2 小時之間。等待步驟可例如包含使樣品保持於已提供還原層之腔室中。等待步驟可在真空下、在約  $10^6$  托與  $10^8$  托之間範圍內或在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間範圍內之壓力下

執行。等待步驟可例如在約-50°C與+50°C之間範圍內之溫度下進行。

【0041】 誘導還原層與金屬氧化物半導體層之間的化學還原反應可包含根據本發明之一態樣執行等待步驟，隨後根據本發明之一態樣執行退火步驟。

【0042】 在一個具體實例中，該方法可有利地用於具有金屬氧化物半導體作用層之薄膜電晶體之製造方法中，用於在例如對應於源極區及汲極區之預定位置處局部增加導電性，從而改良電荷注入。

【0043】 在一個具體實例中，進一步描述該方法用於金屬氧化物半導體層為鎵-銦-鋅-氧化物（GIZO 或 IGZO）層且還原層為 Ca 層之具體實例。然而，本發明不限於此且可使用其他金屬氧化物半導體層及/或還原層。

【0044】 執行實驗，其中在 2 cm×2 cm 正方形基板上在 100 nm 厚氧化矽層上由 1:1:1 比率之 Ga:In:Zn 靶材濺鍍標稱 15 nm 厚之 GIZO 層。發現所沈積之 GIZO 層之電阻（在基板之一個角與基板之對角之間量測）高於 200 兆歐，為所用萬用錶之標度上限。圖 1 展示在氮氣填充之手套工作箱內部在熱板上在 150°C 下進行不同連續處理且持續不同退火時間（0 min =無退火）之後所量測之 GIZO 層的電阻：在熱蒸發 20 nm 厚 Ca 層（蒸發速率：1 埃/秒）之後，隨後在水中進行短暫漂洗且在氮氣中乾燥；在水中再漂洗 5 分鐘且用氮氣乾燥之後；在空氣中再儲存 1 夜之後；在 70°C 水中再處理 2 小時且用氮氣乾燥之後；及在空氣中儲存多種時間（6 天、12 天及 19 天）之後。結果顯示在 Ca 沈積之後電阻即刻急劇降低。然而，延長之空氣儲存再次引起導電性之顯著損失。退火時間愈長，導電性損失愈小。

【0045】 圖 2 展示在 2 cm×2 cm 正方形基板上在 100 nm 厚氧化矽層上由 1:1:1 比率之 Ga:In:Zn 靶材濺鍍之標稱 15 nm 厚之 GIZO 層的電阻量測值。實線顯示未進行 Ca 蒸發之初始電阻。填充正方形顯示在蒸發（在 25°C）20 nm 厚 Ca 層（以 1 埃/秒之速率藉由熱蒸發獲得）且接著在氮氣填充之手

套工作箱內部在熱板上在不同溫度下退火 15 分鐘，隨後用水漂洗且在氮氣流下乾燥之後的電阻。在 25°C 之退火溫度下已觀測到電阻降低。在 100°C 下及在 150°C 下退火之後觀測到更低電阻。

【0046】 在一個具體實例中，在源極區及汲極區與閘極自對準（自對準之頂部閘極結構）之薄膜電晶體的製造方法之情形中進一步描述該方法。該種製造方法之優勢在於其允許降低閘極與源極/汲極區之間的寄生電容。然而，本發明不限於此且該方法可用於製造其他薄膜電晶體及/或其他基於金屬氧化物半導體之器件。

● 【0047】 圖 3 至圖 7 說明根據一個具體實例製造金屬氧化物半導體薄膜電晶體之方法的製程步驟。

【0048】 在圖 3 中所說明之第一步驟中，金屬氧化物半導體層（諸如 GIZO 層）例如藉由自前驅體溶液濺鍍、雷射剝蝕或旋塗提供於基板 10 上。GIZO 層之厚度可例如為大概約 10 nm 或約 15 nm 至 20 nm，例如在 10 nm 與 20 nm 之間，但亦可使用其他適合厚度。在圖 3 中所示之實施例中，GIZO 層在製造方法之此階段經圖案化以形成電晶體之作用層 11。然而，本發明不限於此。舉例而言，GIZO 層亦可在製造方法之後一階段中（諸如在形成源極及汲極接點之後）經圖案化。

● 【0049】 接著，在基板 10 及作用層 11 之上依次提供閘極絕緣層及閘電極層。閘電極層及閘極絕緣層隨後經圖案化以形成閘電極 13 及閘極絕緣體 12，從而界定在作用層 11 中閘極下面之通道區 110（圖 4）、源極區 111 及汲極區 112。

【0050】 接著，使用一個具體實例之方法處理金屬氧化物半導體層 11 之源極區 111 及汲極區 112。如圖 5 中所說明，在基板 10、源極區 111、汲極區 112 及閘電極 13 之上提供包含鹼金屬或鹼土金屬（諸如 Ca）之還原層 14。接著，在約 20°C 與 200°C 之間範圍內之溫度下執行退火步驟，在金

屬氧化物半導體層 11 中與還原層 14 直接物理接觸處(亦即在金屬氧化物半導體層 11 之源極區 111 及汲極區 112 中)引起局部化學還原。此還原使得在源極區 111 及汲極區 112 中金屬氧化物半導體層 11 (之表面部分)中形成具有增加之導電性的區域 151、152 (圖 6)。此等具有增加之導電性的區域自動地對準(自對準)閘極區。

【0051】 在下一步驟中，例如在水中漂洗掉還原層 14 (圖 7) (從另一角度看為未反應部分或過量之還原層材料)，且可執行其他製程步驟以完成薄膜電晶體。舉例而言，可在圖 7 中所示之結構之上提供介電層或封裝層，隨後在需要形成接點之位置處形成進入此介電層或封裝層之通孔，且用適合之金屬填充通孔以形成例如源極接點及汲極接點(未描繪)。然而，亦可使用其他適合之製程步驟來完成電晶體結構。

【0052】 說明一個具體實例之方法對 GIZO 電晶體之有用性的實驗係在具有鋁背閘(backgate)之摻雜矽裸片上使用包括位於約 120 nm 厚熱 SiO<sub>2</sub> 介電層之上的半導體 GIZO 層的基板來進行。首先藉由用丙酮及異丙醇連續漂洗清潔基板，然後在氮氣流下乾燥。在高真空下(約 10<sup>-7</sup> 托)在半導體 GIZO (藉由自 1:1:1 Ga:In:Zn 靶材濺鍍獲得)之上經由陰影遮罩以 1 埃/秒之速率蒸發金屬鈣(約 20 nm 厚)。在蒸發金屬之後，使基板在高真空腔室內部再保持約 30 分鐘以便使化學還原反應發生。接著，自手套工作箱移除基板且直接(無退火步驟)置放於漂洗去離子水浴中持續約 10 分鐘。在用氮氣流乾燥之後，已可藉由肉眼在基板中已與金屬鈣接觸之區域與未暴露於金屬之彼等區域之間觀測到明顯差異。此說明於圖 8 中，展示在完成鈣處理之後基板(GIZO 於 SiO<sub>2</sub> 上)的光學顯微照片。較暗區域對應於陰影遮罩之開口，Ca 經由該陰影遮罩蒸發。

【0053】 相應電晶體之電學量測係在受控氛圍下在氧氣及水含量低於約 1 ppm 之氮氣填充之手套工作箱中執行。共用背閘與量測夾盤接觸，

且充當源極及汲極接點之鈣處理區由不鏽鋼探針直接接觸。在氮氣填充之手套工作箱中，在 100°C 下再進行熱板烘烤 45 分鐘，以便自基板移除例如由上述漂洗步驟產生之任何水痕跡。如圖 9 中所說明，標稱通道長度為 200 微米之電晶體達成高達約  $19 \text{ cm}^2/(\text{V}\cdot\text{s})$  之表觀飽和遷移率。圖 9 之頂部圖顯示電晶體轉移特性，而底部圖顯示電晶體輸出特性。具有相同基板之若干電晶體的遷移率以及臨限電壓之再現性良好。

【0054】 進行其他實驗以便研究視情況選用之在高真空下之靜置或等待時間的影響。對在 130 nm 厚  $\text{SiO}_2$  介電質上之具有多種標稱厚度(13 nm、26 nm、40 nm 及 60 nm) 之 GIZO (由 1:1:1 比率之 Ga:In:Zn 靶材濺鍍) 基板進行 Ca 處理 (以 1 埃/秒之速率蒸發 20 nm)。在 Ca 沈積之後，直接將一種操作之基板自真空腔室中取出，且在氮氣填充之手套工作箱內部在熱板上加熱至 150°C 持續 30 分鐘。以不同方式，第二種操作使基板在高真空下保持 30 分鐘，且不在熱板上進行熱處理。將兩種操作之基板隨後以類似方式在去離子水浴中藉由十分鐘漂洗步驟處理且隨後在氮氣流下乾燥。藉由光學顯微鏡 (100 倍放大倍數物鏡) 檢驗顯示基板在真空下保持 30 分鐘之情況下存在暗點，而在 Ca 沈積之後直接進行熱處理之基板未能觀測到類似點。藉由掃描電子顯微鏡對基板之研究顯示，與經 Ca 沈積直接進行熱處理之基板相比，保持於真空下之基板存在大量小丘及孔隙。對於操作涉及在 Ca 沈積之後直接熱處理之基板而言，藉由接觸萬用錶 (在歐姆錶位置) 之探針端部量測之電阻率亦較低。對涉及藉由沈積矩形金接觸襯墊 (經蒸發之 50 nm 厚之金，2 毫米長，且襯墊之間的標稱間隙長度為 100  $\mu\text{m}$  或 200  $\mu\text{m}$ ) 至經 Ca 處理之具有不同 GIZO 厚度之基板上經熱處理之操作進行更精確之電阻量測。如圖 10 中所說明，自 13 nm GIZO 基板至 26 nm GIZO 基板電阻大大降低，而對於較厚 GIZO 層而言僅觀測到電阻極小變化。

【0055】 此外，對經 Ca 處理之具有標稱 60 nm 厚 GIZO 層之基板進

行飛行時間次級離子質譜 (TOF-SIMS) 分析。如圖 11 中所示之 TOF-SIMS 曲線所示，鈣存在於 GIZO 層中，且其濃度自 GIZO 之頂部至約 20 至 30 nm 之深度快速降低。

**【0056】** 說明一個具體實例之方法對 GIZO 電晶體之有用性的實驗係在具有鋁背閘之摻雜矽裸片上使用包括位於約 130 nm 厚熱 SiO<sub>2</sub> 介電層之上的半導體 GIZO 層 (藉由自 1:1:1 Ga:In:Zn 靶材濺鍍獲得) 的基板來進行。首先藉由用丙酮及異丙醇連續漂洗清潔基板，然後在氮氣流下乾燥。接著，藉由旋轉澆鑄將光阻劑沈積至基板上且在 120°C 下烘烤 2 分鐘。接著，藉由光微影術使光阻劑圖案化且在顯影劑中顯影，使得對應於源極及汲極指及接觸襯墊之區域變為敞開的。接著，在高真空下 (約 10<sup>-7</sup> 托) 經由充當陰影遮罩之光阻劑以 1 埃/秒之速率在基板上蒸發鈣 (約 20 nm 厚)。在蒸發金屬之後，直接將基板自真空腔室中取出且在氮氣填充之手套工作箱內部在熱板上在 30 分鐘內加熱至 120°C。接著，將基板自手套工作箱中移出且在去離子水浴中漂洗約 10 分鐘。在用氮氣流乾燥之後，在氮氣填充之手套工作箱內部在熱板上在 100 分鐘內在 100°C 下加熱基板，以便自基板移除例如由上述漂洗步驟產生之任何水痕跡。雖然出於實際目的經圖案化之光阻劑此刻仍存在以便鑑別基板背部之源極及汲極接點，但對於具有經 Ca 處理之 GIZO 源極及汲極接點之 GIZO 電晶體之操作而言不需要其存在。相應電晶體之電學量測係在受控氛圍下在氧氣及水含量低於約 1 ppm 之氮氣填充之手套工作箱中執行。共用背閘與量測夾盤接觸，且對應於源極及汲極接點之鈣處理區由不鏽鋼探針直接接觸。標稱通道長度為 5 微米之電晶體達成 1.2 cm<sup>2</sup>/(V.s) 範圍內之表觀飽和遷移率。如圖 12 中關於 5 種不同電晶體所說明，具有相同基板之若干電晶體的遷移率以及臨限電壓之再現性良好。

**【0057】** 上文描述詳述本發明之某些具體實例。然而，應瞭解，不管上述內容在正文中如何詳細地呈現，本發明可以許多方式實施。應注意，

在描述本發明之某些特徵或態樣時使用特定術語，不應認為暗示該術語在本文中再定義以侷限於包括與該術語相關之本發明特徵或態樣之任何特定特徵。

【0058】 雖然上述實施方式已展示、描述並指出適用於各種具體實例的本發明的新穎特徵，但應瞭解，熟習此項技術者可在不悖離本發明的情況下對所說明之器件或方法的形式及細節作出各種省略、替換及改變。

【符號說明】

【0059】

● 10：基板

11：作用層

12：閘極絕緣體

13：閘電極

14：還原層

110：通道區

111：源極區

112：汲極區

● 151：具有增加之導電性的區域

152：具有增加之導電性的區域

## 申請專利範圍

1. 一種在預定位置處增加金屬氧化物半導體層之導電性的方法，其中該方法包含：在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑且誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應，從而影響在該等預定位置處該金屬氧化物半導體層之化學組成，以及執行一漂洗步驟以便移除該還原劑及該化學還原反應之反應副產物。
2. 如申請專利範圍第 1 項之方法，其中該金屬氧化物半導體層包含銻-銻-鋅-氧化物 (GIZO) 或例如具有以下組成之基於其他金屬氧化物之半導體：ZnO、ZnSnO、InO、InZnO、InZnSnO、LaInZnO、GaInO、HfInZnO、MgZnO、LaInZnO、TiO、TiInSnO、ScInZnO、SiInZnO 及 ZrInZnO、ZrZnSnO。
3. 如申請專利範圍第 1 項之方法，其中該金屬氧化物半導體層之厚度在 5 nm 與 50 nm 之間。
4. 如申請專利範圍第 1 項之方法，其中在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑包含在該等預定位置處提供與該金屬氧化物半導體層物理接觸之包含鹼金屬、鹼土金屬或兩種類型金屬之合金的還原層；且其中誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應包含誘導該還原層與該金屬氧化物半導體層之間的化學還原反應。  
。
5. 如申請專利範圍第 4 項之方法，其中該還原層包含 Ca。
6. 如申請專利範圍第 4 項之方法，其中該還原層之厚度在約 1 nm 與 100 nm 之間的範圍內。
7. 如申請專利範圍第 4 項之方法，其中對該等預定位置處該金屬氧化物半導體層之化學組成的該影響包含將該金屬氧化物半導體層之金屬離

- 子以化學方式還原至該還原層中。
8. 如申請專利範圍第 4 項之方法，其中誘導該還原層與該金屬氧化物半導體層之間的化學還原反應可包含在約 20°C 與 200°C 之間範圍內之溫度下執行退火步驟持續 1 分鐘與 60 分鐘之間的持續時間。
  9. 如申請專利範圍第 8 項之方法，其中該退火步驟在惰性氛圍下或在真空中執行。
  10. 如申請專利範圍第 4 項之方法，其中誘導該還原層與該金屬氧化物半導體層之間的化學還原反應包含在提供該還原層之後等待預定時段，該預定時段在 1 分鐘與 5 小時之間的範圍內。
  11. 如申請專利範圍第 10 項之方法，其中等待包含使樣品保持於已提供該還原層之腔室中。
  12. 如申請專利範圍第 10 項之方法，其中該等待步驟在真空下或在約  $1.33 \times 10^4$  Pa 與  $1.33 \times 10^6$  Pa 之間的範圍內且在約 -50°C 與 +50°C 之間範圍內之溫度下執行。
  13. 如申請專利範圍第 10 項之方法，其中該等待步驟隨後為在約 20°C 與 200°C 之間範圍內之溫度下持續 1 分鐘與 60 分鐘之間的持續時間的退火步驟。
  14. 如申請專利範圍第 4 項之方法，其中該漂洗步驟包含在水或醇中漂洗。
  15. 如申請專利範圍第 1 項之方法，其中在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑及誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應包含在該等預定位置處使該金屬氧化物半導體層與溶解於液體中之化學還原劑物理接觸。
  16. 如申請專利範圍第 1 項之方法，其中在該等預定位置處提供與該金屬氧化物半導體層物理接觸之還原劑及誘導該還原劑與該金屬氧化物半導體層之間的化學還原反應包含在該等預定位置處使該金屬氧化物半

導體層與呈氣相之化學還原劑物理接觸。

17. 如申請專利範圍第 1 項之方法，其在 PET 型、PEN 型或 PC 型之低成本可撓性基板上執行。
18. 如申請專利範圍第 1 項之方法，其中對該等預定位置處該金屬氧化物半導體層之化學組成的該影響包含降低該金屬氧化物半導體層之氧含量。
19. 如申請專利範圍第 1 項之方法，其中增加該金屬氧化物半導體層之導電性包含增加該金屬氧化物半導體層之表面部分的導電性，該表面部分之厚度為約 10 nm 至 40 nm。
20. 如申請專利範圍第 1 項之方法，其中增加該金屬氧化物半導體層之導電性包含增加貫穿該金屬氧化物半導體層之整個厚度的導電性。
21. 如申請專利範圍第 1 項之方法，其進一步包含在絕緣層上提供該金屬氧化物半導體層，且其中增加該金屬氧化物半導體層之導電性包含增加貫穿該金屬氧化物半導體層之整個厚度及該絕緣層之至少一部分的導電性。
22. 一種如申請專利範圍第 1 項之方法的用途，其用於製造具有金屬氧化物半導體作用層之薄膜電晶體，用於在對應於源極區及汲極區之預定位置處局部增加導電性，從而改良源極及汲極接點之電荷注入。
23. 如申請專利範圍第 22 項之用途，其用於製造自對準之頂部閘極薄膜電晶體。

圖式

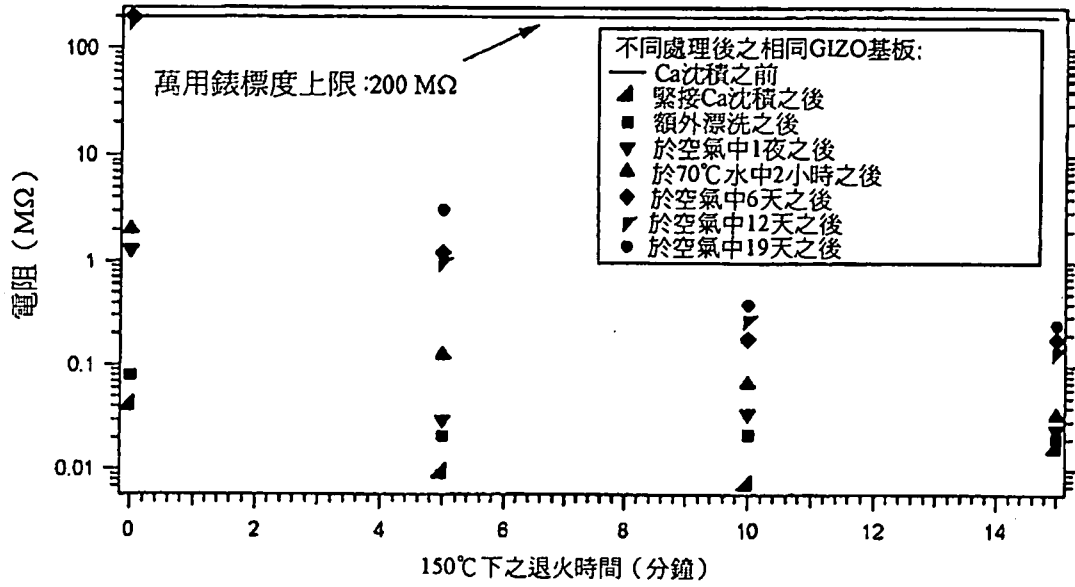


圖1

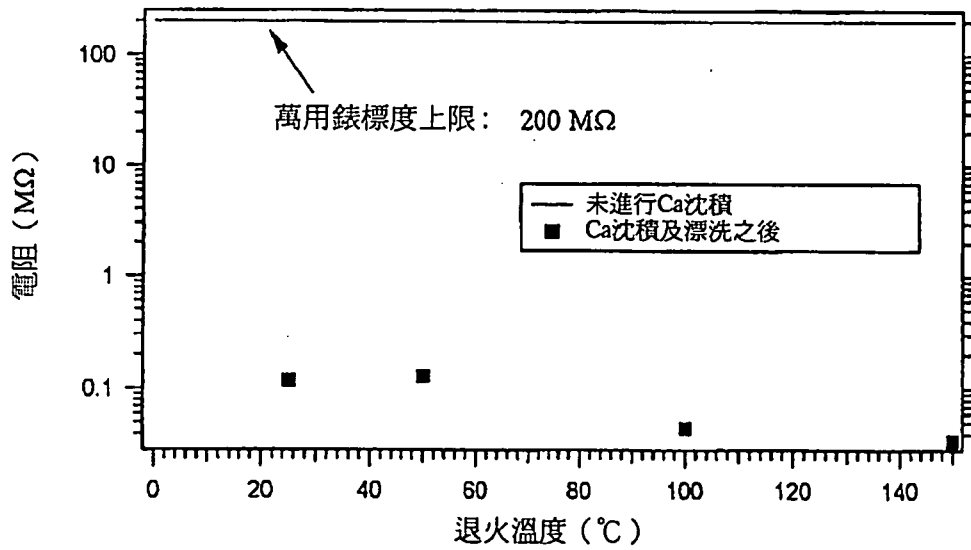


圖2

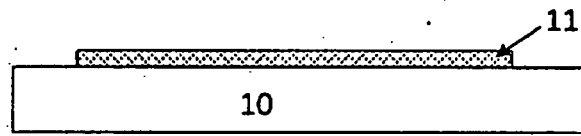


圖3

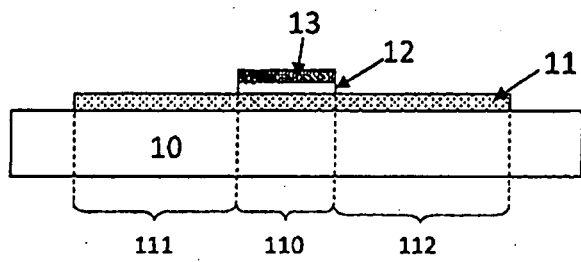


圖4

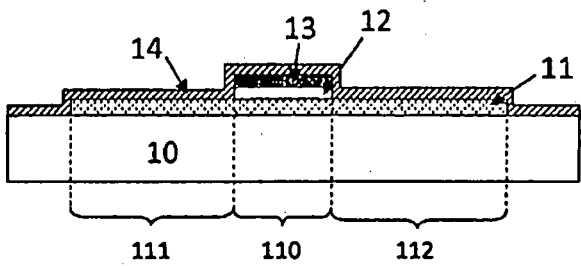


圖5

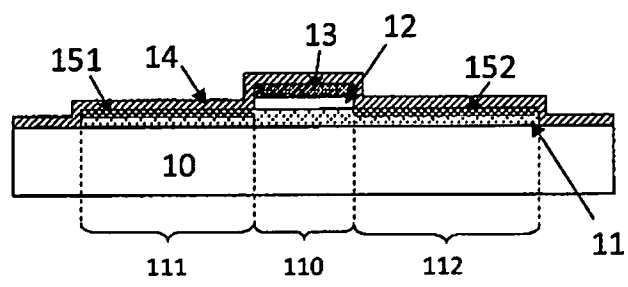


圖6

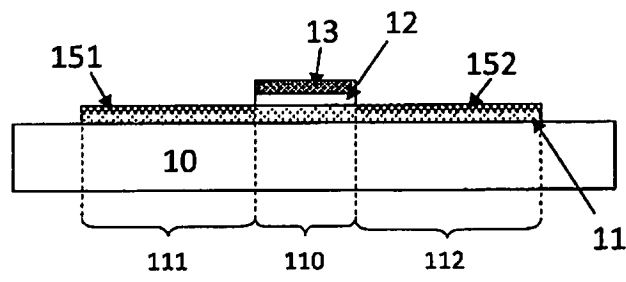


圖7

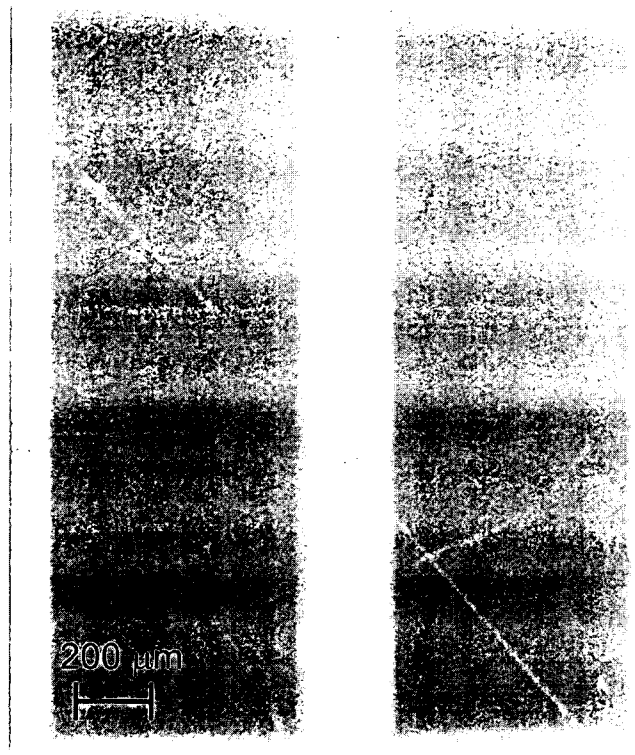


圖 8

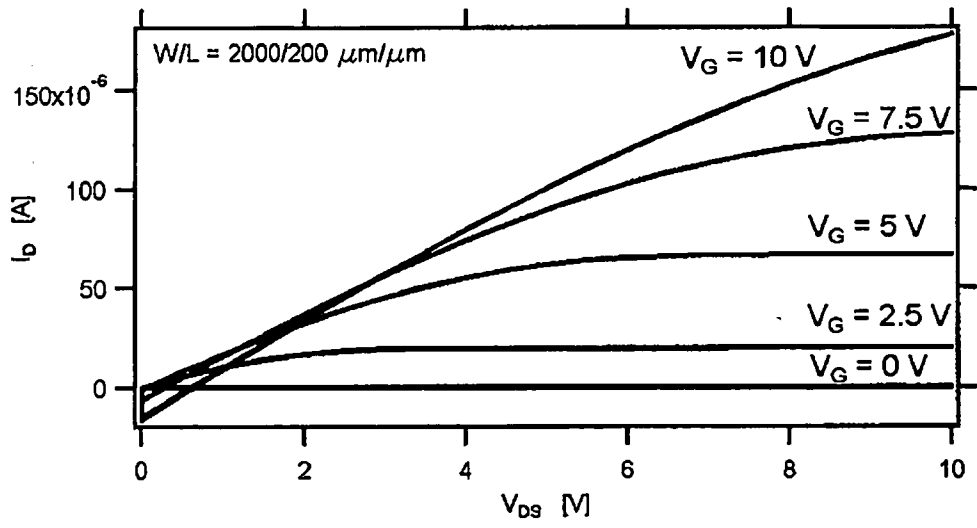
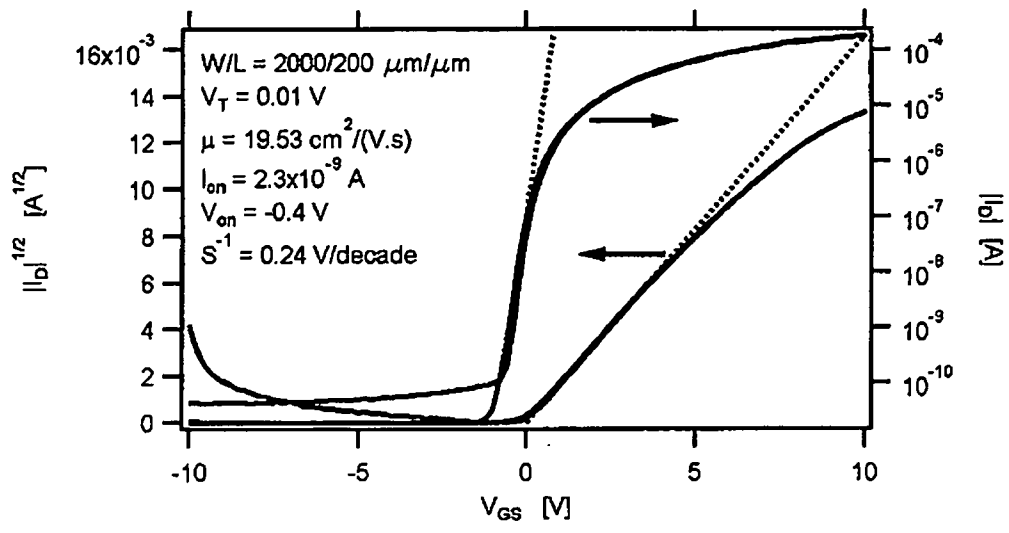


圖9

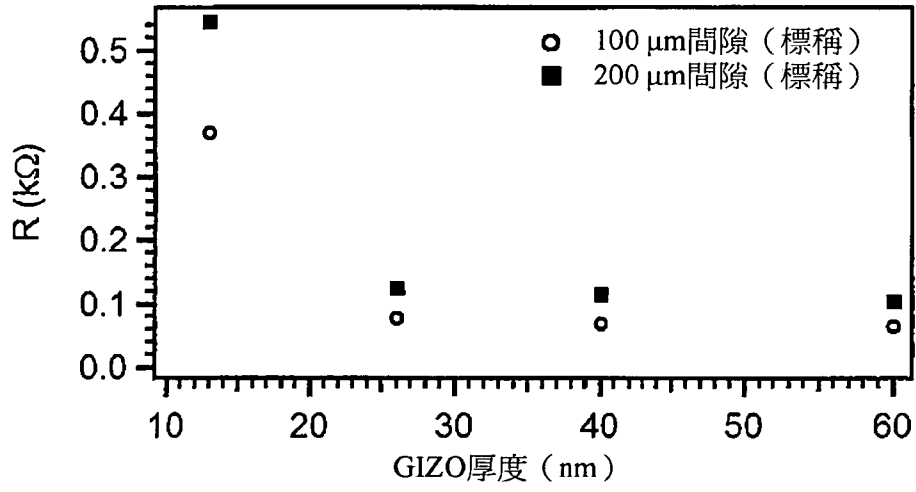


圖10

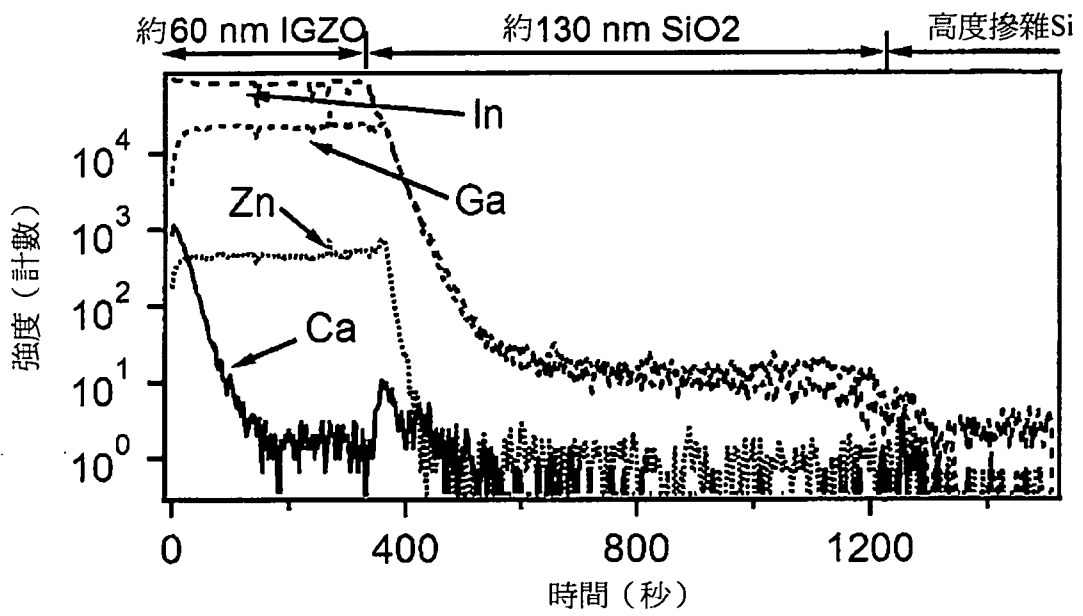


圖11

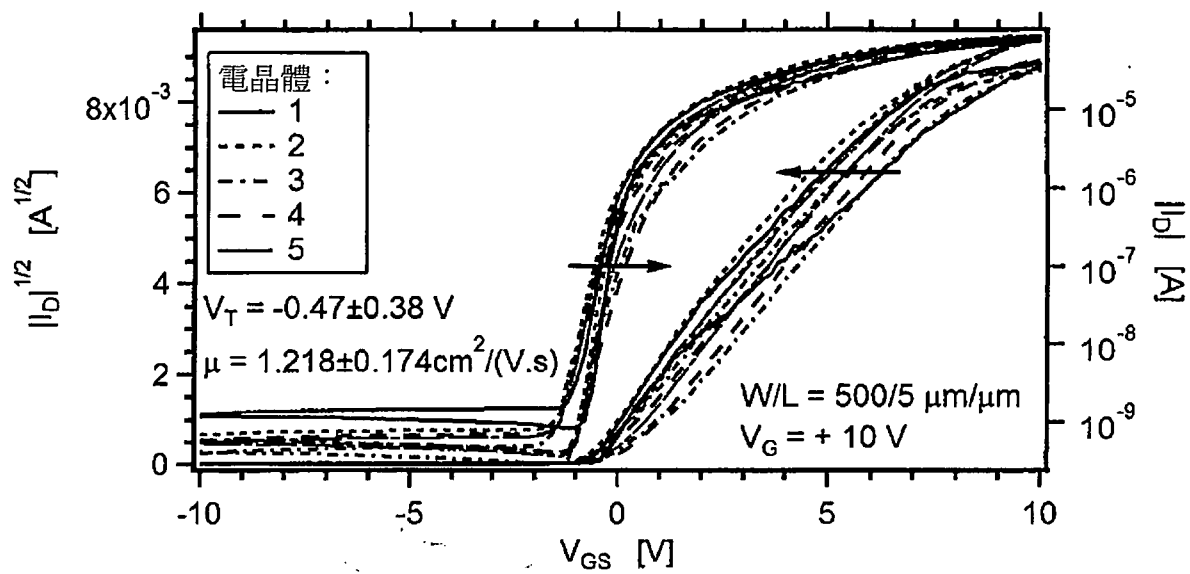


圖12