

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成25年7月4日(2013.7.4)

【公開番号】特開2010-278436(P2010-278436A)

【公開日】平成22年12月9日(2010.12.9)

【年通号数】公開・登録公報2010-049

【出願番号】特願2010-117419(P2010-117419)

【国際特許分類】

H 01 L	21/8234	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	27/088	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)

【F I】

H 01 L	27/06	1 0 2 A
H 01 L	29/78	3 0 1 D
H 01 L	27/08	1 0 2 B
H 01 L	27/08	1 0 2 D
H 01 L	27/04	R
H 01 L	27/04	T

【手続補正書】

【提出日】平成25年5月17日(2013.5.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

パワー集積回路(I C : integrated circuit)デバイスであって、  
第1の導電型の基板と、

横型高電圧電界効果トランジスタ(H V F E T : high-voltage field-effect transistor)とを含み、前記横型H V F E Tは、

前記基板に配置された第1のウェル領域を含み、前記第1のウェル領域は、第1の導電型とは逆の第2の導電型であり、前記横型H V F E Tの拡張されたドレインを含み、前記横型H V F E Tはさらに、

前記第1のウェル領域に配置された第2の導電型の第1のドレイン領域と、

前記基板に配置された第1の導電型の第1のボディ領域とを含み、前記第1のボディ領域は、第1および第2の側方の端縁を有し、前記第2の側方の端縁は前記第1のウェル領域に隣接しており、前記横型H V F E Tはさらに、

前記第2の側方の端縁付近において前記第1のボディ領域内に配置された第2の導電型の第1のソース領域と、

前記基板上にわたって配置された第1の絶縁ゲートとを含み、前記第1の絶縁ゲートは、前記第2の側方の端縁から前記第1のソース領域にまで横方向に延在しており、前記横型H V F E Tはさらに、

前記第1のソース領域に電気的に接続された第1のソース電極と、

前記第1のドレイン領域に電気的に接続されたドレイン電極とを含み、前記パワーI Cデバイスはさらに、

前記横型H V F E Tに隣接して配置されたセンスF E Tを含み、前記センスF E Tは、前記基板に配置された第2の導電型の第2のウェル領域を含み、前記第2のウェル領域は前記センスF E Tの拡張されたドレインを含み、前記センスF E Tはさらに、

前記第2のウェル領域に配置された第2の導電型の第2のドレイン領域を含み、前記ドレイン電極は前記第2のドレイン領域に電気的に接続されており、前記センスF E Tはさらに、

前記基板に配置された第1の導電型の第2のボディ領域を含み、前記第1のボディ領域は第3および第4の側方の端縁を有し、前記第3の側方の端縁は前記第2のウェル領域に隣接しており、前記センスF E Tはさらに、

前記第3の側方の端縁付近において前記第2のボディ領域内に配置された第2の導電型の第2のソース領域と、

前記基板上にわたって配置された第2の絶縁ゲートとを含み、前記第2の絶縁ゲートは、前記第3の側方の端縁から前記第2のソース領域まで横方向に延在し、前記センスF E Tはさらに、

前記第2のソース領域に電気的に接続された第2のソース電極を含み、前記センスF E Tはさらに、

前記基板のうち前記第1のボディ領域と前記第2のボディ領域との間の区域に横方向に配置された第2の導電型の第3のウェル領域を含み、センス抵抗器が、前記第3のウェル領域において間隔をあけて配置された第1のコンタクト領域と第2のコンタクト領域との間に形成され、前記第1のソース電極は、前記第1のコンタクト領域に電気的に接続され、前記第2のソース電極は前記第2のコンタクト領域に電気的に接続されており、前記横型H V F E Tおよび前記センスF E Tがオン状態であれば、前記横型H V F E Tを通って流れる第1の電流に比例する電圧電位が前記第2のソース金属層において生成される、パワーI Cデバイス。

#### 【請求項2】

寄生基板抵抗器が、前記基板において前記第1のボディ領域と前記第2のボディ領域との間に配置され、前記寄生基板抵抗器は、前記センス抵抗器の抵抗よりも少なくとも25倍大きい値を有している、請求項1に記載のパワーI Cデバイス。

#### 【請求項3】

前記第1および第2のボディ領域にそれぞれ配置された第1の導電型の第3および第4のコンタクト領域をさらに含み、前記寄生基板抵抗器が前記第1のソース電極と前記第2のソース電極との間で前記センス抵抗器と平行に接続されるように、前記第1のソース電極が前記第3のコンタクト領域と電気的に接触し、前記第2のソース電極が前記第3のコンタクト領域と電気的に接触する、請求項1に記載のパワーI Cデバイス。

#### 【請求項4】

前記センス抵抗器の抵抗が前記センスF E Tのデバイス抵抗の少なくとも4分の1である、請求項1に記載のパワーI Cデバイス。

#### 【請求項5】

前記センスF E Tのデバイス抵抗が前記横型H V F E Tのデバイス抵抗よりも少なくとも10倍大きい、請求項1に記載のパワーI Cデバイス。

#### 【請求項6】

前記第3のウェル領域が、前記基板の表面において第1の距離だけ前記第2のボディ領域から隔てられている、請求項1に記載のパワーI Cデバイス。

#### 【請求項7】

第2の距離は前記第1のボディ領域と前記第2のボディ領域とを隔てるものであり、前記第2の距離は前記第1の距離よりも長い、請求項6に記載のパワーI Cデバイス。

#### 【請求項8】

パワー集積回路(I C)デバイスであって、

第1の導電型の基板上に形成された横型高電圧電界効果トランジスタ(HVFEトランジスタ)を含み、前記横型HVFEトランジスタは、第2の導電型のソース領域およびドレイン領域と、ゲートとを有し、前記ソース領域は第1の導電型の第1のボディ領域に配置され、前記ドレイン領域は、第2の導電型の第1のウェル領域に配置され、前記第1のウェル領域は前記横型HVFEトランジスタのドリフト領域を形成し、前記パワーICデバイスはさらに、

前記横型HVFEトランジスタに隣接して前記基板上に形成された横型センスFETを含み、前記横型センスFETは、第2の導電型のソース領域およびドレイン領域と、ゲートとを有し、前記ソース領域は第1の導電型の第2のボディ領域に配置され、前記ドレイン領域は第2の導電型の第2のウェル領域に配置され、前記第2のウェル領域は前記横型センスFETのドリフト領域を形成し、前記パワーICデバイスはさらに、

前記基板の表面において、前記基板のうち、前記横型HVFEトランジスタから第1の距離だけ前記横型センスFETを隔てている区域を含み、寄生基板抵抗器が、前記横型HVFEトランジスタの前記第1のボディ領域と前記横型センスFETの前記第2のボディ領域との間に形成され、前記横型HVFEトランジスタおよび前記横型センスFETの前記ドレイン領域はともに共通のドレイン電極を共有し、前記横型HVFEトランジスタおよび前記横型センスFETの前記ゲートはともに共通のゲート電極を共有しており、前記パワーICデバイスはさらに、

前記横型HVFEトランジスタの第1のソース電極と前記横型センスFETの第2のソース電極との間に結合されたセンス抵抗器を含み、前記第1および第2のソース電極は、前記センス抵抗器および前記寄生基板抵抗器が平行に結合されるように、前記第1および第2のボディ領域にオーム接続される、パワーICデバイス。

#### 【請求項9】

前記寄生基板抵抗器は、前記センス抵抗器の第2の抵抗よりも少なくとも20倍大きい第1の抵抗を有する、請求項8に記載のパワーICデバイス。

#### 【請求項10】

前記第2の抵抗は、前記横型センスFETの第1のデバイス抵抗の少なくとも4分の1である、請求項9に記載のパワーICデバイス。

#### 【請求項11】

前記第1のデバイス抵抗は、前記横型HVFEトランジスタおよび前記横型センスFETがオン状態である場合に、前記横型HVFEトランジスタを通って流れる電流に比例する電圧電位が前記第2のソース電極において生成されるように、前記横型HVFEトランジスタの第2のデバイス抵抗よりも少なくとも10倍大きい、請求項8に記載のパワーICデバイス。

#### 【請求項12】

前記センス抵抗器が、前記基板の前記区域に配置された第3のウェル領域に形成される、請求項8に記載のパワーICデバイス。

#### 【請求項13】

前記センス抵抗器は、前記基板のうち異なる区域に配置された第3のウェル領域に形成される、請求項8に記載のパワーICデバイス。

#### 【請求項14】

前記第3のウェル領域は、第1および第2の側方の境界を有し、前記第1の側方の境界は前記第1のボディ領域に隣接し、前記第2の側方の境界は前記第2のボディ領域から第2の距離をあけて形成される、請求項12に記載のパワーICデバイス。

#### 【請求項15】

前記第2の距離は少なくとも5μmである、請求項14に記載のパワーICデバイス。

#### 【請求項16】

前記第1の距離は50μmから100μmの間である、請求項8に記載のパワーICデバイス。

#### 【請求項17】

前記第1および第2のウェル領域の各々のドーピング濃度は、前記基板のドーピング濃度よりも少なくとも100倍高い、請求項8に記載のパワーICデバイス。

#### 【請求項18】

前記第1、第2および第3のウェル領域の各々のドーピング濃度は、前記基板のドーピング濃度よりも少なくとも100倍高い、請求項12に記載のパワーICデバイス。

【請求項19】

前記第1の導電型がn型であり、前記第2の導電型がp型である、請求項8に記載のパワーICデバイス。

【請求項20】

前記第1の導電型がp型であり、前記第2の導電型がn型である、請求項8に記載のパワーICデバイス。

【請求項21】

パワー集積回路(IC)デバイスであって、

第1の導電型の基板に配置された横型高電圧電界効果トランジスタ(HVFET)を含み、前記横型HVFETは、

第1の導電型とは逆の第2の導電型の第1のウェル領域と、

第2の導電型の第1のドレイン領域とを含み、前記第1のドレイン領域は前記第1のウェル領域に形成され、前記第1のウェル領域は前記横型HVFETのドリフト領域を含み、前記横型HVFETはさらに、

前記第1のウェル領域に隣接する第1の導電型の第1のボディ領域と、

前記第1のボディ領域に配置された第2の導電型の第1のソース領域と、

前記第1のソース領域に隣接して前記第1のボディ領域に配置された第1の導電型の第1のコンタクト領域と、

前記基板上にわたって配置された第1の絶縁ゲートとを含み、前記第1の絶縁ゲートは、前記第1のソース領域から前記第1のウェル領域上にまで横方向に延在し、前記パワーICデバイスはさらに、

前記横型HVFETを通って流れる電流のごく一部を検知するための横型センス電界効果トランジスタ(FET)デバイスを含み、前記横型センスFETは前記横型HVFETに隣接して前記基板に配置されており、前記横型センスFETは、

第2の導電型の第2のウェル領域を含み、前記第2のウェル領域は前記センスFETの拡張されたドレインを含み、前記横型センスFETはさらに、

前記第2のウェル領域に配置された第2の導電型の第2のドレイン領域を含み、前記第2のドレイン領域は前記第1のドレイン領域に電気的に結合されており、前記横型センスFETはさらに、

第1の導電型の第2のボディ領域を含み、前記第2のボディ領域は第1および第2の側方の境界を有し、前記第1の側方の境界は前記第2のウェル領域に隣接し、前記基板の区域が、前記基板の表面において、前記横型HVFETの前記第1のボディ領域から第1の距離だけ前記第2の側方の境界を隔てており、前記横型センスFETはさらに、

前記第2のボディ領域内に配置された第2の導電型の第2のソース領域と、

前記第2のボディ領域内において前記第2のソース領域に隣接して配置された第1の導電型の第2のコンタクト領域と、

前記基板上にわたって配置された第2の絶縁ゲートとを含み、前記第2の絶縁ゲートは、前記第2のソース領域から前記第2のウェル領域上にまで横方向に延在し、前記第2の絶縁ゲートは前記第1の絶縁ゲートに電気的に結合されており、前記横型センスFETはさらに、

前記区域に配置された第2の導電型の第3のウェル領域を含み、第1および第2のコンタクトを有するセンス抵抗器が前記第3のウェル領域に形成され、前記第1のコンタクトは前記第1のソース領域に電気的に結合され、前記第2のコンタクトは前記第2のソース領域に電気的に結合される、パワーICデバイス。

【請求項22】

前記第1のソース領域と前記第1のコンタクト領域とを電気的に接続する第1のソース電極と、

前記第2のソース領域と前記第2のコンタクト領域とを電気的に接続する第2のソース

電極とを含み、前記横型HVFETおよび前記横型センスFETがオン状態である場合に、前記横型HVFETを通って流れる電流に比例する電圧電位が前記第2のソース電極において生成される、請求項21に記載のパワーICデバイス。

【請求項23】

寄生基板抵抗器が、前記基板において前記第1のボディ領域と第2のボディ領域との間に形成される、請求項22に記載のパワーICデバイス。

【請求項24】

前記寄生基板抵抗器は、前記第1のソース電極と第2のソース電極との間ににおいて前記センス抵抗器と平行に電気的に結合され、前記寄生基板抵抗器は、前記センス抵抗器の抵抗よりも少なくとも25倍大きい抵抗値を有する、請求項23に記載のパワーICデバイス。

【請求項25】

前記センス抵抗器の抵抗値は、前記横型センスFETのデバイス抵抗の少なくとも4分の1である、請求項21に記載のパワーICデバイス。

【請求項26】

前記横型センスFETのデバイス抵抗は、前記横型HVFETのデバイス抵抗よりも少なくとも10倍大きい、請求項25に記載のパワーICデバイス。

【請求項27】

前記第1のボディ領域と前記第2のボディ領域とが、前記第1の距離よりも少なくとも8倍長い第2の距離だけ隔てられる、請求項21に記載のパワーICデバイス。

【請求項28】

前記第1のドレイン領域と前記第2のドレイン領域とを電気的に接続するドレイン電極をさらに含む、請求項21に記載のパワーICデバイス。

【請求項29】

前記第1、第2および第3のウェル領域の各々のドーピング濃度は、前記寄生基板抵抗器の抵抗値が前記センス抵抗器の抵抗値よりも大きくなるように、前記基板のドーピング濃度よりも少なくとも100倍高い、請求項21に記載のパワーICデバイス。

【請求項30】

パワー集積回路( I C : integrated circuit )デバイスであって、  
第1の導電型の基板と、横型高電圧電界効果トランジスタ( H V F E T : high-voltage field-effect transistor )とを含み、前記横型HVFETは、第1の導電型とは逆の第2の導電型の第1のウェル領域に配置された第1のドレイン領域と、第1の導電型の第1のボディ領域に配置された第1のソース領域と、前記第1のソース領域に電気的に接続された第1のソース電極とを含み、前記パワーICデバイスはさらに、

前記横型HVFETから横方向に間隔をあけて配置されたセンスFETを含み、前記センスFETは、第2の導電型の第2のウェル領域に配置された第2のドレイン領域と、第1の導電型の第2のボディ領域に配置された第2のソース領域と、前記第2のソース領域に電気的に接続された第2のソース電極とを含み、前記パワーICデバイスはさらに、

前記基板のうち前記第1のボディ領域と前記第2のボディ領域との間の区域に横方向に配置された第2の導電型の第3のウェル領域を含み、センス抵抗器が、前記第3のウェル領域において間隔をあけて配置された第1のコンタクト領域と第2のコンタクト領域との間に形成され、前記第1のソース電極は、前記第1のコンタクト領域に電気的に接続され、前記第2のソース電極は前記第2のコンタクト領域に電気的に接続されており、前記横型HVFETおよび前記センスFETがオン状態であれば、前記横型HVFETを通って流れる第1の電流に比例する電圧電位が前記第2のソース電極において生成される、パワーICデバイス。

【請求項31】

パワー集積回路( I C  )デバイスであって、  
基板と、前記基板に配置された横型高電圧電界効果トランジスタ( H V F E T )とを含み、前記横型HVFETは、ソース領域およびドレイン領域と、ゲートとを有し、前記ソ

ース領域は第1のボディ領域に配置され、前記パワーICデバイスはさらに、

前記横型HVFETに隣接して前記基板に配置された横型センスFETを含み、前記横型センスFETはソース領域およびドレイン領域と、ゲートとを有し、前記横型センスFETの前記ソース領域は第2のボディ領域に配置され、前記横型センスFETは、前記基板の表面において、前記横型HVFETから第1の距離だけ横方向に隔てられており、前記パワーICデバイスはさらに、

前記横型HVFETの前記第1のボディ領域と前記横型センスFETの前記第2のボディ領域との間に形成された寄生基板抵抗器と、

前記横型HVFETの第1のソース電極と前記横型センスFETの第2のソース電極との間に結合されたセンス抵抗器を含み、前記第1および第2のソース電極は、前記センス抵抗器および前記寄生基板抵抗器が平行に結合されるように、前記第1および第2のボディ領域にオーム接続される、パワーICデバイス。