

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成25年7月4日 (2013.7.4)

【公開番号】特開2010-278436(P2010-278436A)

【公開日】平成22年12月9日 (2010.12.9)

【年通号数】公開・登録公報2010-049

【出願番号】特願2010-117419(P2010-117419)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/06 1 0 2 A

H 0 1 L 29/78 3 0 1 D

H 0 1 L 27/08 1 0 2 B

H 0 1 L 27/08 1 0 2 D

H 0 1 L 27/04 R

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成25年5月17日 (2013.5.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パワー集積回路 (I C : integrated circuit) デバイスであって、

第 1 の導電型の基板と、

横型高電圧電界効果トランジスタ (H V F E T : high-voltage field-effect transistor) とを含み、前記横型 H V F E T は、

前記基板に配置された第 1 のウェル領域を含み、前記第 1 のウェル領域は、第 1 の導電型とは逆の第 2 の導電型であり、前記横型 H V F E T の拡張されたドレインを含み、前記横型 H V F E T はさらに、

前記第 1 のウェル領域に配置された第 2 の導電型の第 1 のドレイン領域と、

前記基板に配置された第 1 の導電型の第 1 のボディ領域とを含み、前記第 1 のボディ領域は、第 1 および第 2 の側方の端縁を有し、前記第 2 の側方の端縁は前記第 1 のウェル領域に隣接しており、前記横型 H V F E T はさらに、

前記第 2 の側方の端縁付近において前記第 1 のボディ領域内に配置された第 2 の導電型の第 1 のソース領域と、

前記基板上にわたって配置された第 1 の絶縁ゲートとを含み、前記第 1 の絶縁ゲートは、前記第 2 の側方の端縁から前記第 1 のソース領域にまで横方向に延在しており、前記横型 H V F E T はさらに、

前記第 1 のソース領域に電氣的に接続された第 1 のソース電極と、

前記第 1 のドレイン領域に電氣的に接続されたドレイン電極とを含み、前記パワー I C デバイスはさらに、

前記横型 H V F E T に隣接して配置されたセンス F E T を含み、前記センス F E T は、

前記基板に配置された第 2 の導電型の第 2 のウェル領域を含み、前記第 2 のウェル領域は前記センス F E T の拡張されたドレインを含み、前記センス F E T はさらに、

前記第 2 のウェル領域に配置された第 2 の導電型の第 2 のドレイン領域を含み、前記ドレイン電極は前記第 2 のドレイン領域に電氣的に接続されており、前記センス F E T はさらに、

前記基板に配置された第 1 の導電型の第 2 のボディ領域を含み、前記第 1 のボディ領域は第 3 および第 4 の側方の端縁を有し、前記第 3 の側方の端縁は前記第 2 のウェル領域に隣接しており、前記センス F E T はさらに、

前記第 3 の側方の端縁付近において前記第 2 のボディ領域内に配置された第 2 の導電型の第 2 のソース領域と、

前記基板上にわたって配置された第 2 の絶縁ゲートとを含み、前記第 2 の絶縁ゲートは、前記第 3 の側方の端縁から前記第 2 のソース領域まで横方向に延在し、前記センス F E T はさらに、

前記第 2 のソース領域に電氣的に接続された第 2 のソース電極を含み、前記センス F E T はさらに、

前記基板のうち前記第 1 のボディ領域と前記第 2 のボディ領域との間の区域に横方向に配置された第 2 の導電型の第 3 のウェル領域を含み、センス抵抗器が、前記第 3 のウェル領域において間隔をあけて配置された第 1 のコンタクト領域と第 2 のコンタクト領域との間に形成され、前記第 1 のソース電極は、前記第 1 のコンタクト領域に電氣的に接続され、前記第 2 のソース電極は前記第 2 のコンタクト領域に電氣的に接続されており、前記横型 H V F E T および前記センス F E T がオン状態であれば、前記横型 H V F E T を通って流れる第 1 の電流に比例する電圧電位が前記第 2 のソース金属層において生成される、パワー I C デバイス。

【請求項 2】

寄生基板抵抗器が、前記基板において前記第 1 のボディ領域と前記第 2 のボディ領域との間に配置され、前記寄生基板抵抗器は、前記センス抵抗器の抵抗よりも少なくとも 2.5 倍大きい値を有している、請求項 1 に記載のパワー I C デバイス。

【請求項 3】

前記第 1 および第 2 のボディ領域にそれぞれ配置された第 1 の導電型の第 3 および第 4 のコンタクト領域をさらに含み、前記寄生基板抵抗器が前記第 1 のソース電極と前記第 2 のソース電極との間で前記センス抵抗器と平行に接続されるように、前記第 1 のソース電極が前記第 3 のコンタクト領域と電氣的に接触し、前記第 2 のソース電極が前記第 3 のコンタクト領域と電氣的に接触する、請求項 1 に記載のパワー I C デバイス。

【請求項 4】

前記センス抵抗器の抵抗が前記センス F E T のデバイス抵抗の少なくとも 4 分の 1 である、請求項 1 に記載のパワー I C デバイス。

【請求項 5】

前記センス F E T のデバイス抵抗が前記横型 H V F E T のデバイス抵抗よりも少なくとも 10 倍大きい、請求項 1 に記載のパワー I C デバイス。

【請求項 6】

前記第 3 のウェル領域が、前記基板の表面において第 1 の距離だけ前記第 2 のボディ領域から隔てられている、請求項 1 に記載のパワー I C デバイス。

【請求項 7】

第 2 の距離は前記第 1 のボディ領域と前記第 2 のボディ領域とを隔てるものであり、前記第 2 の距離は前記第 1 の距離よりも長い、請求項 6 に記載のパワー I C デバイス。

【請求項 8】

パワー集積回路 (I C) デバイスであって、

第1の導電型の基板上に形成された横型高電圧電界効果トランジスタ(HVFEET)を含み、前記横型HVFEETは、第2の導電型のソース領域およびドレイン領域と、ゲートとを有し、前記ソース領域は第1の導電型の第1のボディ領域に配置され、前記ドレイン領域は、第2の導電型の第1のウェル領域に配置され、前記第1のウェル領域は前記横型HVFEETのドリフト領域を形成し、前記パワーICデバイスはさらに、

前記横型HVFEETに隣接して前記基板上に形成された横型センスFEETを含み、前記横型センスFEETは、第2の導電型のソース領域およびドレイン領域と、ゲートとを有し、前記ソース領域は第1の導電型の第2のボディ領域に配置され、前記ドレイン領域は第2の導電型の第2のウェル領域に配置され、前記第2のウェル領域は前記横型センスFEETのドリフト領域を形成し、前記パワーICデバイスはさらに、

前記基板の表面において、前記基板のうち、前記横型HVFEETから第1の距離だけ前記横型センスFEETを隔てている区域を含み、寄生基板抵抗器が、前記横型HVFEETの前記第1のボディ領域と前記横型センスFEETの前記第2のボディ領域との間に形成され、前記横型HVFEETおよび前記横型センスFEETの前記ドレイン領域はともに共通のドレイン電極を共有し、前記横型HVFEETおよび前記横型センスFEETの前記ゲートはともに共通のゲート電極を共有しており、前記パワーICデバイスはさらに、

前記横型HVFEETの第1のソース電極と前記横型センスFEETの第2のソース電極との間に結合されたセンス抵抗器を含み、前記第1および第2のソース電極は、前記センス抵抗器および前記寄生基板抵抗器が平行に結合されるように、前記第1および第2のボディ領域にオーム接続される、パワーICデバイス。

【請求項9】

前記寄生基板抵抗器は、前記センス抵抗器の第2の抵抗よりも少なくとも20倍大きい第1の抵抗を有する、請求項8に記載のパワーICデバイス。

【請求項10】

前記第2の抵抗は、前記横型センスFEETの第1のデバイス抵抗の少なくとも4分の1である、請求項9に記載のパワーICデバイス。

【請求項11】

前記第1のデバイス抵抗は、前記横型HVFEETおよび前記横型センスFEETがオン状態である場合に、前記横型HVFEETを通して流れる電流に比例する電圧電位が前記第2のソース電極において生成されるように、前記横型HVFEETの第2のデバイス抵抗よりも少なくとも10倍大きい、請求項8に記載のパワーICデバイス。

【請求項12】

前記センス抵抗器が、前記基板の前記区域に配置された第3のウェル領域に形成される、請求項8に記載のパワーICデバイス。

【請求項13】

前記センス抵抗器は、前記基板のうち異なる区域に配置された第3のウェル領域に形成される、請求項8に記載のパワーICデバイス。

【請求項14】

前記第3のウェル領域は、第1および第2の側方の境界を有し、前記第1の側方の境界は前記第1のボディ領域に隣接し、前記第2の側方の境界は前記第2のボディ領域から第2の距離をあけて形成される、請求項12に記載のパワーICデバイス。

【請求項15】

前記第2の距離は少なくとも5 μm である、請求項14に記載のパワーICデバイス。

【請求項16】

前記第1の距離は50 μm から100 μm の間である、請求項8に記載のパワーICデバイス。

【請求項17】

前記第1および第2のウェル領域の各々のドーピング濃度は、前記基板のドーピング濃度よりも少なくとも100倍高い、請求項8に記載のパワーICデバイス。

【請求項18】

前記第 1、第 2 および第 3 のウェル領域の各々のドーピング濃度は、前記基板のドーピング濃度よりも少なくとも 100 倍高い、請求項 12 に記載のパワー IC デバイス。

【請求項 19】

前記第 1 の導電型が n 型であり、前記第 2 の導電型が p 型である、請求項 8 に記載のパワー IC デバイス。

【請求項 20】

前記第 1 の導電型が p 型であり、前記第 2 の導電型が n 型である、請求項 8 に記載のパワー IC デバイス。

【請求項 21】

パワー集積回路 (IC) デバイスであって、

第 1 の導電型の基板に配置された横型高電圧電界効果トランジスタ (HV FET) を含み、前記横型 HV FET は、

第 1 の導電型とは逆の第 2 の導電型の第 1 のウェル領域と、

第 2 の導電型の第 1 のドレイン領域とを含み、前記第 1 のドレイン領域は前記第 1 のウェル領域に形成され、前記第 1 のウェル領域は前記横型 HV FET のドリフト領域を含み、前記横型 HV FET はさらに、

前記第 1 のウェル領域に隣接する第 1 の導電型の第 1 のボディ領域と、

前記第 1 のボディ領域に配置された第 2 の導電型の第 1 のソース領域と、

前記第 1 のソース領域に隣接して前記第 1 のボディ領域に配置された第 1 の導電型の第 1 のコンタクト領域と、

前記基板上にわたって配置された第 1 の絶縁ゲートとを含み、前記第 1 の絶縁ゲートは、前記第 1 のソース領域から前記第 1 のウェル領域上にまで横方向に延在し、前記パワー IC デバイスはさらに、

前記横型 HV FET を通って流れる電流のごく一部を検知するための横型センス電界効果トランジスタ (FET) デバイスを含み、前記横型センス FET は前記横型 HV FET に隣接して前記基板に配置されており、前記横型センス FET は、

第 2 の導電型の第 2 のウェル領域を含み、前記第 2 のウェル領域は前記センス FET の拡張されたドレインを含み、前記横型センス FET はさらに、

前記第 2 のウェル領域に配置された第 2 の導電型の第 2 のドレイン領域を含み、前記第 2 のドレイン領域は前記第 1 のドレイン領域に電氣的に結合されており、前記横型センス FET はさらに、

第 1 の導電型の第 2 のボディ領域を含み、前記第 2 のボディ領域は第 1 および第 2 の側方の境界を有し、前記第 1 の側方の境界は前記第 2 のウェル領域に隣接し、前記基板の区域が、前記基板の表面において、前記横型 HV FET の前記第 1 のボディ領域から第 1 の距離だけ前記第 2 の側方の境界を隔てており、前記横型センス FET はさらに、

前記第 2 のボディ領域内に配置された第 2 の導電型の第 2 のソース領域と、

前記第 2 のボディ領域内において前記第 2 のソース領域に隣接して配置された第 1 の導電型の第 2 のコンタクト領域と、

前記基板上にわたって配置された第 2 の絶縁ゲートとを含み、前記第 2 の絶縁ゲートは、前記第 2 のソース領域から前記第 2 のウェル領域上にまで横方向に延在し、前記第 2 の絶縁ゲートは前記第 1 の絶縁ゲートに電氣的に結合されており、前記横型センス FET はさらに、

前記区域に配置された第 2 の導電型の第 3 のウェル領域を含み、第 1 および第 2 のコンタクトを有するセンス抵抗器が前記第 3 のウェル領域に形成され、前記第 1 のコンタクトは前記第 1 のソース領域に電氣的に結合され、前記第 2 のコンタクトは前記第 2 のソース領域に電氣的に結合される、パワー IC デバイス。

【請求項 22】

前記第 1 のソース領域と前記第 1 のコンタクト領域とを電氣的に接続する第 1 のソース電極と、

前記第 2 のソース領域と前記第 2 のコンタクト領域とを電氣的に接続する第 2 のソース

電極とを含み、前記横型 H V F E T および前記横型センス F E T がオン状態である場合に、前記横型 H V F E T を通って流れる電流に比例する電圧電位が前記第 2 のソース電極において生成される、請求項 2 1 に記載のパワー I C デバイス。

【請求項 2 3】

寄生基板抵抗器が、前記基板において前記第 1 のボディ領域と第 2 のボディ領域との間に形成される、請求項 2 2 に記載のパワー I C デバイス。

【請求項 2 4】

前記寄生基板抵抗器は、前記第 1 のソース電極と第 2 のソース電極との間において前記センス抵抗器と平行に電氣的に結合され、前記寄生基板抵抗器は、前記センス抵抗器の抵抗よりも少なくとも 2 5 倍大きい抵抗値を有する、請求項 2 3 に記載のパワー I C デバイス。

【請求項 2 5】

前記センス抵抗器の抵抗値は、前記横型センス F E T のデバイス抵抗の少なくとも 4 分の 1 である、請求項 2 1 に記載のパワー I C デバイス。

【請求項 2 6】

前記横型センス F E T のデバイス抵抗は、前記横型 H V F E T のデバイス抵抗よりも少なくとも 1 0 倍大きい、請求項 2 5 に記載のパワー I C デバイス。

【請求項 2 7】

前記第 1 のボディ領域と前記第 2 のボディ領域とが、前記第 1 の距離よりも少なくとも 8 倍長い第 2 の距離だけ隔てられる、請求項 2 1 に記載のパワー I C デバイス。

【請求項 2 8】

前記第 1 のドレイン領域と前記第 2 のドレイン領域とを電氣的に接続するドレイン電極をさらに含む、請求項 2 1 に記載のパワー I C デバイス。

【請求項 2 9】

前記第 1、第 2 および第 3 のウェル領域の各々のドーピング濃度は、前記寄生基板抵抗器の抵抗値が前記センス抵抗器の抵抗値よりも大きくなるように、前記基板のドーピング濃度よりも少なくとも 1 0 0 倍高い、請求項 2 1 に記載のパワー I C デバイス。

【請求項 3 0】

パワー集積回路 (I C : integrated circuit) デバイスであって、

第 1 の導電型の基板と、横型高電圧電界効果トランジスタ (H V F E T : high-voltage field-effect transistor) とを含み、前記横型 H V F E T は、第 1 の導電型とは逆の第 2 の導電型の第 1 のウェル領域に配置された第 1 のドレイン領域と、第 1 の導電型の第 1 のボディ領域に配置された第 1 のソース領域と、前記第 1 のソース領域に電氣的に接続された第 1 のソース電極とを含み、前記パワー I C デバイスはさらに、

前記横型 H V F E T から横方向に間隔をあけて配置されたセンス F E T を含み、前記センス F E T は、第 2 の導電型の第 2 のウェル領域に配置された第 2 のドレイン領域と、第 1 の導電型の第 2 のボディ領域に配置された第 2 のソース領域と、前記第 2 のソース領域に電氣的に接続された第 2 のソース電極とを含み、前記パワー I C デバイスはさらに、

前記基板のうち前記第 1 のボディ領域と前記第 2 のボディ領域との間の区域に横方向に配置された第 2 の導電型の第 3 のウェル領域を含み、センス抵抗器が、前記第 3 のウェル領域において間隔をあけて配置された第 1 のコンタクト領域と第 2 のコンタクト領域との間に形成され、前記第 1 のソース電極は、前記第 1 のコンタクト領域に電氣的に接続され、前記第 2 のソース電極は前記第 2 のコンタクト領域に電氣的に接続されており、前記横型 H V F E T および前記センス F E T がオン状態であれば、前記横型 H V F E T を通って流れる第 1 の電流に比例する電圧電位が前記第 2 のソース電極において生成される、パワー I C デバイス。

【請求項 3 1】

パワー集積回路 (I C) デバイスであって、

基板と、前記基板に配置された横型高電圧電界効果トランジスタ (H V F E T) とを含み、前記横型 H V F E T は、ソース領域およびドレイン領域と、ゲートとを有し、前記ソ

ース領域は第 1 のボディ領域に配置され、前記パワー I C デバイスはさらに、

前記横型 H V F E T に隣接して前記基板に配置された横型センス F E T を含み、前記横型センス F E T はソース領域およびドレイン領域と、ゲートとを有し、前記横型センス F E T の前記ソース領域は第 2 のボディ領域に配置され、前記横型センス F E T は、前記基板の表面において、前記横型 H V F E T から第 1 の距離だけ横方向に隔てられており、前記パワー I C デバイスはさらに、

前記横型 H V F E T の前記第 1 のボディ領域と前記横型センス F E T の前記第 2 のボディ領域との間に形成された寄生基板抵抗器と、

前記横型 H V F E T の第 1 のソース電極と前記横型センス F E T の第 2 のソース電極との間に結合されたセンス抵抗器とを含み、前記第 1 および第 2 のソース電極は、前記センス抵抗器および前記寄生基板抵抗器が平行に結合されるように、前記第 1 および第 2 のボディ領域にオーム接続される、パワー I C デバイス。