



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201145632 A1

(43)公開日：中華民國 100 (2011) 年 12 月 16 日

(21)申請案號：100105854

(22)申請日：中華民國 100 (2011) 年 02 月 22 日

(51)Int. Cl. : **H01L45/00 (2006.01)**

(30)優先權：2010/02/24 美國 12/711,810

(71)申請人：桑迪士克 3 D 公司 (美國) SANDISK 3D LLC (US)
美國

(72)發明人：克魯波 法蘭茲 KREUPL, FRANZ (DE)；張京燕 ZHANG, JINGYAN (US)；許匯文 XU, HUIWEN (CN)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：55 項 圖式數：4 共 55 頁

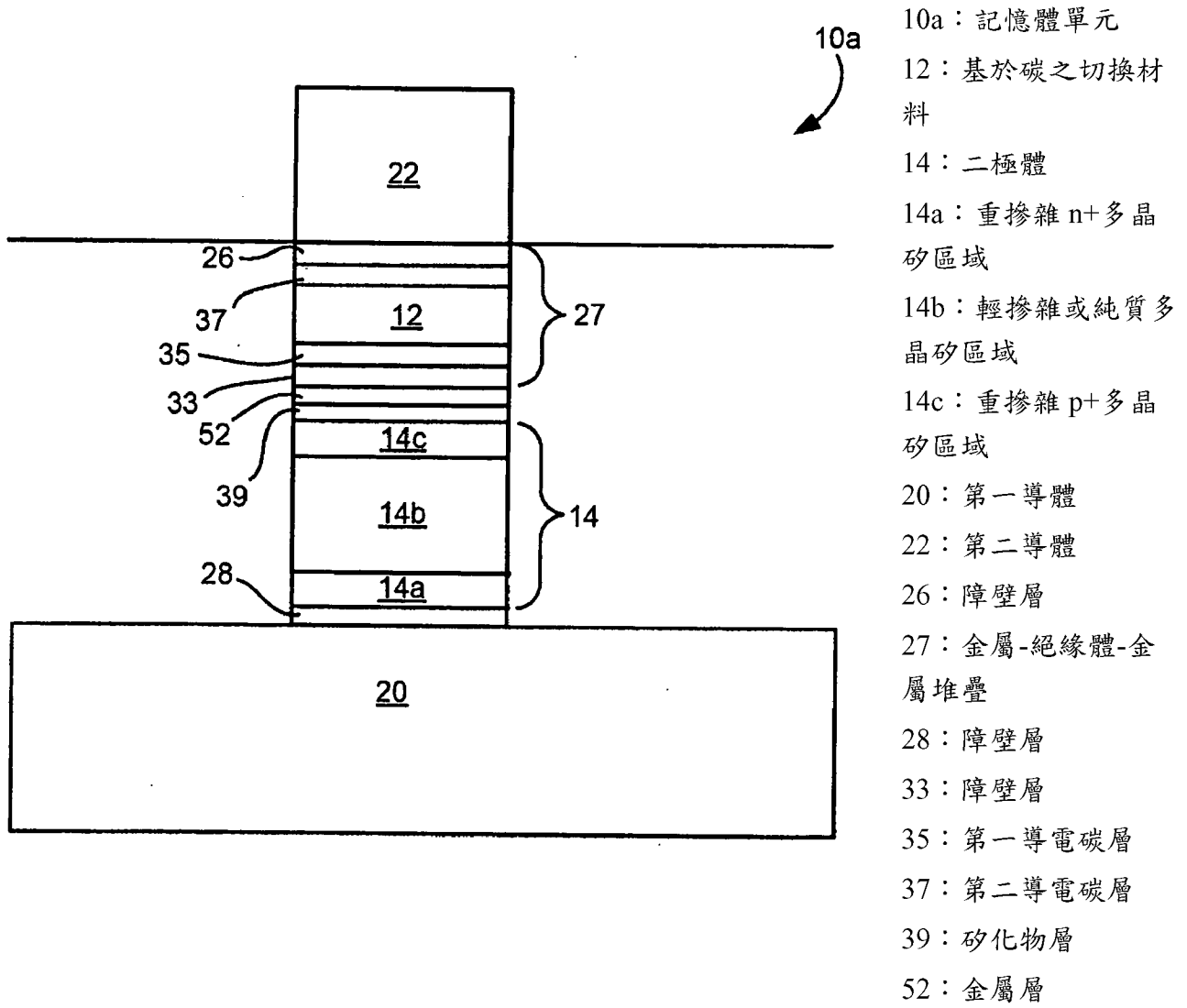
(54)名稱

具有含矽之碳切換層的記憶體晶格及其形成方法

MEMORY CELL WITH SILICON-CONTAINING CARBON SWITCHING LAYER AND METHODS FOR FORMING THE SAME

(57)摘要

在第一態樣中，提供一種形成一記憶體單元之方法，其包含：(1)形成一金屬-絕緣體-金屬 (MIM)堆疊，該 MIM 堆疊包含(a)一第一導電碳層；(b)一低氫含矽之碳層，其在該第一導電碳層上面；及(c)一第二導電碳層，其在該低氫含矽之碳層上面；及(2)形成耦合至該 MIM 堆疊之一引導元件。提供眾多其他態樣。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201145632 A1

(43)公開日：中華民國 100 (2011) 年 12 月 16 日

(21)申請案號：100105854

(22)申請日：中華民國 100 (2011) 年 02 月 22 日

(51)Int. Cl. : **H01L45/00 (2006.01)**

(30)優先權：2010/02/24 美國 12/711,810

(71)申請人：桑迪士克 3 D 公司 (美國) SANDISK 3D LLC (US)
美國

(72)發明人：克魯波 法蘭茲 KREUPL, FRANZ (DE)；張京燕 ZHANG, JINGYAN (US)；許匯文 XU, HUIWEN (CN)

(74)代理人：黃章典；樓穎智

申請實體審查：無 申請專利範圍項數：55 項 圖式數：4 共 55 頁

(54)名稱

具有含矽之碳切換層的記憶體晶格及其形成方法

MEMORY CELL WITH SILICON-CONTAINING CARBON SWITCHING LAYER AND METHODS FOR FORMING THE SAME

(57)摘要

在第一態樣中，提供一種形成一記憶體單元之方法，其包含：(1)形成一金屬-絕緣體-金屬 (MIM)堆疊，該 MIM 堆疊包含(a)一第一導電碳層；(b)一低氫含矽之碳層，其在該第一導電碳層上面；及(c)一第二導電碳層，其在該低氫含矽之碳層上面；及(2)形成耦合至該 MIM 堆疊之一引導元件。提供眾多其他態樣。

六、發明說明：

【發明所屬之技術領域】

本發明係關於非揮發性記憶體，且更特定而言係關於具有一含矽之碳切換層之一記憶體單元及用於形成該記憶體單元之方法。

【先前技術】

已知依據基於碳之可逆電阻切換元件形成之非揮發性記憶體。舉例而言，2007年12月31日提出申請且標題為「Memory Cell That Employs A Selectively Fabricated Carbon Nano-Tube Reversible Resistance Switching Element And Methods Of Forming The Same」之美國專利申請案序列號第11/968,154號(「'154申請案」)闡述一種可再寫之非揮發性記憶體單元，其包含與一基於碳之可逆電阻率切換材料串聯耦合之二極體，該申請案出於各種目的以全文引用之方式併入本文中。

然而，製造依據基於碳之切換材料之記憶體裝置在技術上有挑戰，且形成採用基於碳之切換材料之記憶體裝置之改良方法係期望的。

【發明內容】

在本發明之一第一態樣中，提供一種形成一記憶體單元之方法，該方法包含：(1)形成一金屬-絕緣體-金屬(「MIM」)堆疊，該MIM堆疊包含：(a)一第一導電碳層；(b)一低氫含矽之碳層，其在該第一導電碳層上面；及(c)一第二導電碳層，其在該低氫含矽之碳層上面；及(2)形成

耦合至該MIM堆疊之一引導元件。

在本發明之一第二態樣中，提供一種形成一記憶體單元之方法，該方法包含：(1)藉由以下步驟形成一MIM堆疊：(a)形成一第一導電碳層；(b)形成一低氫含矽之碳層，其在該第一導電碳層上方；及(c)形成一第二導電碳層，其在該低氫含矽之碳層上方；及(2)形成耦合至該MIM堆疊之一引導元件。

在本發明之一第三態樣中，提供一種形成一記憶體單元之方法，該方法包含：(1)藉由以下步驟形成一MIM堆疊：(a)形成一低氫導電碳層；及(b)將矽植入至該低氫導電碳層中以形成一第一導電碳層、在該第一導電碳層上面之一低氫含矽之碳層、及在該低氫含矽之碳層上面之一第二導電碳層；及(2)形成耦合至該MIM堆疊之一引導元件。

在本發明之一第四態樣中，提供一種記憶體單元，其包含：(1)一MIM堆疊，該MIM堆疊包含：(a)一第一導電碳層；(b)一低氫含矽之碳層，其在該第一導電碳層上面；及(c)一第二導電碳層，其在該低氫含矽之碳層上面；及(2)耦合至該MIM堆疊之一引導元件。

在本發明之一第五態樣中，提供一種記憶體單元，其包含：(1)一第一導電軌；(2)一MIM堆疊，其形成於該第一導電軌上面，該MIM堆疊包含：(a)一第一導電碳層，該第一導電碳層具有不大於約100毫歐姆-公分之一電阻率；(b)一低氫含矽之碳層，其在該第一導電碳層上面，該低氫含矽之碳層包括至少約30原子%之矽；及(c)一第二導電碳

層，其在該低氫含矽之碳層上面，該第二導電碳層具有不大於約100毫歐姆-公分之一電阻率；(3)一引導元件，其形成於該第一導電軌上面且與該MIM堆疊串聯；及(4)一第二導電軌，其在該MIM堆疊及引導元件上面。

在本發明之一第六態樣中，提供一種形成一MIM堆疊之方法，該方法包含：(1)形成一第一導電碳層；(2)形成一低氫含矽之碳層，其在該第一導電碳層上方；及(3)形成一第二導電碳層，其在該低氫含矽之碳層上方。

在本發明之一第七態樣中，提供一種形成一MIM堆疊之方法，該方法包含：(1)形成一低氫導電碳層；及(2)將矽植入至該低氫導電碳層中以形成一第一導電碳層、在該第一導電碳層上面之一低氫含矽之碳層及在該低氫含矽之碳層上面之一第二導電碳層。

在本發明之一第八態樣中，提供一MIM堆疊，其包含：(1)一第一導電碳層；(2)一低氫含矽之碳層，其在該第一導電碳層上面；及(3)一第二導電碳層，其在該低氫含矽之碳層上面。提供眾多其他態樣。

依據以下詳細闡述、隨附申請專利範圍及附圖，本發明之其他特徵及態樣將變得更加顯而易見。

【實施方式】

依據結合以下圖式考量之以下詳細說明，可更清楚地理解本發明之特徵，所有圖式中相同之參考編號表示相同之元件。

已展示某些基於碳之材料來展現可適合用於非揮發性記

憶體中之可逆電阻率切換屬性。如本文所使用，基於碳之可讀取-寫入或「切換」材料大體而言可包含含有奈米結晶石墨烯之非晶碳(在本文中稱為「石墨碳」)、石墨烯、石墨、碳奈米管、非晶類鑽碳(「DLC」)、碳化矽、碳化硼及其他晶質形式之碳中之一或多者，且亦可包含二級材料。

基於碳之切換材料已在實驗室範圍之裝置上示範了記憶體切換屬性，其中具有在接通(ON)與關斷(OFF)狀態之間的一100x分離及中至高範圍電阻改變。接通與關斷狀態之間的此一間隙使基於碳之切換材料成為用於記憶體單元之可行候選者，其中該基於碳之切換材料與垂直二極體、薄膜電晶體或其他引導元件串聯耦合。舉例而言，依據夾於兩個金屬之間或其他導電層之間的一基於碳之切換材料形成之一MIM堆疊可充當一記憶體單元之一電阻切換元件。舉例而言，一CNT MIM堆疊可與一二極體或電晶體串聯整合以形成如(例如)'154申請案中所述之一可讀取-寫入記憶體裝置。

已證實，對在記憶體裝置中實施基於碳之切換材料之嘗試在技術上是有挑戰的。例如，基於碳之切換材料可能難以切換且可能要求超過電極及/或與該切換材料一起使用之引導元件之容量之電流密度。進一步地，基於碳之切換材料可能在裝置製造期間排氣、收縮及剝落。

在本發明之實例性實施例中，使用低氫碳層(諸如低氫含矽之碳層)及高電流密度持續電極形成MIM堆疊及/或記

憶體單元及陣列。將矽引入至一碳層中增加碳層之電阻率，使得碳層與用於切換該碳層之一選擇(引導)裝置更相容。

如本文使用，「一低氫碳層」或「一低氫含矽之碳層」係指具有小於約10%、在某些實施例中小於約5%且在某些實施例中在約1-5%之間的氫含量之碳層。實例性低氫含矽之碳層可具有約30-40原子%或更多的矽。在其他實施例中，可提供其他量之氫或矽。低氫含矽之碳層可藉由各種方法形成，諸如濺鍍一石墨目標、濺鍍碳化矽目標、將矽植入至一低氫之碳層中、或諸如此類。

低氫之碳層在裝置製造期間幾乎不排氣及收縮，使得此等膜不太可能剝落且更適合用於記憶體元件中。碳與矽形成有力之鍵，以使得矽將不會像其他摻雜劑一樣容易在加熱時排氣。矽亦抑制在加熱期間形成 sp^2 鍵，否則將降低所得碳膜之電阻率。矽之出現亦減小碳層之熱導率，此增加局部加熱以改良切換。

在本發明之實例性實施例中，可採用高電流密度承受電極，其耐受切換期間之碳層細絲中之高電流密度。此允許將高電流密度安全地分佈至用於一記憶體單元中之其他金屬化層中。實例性高電流密度持續電極包含具有主要性的 sp^2 碳鍵(例如，至少50%之碳係 sp^2 鍵結碳)之碳層、金屬碳化物層或類似層。在某些實施例中，此等高電流密度持續電極可用作一記憶體單元之一肖特基(Schottky)二極體引導元件之部分。在下文參照圖1至圖4E闡述本發明之此等

及其他實施例。

實例性發明性記憶體單元

圖1係依照本發明之一實例性記憶體單元10之一示意性圖解說明。記憶體單元10包含耦合至一引導元件14之一可逆電阻率切換材料12。可逆電阻率切換材料12具有可在兩個或更多個狀態之間可逆地切換之一電阻率。

舉例而言，可逆電阻率切換材料12在製造時可係在一初始低電阻率狀態下。在施加一第一電壓及/或電流時，該材料可切換至一高電阻率狀態。施加一第二電壓及/或電流可使可逆電阻率切換材料12返回至一低電阻率狀態。另一選擇係，可逆電阻率切換材料12在製造時可係在一初始高電阻率狀態下，在施加適當電壓及/或電流時，其可逆地可切換至一低電阻狀態。當用於一記憶體單元中時，一個電阻率狀態可表示二進制「0」，而另一電阻率狀態可表示二進制「1」，雖然可使用兩個以上的資料/電阻率狀態。

採用可逆電阻率切換材料之記憶體單元之眾多可逆電阻率切換材料及操作係闡述於(舉例而言)2005年5月9日提出申請且標題為「Rewriteable Memory Cell Comprising A Diode And A Resistance Switching Material」之美國專利申請案序列號第11/125,939號(「'939申請案」)中，該專利申請案出於各種目的而以全文引用的方式併入本文中。

引導元件14可包含一薄膜電晶體、二極體、金屬-絕緣體-金屬隧穿電流裝置、或藉由限制跨過可逆電阻率切換

材料12之電壓及/或流過可逆電阻率切換材料12之電流來展現非歐姆傳導之另一類似引導元件。以此方式，記憶體單元10可用作二維或三維記憶體陣列之部分，且可在不影響該陣列中其他記憶體單元之狀態之情形下將資料寫入至記憶體單元10及/或自記憶體單元10讀取資料。在某些實施例中，可省略引導元件14，且記憶體單元10可與一遠端定位之引導元件一起使用。

下文參照圖2A至圖2D闡述記憶體單元10、可逆電阻率切換材料12及引導元件14之實例性實施例。

記憶體單元及記憶體陣列之實例性實施例

圖2A係依照本發明之一記憶體單元10之一實例性實施例之一簡化透視圖，其中引導元件14係二極體。記憶體單元10包含與一第一導體20與一第二導體22之間的二極體14串聯耦合之一基於碳之可逆電阻率切換材料12(「基於C之切換材料12」)。

在某些實施例中，可在基於C之切換材料12與二極體14之間形成一障壁層33，且可在基於C之切換材料12與第二導體22之間形成一障壁層26(形成可充當一可逆電阻率切換元件之一MIM堆疊27)。可在二極體14與第一導體20之間形成一額外障壁層28。障壁層33、26及28可包含鈦、氮化鈦、鉭、氮化鉭、鎢、氮化鎢、鉬、或另一類似障壁層。障壁層26可與第二導體22分離或係其之部分，且障壁層28可與第一導體20分離或係其之部分。

依照本發明之一或多個實施例，基於C之切換材料12可

係一低氫含矽之碳切換層。矽之出現可將碳層之電阻率增加至與引導元件14之電流容量相容之一位元準。在某些實施例中，基於C之切換材料12之矽含量可係約30至40原子%或更多，且氫含量可係在約1至5%之間。矽在碳中之分佈無需係同質的，但可具有高斯或鐘形分佈。舉例而言，在某些實施例中，基於C之切換材料12之矽含量至少在延伸1至10 nm之一局部區中可係約30至40原子%或更多。可提供其他矽及/或氫位準。

基於C之切換材料12與充當MIM堆疊27之高電流密度持續電極之一第一導電碳層35及一第二導電碳層37接觸。如下文將進一步闡述，導電碳層35及37允許將在基於C之切換材料12之切換期間產生之高電流密度安全地分佈至記憶體單元10中使用之其他金屬化層(諸如障壁層26及33)以及頂導體22。

二極體14可包含任一適合二極體，例如一垂直多晶質p-n或p-i-n二極體(或是該二極體之一n區域位於一p區域上面之向上指向或是該二極體之一p區域位於一n區域上面之向下指向)。在某些實施例中，二極體14可係一肖特基二極體。下文參照圖3A至圖3B闡述二極體14之實例性實施例。

第一導體20及/或第二導體22可包含任一適合之導電材料，諸如鎢、任一適當金屬、重摻雜半導體材料、一導電矽化物、一導電矽化物-鍍化物、一導電鍍化物或類似材料。在圖2A之實施例中，第一導體20與第二導體22分別係

軌道形狀且沿不同方向延伸(例如，大致彼此垂直)。亦可使用其他導體形狀及/或組態。在某些實施例中，障壁層、黏合層、抗反射塗層及/或類似層(未展示)可與第一導體20及/或第二導體22一起使用以改良裝置效能及/或幫助裝置製造。

圖2B係依據複數個記憶體單元10(諸如，圖2A之記憶體單元10)形成之一第一記憶體層級30之一部分之一簡化透視圖。為簡化起見，不單獨展示基於C之切換材料12、第一及第二導電碳層35及37、二極體14、及障壁層33、26及28。記憶體陣列30係一「跨點」陣列，包含耦合有多個記憶體單元之複數個位元線(第二導體22)及字線(第一導體20)(如圖所示)。亦可使用其他記憶體陣列組態，如可使用多個記憶體層級。

圖2C係包含定位於一第二記憶體層級44下面之一第一記憶體層級42之一單片式三維記憶體陣列40a之一部分之一簡化透視圖。記憶體層級42及44各自包含在一跨點陣列中之複數個記憶體單元10。熟習此項技術者將瞭解，可在第一與第二記憶體層級42與44之間提供額外層(例如，一層間電介質)，但為簡化起見在圖2C中未展示。亦可使用其他記憶體陣列組態，如可使用額外記憶體層級。在圖2C之實施例中，所有二極體可沿相同方向「指向」，諸如相依於是否採用在二極體之底部或頂部上具有一p摻雜區域之p-i-n二極體而向上或向下，從而簡化二極體製造。

在某些實施例中，該等記憶體層級可如標題為「High-

Density Three-Dimensional Memory Cell」之美國專利第6,952,030號中所述而形成，該專利出於各種目的以全文引用之方式併入本文中。例如，一第一記憶體層級之第二導體可用作定位於該第一記憶體層級上面之一第二記憶體層級之第一導體，如圖2D中展示。於此等實施例中，毗鄰記憶體層級上之二極體較佳地指向相反方向，如2007年3月27日提出申請且標題為「Large Array Of Upward Pointing P-I-N Diodes Having Large And Uniform Current」之美國專利申請案序列號第11/692,151號(「'151申請案)中所述，該申請案出於各種目的以全文引用之方式併入本文中。舉例而言，如圖2D中展示，第一記憶體層級42之二極體可係如箭頭D1指示之向上指向二極體(例如，其中p區域在二極體之底部處)，而第二記憶體層級44之二極體可係如箭頭D2所指示之向下指向二極體(例如，其中n區域在二極體之底部處)，或反之亦然。

一單片式三維記憶體陣列係其中多個記憶體層級形成於一單個基板(諸如，一晶圓)上面而無介入基板之一記憶體陣列。形成一個記憶體層級之層沈積或直接地生長於一或多個現有層級之層上方。作為對比，已藉由在單獨基板上形成記憶體層級且將該等記憶體層級彼此疊加黏合來構造堆疊式記憶體，如Leedy之標題為「Three Dimensional Structure Memory」之美國專利第5,915,167號中所述。該等基板可在鍵結之前自記憶體層級薄化或移除，但在最初在單獨基板上方形成記憶體層級時，此等記憶體並非真正

的單片式三維記憶體陣列。

圖3A係依照本發明之圖1之記憶體單元10之一第一實例性實施例(稱為記憶體單元10a)之一橫斷面圖。特定而言，記憶體單元10a分別包含MIM堆疊27、二極體14、及第一導體20與第二導體22。MIM堆疊27包含基於C之切換材料12、第一導電碳層35、第二導電碳層37且在某些實施例中包含障壁層33及/或26。在所展示之實施例中，MIM堆疊27定位於二極體14上面。然而，在其他實施例中，MIM堆疊27可定位於二極體14下方。在某些實施例中，二極體14可遠離MIM堆疊27定位(例如，不在第一導體20與第二導體22之間)。

在圖3A之實施例中，二極體14可係一垂直p-n或p-i-n二極體，其可向上指向或向下指向。在某些實施例中，二極體14可依據一多晶質半導體材料形成，諸如多晶矽、一多晶質矽-鍺合金、多晶鍺或任一其他適合材料。舉例而言，二極體14可包含一重摻雜n+多晶矽區域14a、在n+多晶矽區域14a上面之一輕摻雜或一純質(不意欲摻雜)多晶矽區域14b及在純質區域14b上面之一重摻雜p+多晶矽區域14c。應理解，可反轉該n+及p+區域之位置。

在二極體14係依據所沈積之矽(例如，非晶質或多晶質)製造而成之情況下，可在製造時在二極體14上形成矽化物層39以將所沈積之矽置於一低電阻率狀態下。此一低電阻率狀態允許更容易地程式化記憶體單元10，乃因不需要一大的電壓將所沈積之矽切換至一低電阻率狀態。舉例而

言，一矽化物形成之金屬層52(諸如鈦或鈷)可沈積於p+多晶矽區域14c上，且用於形成矽化物層39(如下文所述)。下文參照圖4A至圖4E闡述針對此一實施例之額外處理細節。

圖3B係依照本發明之圖1之記憶體單元10之一替代性實施例性實施例(稱為記憶體單元10b)之一橫截面圖。圖3B之記憶體單元10b類似於圖3A之記憶體單元10a，但記憶體單元10b之二極體14係一肖特基二極體，而非圖3A之記憶體單元10a中之一p-n或p-i-n二極體。特定而言，移除障壁層33，且將諸如n型半導體材料之半導體材料43置於與第一導電碳層35直接接觸處以形成一肖特基二極體14。另外，將矽化物層39定位於半導體材料43下面。

一肖特基二極體之使用簡化製造，減少形成記憶體單元10b及記憶體單元10b之高度所需之步驟數目。在某些實施例中，第一及第二導電碳層35及37分別可包含具有主要性的 sp^2 碳鍵(例如，至少50%之碳係 sp^2 鍵結碳)之導電碳層，及/或諸如TaC、WC、TaCN、WCN等等之導電金屬碳化物層。在下文參照圖4A至圖4E分別地進一步闡述第一及第二導電碳層35及37。在一個實施例性實施例中，半導體材料43可具有約10至500奈米之一厚度、及約 10^{16} cm^{-3} 至 10^{18} cm^{-3} 之一n型摻雜濃度，但可使用其他摻雜位準及/或厚度。大體而言，摻雜濃度在半導體材料43之接近矽化物層39之區域中非常高以保證半導體材料43與矽化物層39之間的良好歐姆接觸。

在所展示之實施例中，MIM堆疊27係位於二極體14上面。然而，在其他實施例中，MIM堆疊27可位於二極體14下方。在某些實施例中，二極體14可位於遠離MIM堆疊27處(例如，不在第一與第二導體20及22之間)。在下文參照圖4A至圖4E提供MIM堆疊27之額外處理細節。

用於記憶體單元之實例性製造製程

現參照圖4A至圖4E，闡述依照此發明形成一記憶體層級之一第一實例性方法。特定而言，圖4A至圖4E圖解說明形成包含圖2A之記憶體單元10之一記憶體層級之一實例性方法。如下文將闡述，第一記憶體層級包含複數個記憶體單元，每一記憶體單元具有一引導元件及耦合至該引導元件之一基於C之切換材料。可在該第一記憶體層級上面製造額外記憶體層級(如先前參照圖2C至圖2D所述)。可使用一類似方法形成包含圖3A之記憶體單元10a或圖3B之記憶體單元10b之一記憶體層級。

參照圖4A，基板100係展示為已經受數個處理步驟。基板100可係任一適合基板，諸如矽、鍺、矽-鍺、未摻雜、摻雜、塊體、絕緣體上矽(「SOI」)或具有或不具有額外電路之其他基板。舉例而言，基板100可包含一或多個n井或p井區域(未展示)。

在基板100上面形成絕緣層102。在某些實施例中，絕緣層102可係二氧化矽、氮化矽、氮氧化矽之一層或任一其他適合絕緣層。

在形成絕緣層102之後，在絕緣層102上方形成一黏合層

104(例如，藉由物理氣相沈積或另一方法)。舉例而言，黏合層 104 可係約 20 至約 500 埃、且較佳約 100 埃之氮化鈦或另一適合黏合層，諸如氮化鉭、氮化鎢、一或多個黏合層之組合或類似層。可採用其他黏合層材料及/或厚度。在某些實施例中，黏合層 104 可係可選的。

在形成黏合層 104 之後，在黏合層 104 上方沈積一導電層 106。導電層 106 可包含任一適合之導電材料，諸如藉由任一適合方法(例如，化學氣相沈積(「CVD」)、物理氣相沈積(「PVD」)等等)沈積之鎢或另一適合金屬、重摻雜之半導體材料、一導電矽化物、一導電矽化物-鍍化物、一導電鍍化物或類似材料。在至少一個實施例中，導電層 106 可包括約 200 至約 2500 埃之鎢。亦可使用其他導電層材料及/或厚度。

在形成導電層 106 之後，圖案化及蝕刻黏合層 104 及導電層 106。舉例而言，可藉助一軟或硬遮罩使用習用微影技術及濕式或幹式蝕刻處理來圖案化及蝕刻黏合層 104 及導電層 106。在至少一個實施例中，黏合層 104 及導電層 106 經圖案化及蝕刻以形成大致平行、大致共面之第一導體 20。第一導體 20 之實例性寬度及/或第一導體 20 之間的間距介於自約 200 至約 2500 埃之範圍內，但可使用其他導體寬度及/或間距。

在已形成第一導體 20 之後，在基板 100 上方形成一電介質層 58a 以填充導體 20 之間的空洞。舉例而言，可將大約 3000 至 7000 埃之二氧化矽沈積於基板 100 上並使用化學機

械研磨或一回蝕製程將其平坦化以形成一平面表面110。平面表面110包含由電介質材料分離之第一導體20之已曝露頂表面(如圖所示)。亦可使用其他電介質材料(諸如氮化矽、氮氧化矽、低K電介質等等)及/或其他電介質層厚度。實例性低K電介質包含碳摻雜氧化物、矽碳層或類似層。

在本發明之其他實施例中，可使用一金屬鑲嵌方法形成第一導體20，其中電介質層58a經形成、圖案化及蝕刻以形成第一導體20之開孔或空洞。然後該等開孔或空洞可填充有黏合層104及導電層106(及/或一導電晶種、導電填料及/或障壁層(若需要))。隨後可平坦化黏合層104及導電層106以形成平面表面110。在此一實施例中，黏合層104將給每一開孔或空洞之底部及側壁加襯。

參照圖4B，在基板100之平坦化頂表面110上方形成一障壁層28。障壁層28可係約20至約500埃、且較佳約100埃之氮化鈦或另一適合障壁層，諸如氮化鈮、氮化鎢、鎢、鈮、一或多個障壁層之組合、與其他層組合之障壁層(諸如鈦/氮化鈦、鈮/氮化鈮或鎢/氮化鎢堆疊或類似堆疊)。可採用其他障壁層材料及/或厚度。

在沈積障壁層28之後，開始用於形成每一記憶體單元之二極體(例如，圖1及圖2A中之二極體14)之半導體材料之沈積。每一二極體可係如先前所述之一垂直向上或向下指向之p-n或p-i-n二極體。在某些實施例中，每一二極體係由一多晶質半導體材料(諸如多晶矽、一多晶質矽-鍍合

金、多晶銻)或任一其他適合材料形成。為便利起見，本文中闡述一多晶矽之向下指向二極體之形成。應瞭解，亦可使用其他材料及/或二極體組態。

參照圖4B，在形成障壁層28之後，在障壁層28上沈積一重摻雜n+矽層14a。在某些實施例中，n+矽層14a在沈積時係在一非晶質狀態下。於其他實施例中，n+矽層14a在沈積時係在一多晶質狀態下。可採用CVD或另一適合製程來沈積n+矽層14a。在至少一個實施例中，n+矽層14a可由(舉例而言)具有約 10^{21} cm^{-3} 之一摻雜濃度之約100埃至約1000埃、較佳約100埃之磷或砷摻雜之矽形成。亦可使用其他層厚度、摻雜類型及/或摻雜濃度。可對n+矽層14a進行原位摻雜，舉例而言，藉由在沈積期間流入一施體氣體。亦可使用其他摻雜方法(例如，植入)。

在沈積n+矽層14a之後，可在n+矽層14a上方形成一輕摻雜、純質及/或非故意摻雜之矽層14b。在某些實施例中，純質矽層14b在沈積時可係在一非晶質狀態下。在其他實施例中，純質矽層14b在沈積時可係在一多晶質狀態下。可採用CVD或另一適合沈積方法來沈積純質矽層14b。在至少一個實施例中，純質矽層14b可係約500至約4800埃、較佳約2500埃之厚度。亦可使用其他純質層厚度。

可在沈積純質矽層14b之前在n+矽層14a上形成一薄(例如，幾百埃或更少)銻及/或矽-銻合金層(未展示)，以防止及/或減少自n+矽層14a至純質矽層14b中之摻雜劑遷移(如2005年12月9日提出申請且標題為「Deposited Semiconductor

Structure To Minimize N-Type Dopant Diffusion And Method Of Making」之美國專利申請案序列號第11/298,331號，其全文出於各種目的以全文引用之方式併入本文中)。

可藉由離子植入來沈積及摻雜重摻雜p型矽，或可在沈積期間對其進行原位摻雜以形成一p+矽層14c。舉例而言，可採用一毯覆p+植入將硼植入純質矽層14b內達一預定深度。實例性可植入分子離子包含 BF_2 、 BF_3 、B及類似分子離子。在某些實施例中，可採用約 1×10^{15} ions/cm²至 5×10^{15} ions/cm²之一植入劑量。亦可使用其他植入物種及/或劑量。此外，在某些實施例中，可採用一擴散製程。在至少一個實施例中，所產生之p+矽層14c具有約100埃至700埃之一厚度，但可使用其他p+矽層尺寸。

在形成p+矽層14c之後，將矽化物形成金屬層52沈積於p+矽層14c上方。實例性矽化物形成金屬包含濺鍍或以其他方式沈積之鈦或鈷。在某些實施例中，矽化物形成金屬層52具有約10埃至約200埃、較佳約20埃至約50埃且更佳約20埃之一厚度。亦可使用其他矽化物形成金屬層材料及/或厚度。可在矽化物形成金屬層52之頂部處形成氮化物層(未顯示)。

可執行一快速熱退火(「RTA」)步驟以藉由矽化物形成金屬層52與p+區域14c之反應形成矽化物區域。在某些實施例中，可在約540°C處執行RTA達約1分鐘，且致使矽化物形成金屬層52與二極體14之所沈積之矽反應以形成矽化

物層，消耗矽化物形成金屬層 52 之全部或一部分。在 RTA 步驟之後，可使用一濕化學品剝離來自矽化物形成金屬層 52 之任何殘留氮化物層。舉例而言，在矽化物形成金屬層 52 包含 TiN 頂層之情況下，可使用一濕化學品(例如，呈 1:1:1 比率之銨、過氧化物、水)來剝離任何殘留 TiN。

如標題為「Memory Cell Comprising A Semiconductor Junction Diode Crystallized Adjacent To A Silicide」之美國專利第 7,176,064 號中所述，諸如鈦及/或鈷之矽化物形成材料在退火期間與所沈積之矽反應以形成一矽化物層，該專利出於各種目的以全文引用之方式併入本文中。矽化鈦及矽化鈷之晶格間距接近於矽之晶格間距，因此此等矽化物層看似可在毗鄰之所沈積矽結晶時用作所沈積矽之「結晶範本」或「晶種」(例如，一矽化物層在退火期間增強矽二極體 14 之晶體結構)。藉此提供較低電阻率之矽。對於矽鍍合金及/或鍍二極體而言，可達成類似結果。

在 RTA 步驟及氮化物剝離步驟之後，在矽化物形成金屬層 52 上面形成一障壁層 33。障壁層 33 可係約 5 埃至約 800 埃、且較佳約 100 埃之氮化鈦或另一適合障壁層，諸如氮化鈮、氮化鎢、鎢、鉬、一或多個障壁層之組合、與諸如鈦/氮化鈦、鈮/氮化鈮或鎢/氮化鎢堆疊之其他層組合之障壁層、或類似障壁層。可採用其他障壁層材料及/或厚度。

在障壁層 33 上面形成第一導電碳層 35、基於 C 之切換材

料12(例如，一低氫含矽之碳層)及第二導電碳層37。此等層可藉由如下文所述之大量不同方法中之任一者形成。

用以形成碳切換層之矽植入

在一第一實施例中，可藉由沈積一相對厚之低氫導電碳層且然後將矽植入至該層之一中央區域中以形成分別環繞有第一及第二導電碳層35及37之低氫含矽之碳切換材料12來形成層35、12及37。舉例而言，可將約5奈米至20奈米、更大體而言約2奈米至400奈米之非晶碳沈積於障壁層33上方，諸如藉由在約550°C及約5托壓力處使用C₂H₂氣體之電漿增強化學氣相沈積(「PECVD」)。可使用其他前體、溫度及/或壓力。然後可在非晶碳膜上執行一RTA以將碳膜轉換成具有一較低電阻率之主要性的sp²鍵結碳，且促進來自該碳膜之氫氣之排氣。實例性退火條件包含在約700°C處之快速熱退火達約60秒，但可使用其他溫度及/或時間。可使用其他沈積技術形成低氫碳層，諸如濺鍍一石墨目標。

該碳層中可包含諸如氮或硼之摻雜劑。舉例而言，可以約2.8 kV之一能量藉助約 1×10^{16} 原子/cm²至 6×10^{16} 原子/cm²之間、在某些實施例中為 2.4×10^{16} 原子/cm²之一劑量及在1至5原子%之範圍內植入氮。可以約3 kV之一能量藉助約 1×10^{16} 原子/cm²至 6×10^{16} 原子/cm²之間、在某些實施例中為 2.5×10^{16} 原子/cm²之一劑量及在1至5原子%之範圍內植入硼。可使用其他摻雜劑、植入能量及/或植入劑量。在某些實施例中，所產生之膜將具有不大於約 50×10^{-6} 歐姆-公

分至 100×10^{-3} 歐姆-公分、且在某些實施例中約 1×10^{-3} 歐姆-公分至 10×10^{-3} 歐姆-公分之一電阻率。可使用其他電阻率值。

在形成相對厚之碳層之後，可將矽植入至碳層中以形成一低氫含矽之碳層(基於C之切換材料12)。舉例而言，可以約1.5至5 kV之間、或在其他實施例中2.5至2.8 kV之一能量將約 1×10^{15} 原子/cm²至 3×10^{18} 原子/cm²、及在某些實施例中約 1×10^{17} 原子/cm²至 1×10^{18} 原子/cm²之矽植入至碳層中。一植入後退火係可選的。將矽植入至碳層中會形成較高電阻率材料之一區域。具體而言，形成由該植入界定之導電碳層(例如，分別地，第一及第二導電碳層35及37)圍繞之一低氫含矽之碳層(基於C之切換材料12)。

在某些實施例中，該低氫含矽之碳層(基於C之切換材料12)可具有約0.5奈米至200奈米且在某些實施例中約1奈米至5奈米之一厚度。碳材料12之矽含量可介於約0.0001原子%至60原子%且在某些實施例中約30原子%至40原子%之範圍中。碳材料12之電阻率可介於約10歐姆-公分至 1×10^8 歐姆-公分且在某些實施例中 1×10^3 歐姆-公分至 1×10^5 歐姆-公分之範圍中。可使用其他厚度、矽量及/或電阻率。基於C之切換材料12可具有小於約10%、在某些實施例中小於約5%且在某些實施例中在約1%至5%之間之一氫含量。

在某些實施例中，所產生之第一及第二導電碳層35及37分別具有約1奈米至100奈米、且在某些實施例中約5奈米至20奈米之厚度。該第一及第二導電碳層之實例性電阻率

值介於約 50×10^{-6} 歐姆-公分至 100×10^{-3} 歐姆-公分、且在某些實施例中約 1×10^{-3} 歐姆-公分至 10×10^{-3} 歐姆-公分之範圍中。可使用其他厚度及/或電阻率值。矽在第一及第二導電碳層 35 及 37 中之某一併入可改良第一及第二導電碳層 35 及 37 之黏合屬性。另外，在矽植入期間，Si 原子不被停止地透過碳層之一第一部分移動。所植入之 Si 原子可引起在穿過碳層 37 時在其中形成增強之 sp^2 ，且可增強碳層 37 中之導電率。

濺鍍形成之碳切換層

在一第二實施例中，可單獨地及/或順序地形成第一導電碳層 35、基於 C 之切換材料 12、及第二導電碳層 37。舉例而言，在形成障壁層 33 之後，可在障壁層 33 上方沈積(例如，藉由 PECVD)一非晶質碳層，視情況地植入有氮或硼及/或經退火以形成具有充當第一導電碳層 35 之主要性的 sp^2 鍵結碳之一導電碳層。第一導電碳層 35 可具有約 1 奈米至 100 奈米、且在某些實施例中約 5 奈米至 20 奈米之一厚度。第一導電碳層 35 之實例性電阻率值介於約 50×10^{-6} 歐姆-公分至 100×10^{-3} 歐姆-公分、及在某些實施例中約 1×10^{-3} 歐姆-公分至 10×10^{-3} 歐姆-公分之範圍中。可使用其他厚度及/或電阻率值。

在其他實施例中，第一導電碳層 35 可包括一金屬碳化物。舉例而言，可藉由濺鍍一適合之碳化物目標來形成一金屬碳化物導電碳層。可用作第一導電碳層 35 之實例性碳化物層包含 TaC、WC、TaCN、WCN 或類似材料。用於此

等金屬碳化物層之實例性厚度範圍介於約1奈米至100奈米、且在某些實施例中自約2奈米至10奈米之範圍中。在某些實施例中，該等金屬碳化物層可具有約5奈米或更小之一厚度。實例性電阻率值介於約 50×10^{-6} 歐姆-公分至 100×10^{-3} 歐姆-公分、且在某些實施例中約 1×10^{-4} 歐姆-公分至 10×10^{-4} 歐姆-公分之範圍中。可使用其他厚度及/或電阻率值。表格1提供用於一金屬碳化物層之形成之實例性製程參數，其等可用作第一導電碳層35(或第二導電碳層37)。可使用其他流動速率、壓力、溫度、功率及/或間隔。

表1：實例性製程參數
針對濺鍍金屬碳化物目標

製程參數	第一實例性範圍	第二實例性範圍
氬氣流量(SCCM)	5-100	8-15
壓力(毫托)	0.6-40	2-8
基板溫度(°C)	200-550	200-550
目標參考功率(瓦特/CM ² @ 13.56 MHZ)	1-3.5	1-3.5
目標-基板間隔(mm)	22-37	22-37

在形成第一導電碳層35之後，可在第一導電碳層35上方形成基於C之切換材料12。如所提及，基於C之切換材料12包括一低氫含矽之碳層。在某些實施例中，可藉由濺鍍一石墨目標(見下文表格2)以形成一低氫碳層且然後將矽植入至該碳層以形成充當基於C之切換材料12之一低氫含矽之碳層來形成此一層。可採用類似於先前所述之彼等矽植

入劑量及能量之矽植入劑量及能量。

另一選擇係，可藉由濺鍍碳化矽目標(見下文表格3)或在出現一含碳之氣體(諸如CH₄或另一類似氣體)時(見下文表格4)濺鍍矽目標來形成含矽之碳層。表格2至4提供用於形成可用作一基於C之切換材料之一低氫含矽之碳膜之實例性製程參數。亦可使用其他流動速率、壓力、溫度、功率及/或間隔。

表2：實例性製程參數

針對濺鍍石墨目標

製程參數	第一實例性範圍	第二實例性範圍
氫氣流速(SCCM)	5-100	8-15
壓力(毫托)	0.6-40	2-8
基板溫度(°C)	200-550	200-550
目標參考功率(瓦特/CM ² @ 13.56 MHZ)	1-3.5	1-3.5
目標-基板間隔(mm)	22-37	22-37

表3：實例性製程參數

針對濺鍍SiC目標

製程參數	第一實例性範圍	第二實例性範圍
氫氣流速(SCCM)	5-100	8-15
壓力(毫托)	0.6-40	2-8
基板溫度(°C)	200-550	200-550
目標參考功率(瓦特/CM ² @ 13.56 MHZ)	1-3.5	1-3.5
目標-基板間隔(mm)	22-37	22-37

表4：實例性製程參數

針對濺鍍Si目標

製程參數	第一實例性範圍	第二實例性範圍
氫氣流速(SCCM)	5-100	8-15
CH ₄ 流速(SCCM)	0.1-100	0.1-3
壓力(毫托)	0.6-40	2-8
基板溫度(°C)	200-550	200-550
目標參考功率(瓦特/CM ² @ 13.56 MHZ)	1-3.5	1-3.5
目標-基板間隔(mm)	22-37	22-37

在某些實施例中，所產生之低氫含矽之碳層(基於C之切換材料12)可具有約0.5奈米至200奈米、且在某些實施例中係約1奈米至5奈米之一厚度。基於C之切換材料12之矽含量可介於約0.0001原子%至60原子%及在某些實施例中30原子%至40原子%之範圍中。基於C之切換材料12之電阻率可介於自約10歐姆-公分至 1×10^8 歐姆-公分及在某些實施例中 1×10^3 歐姆-公分至 1×10^5 歐姆-公分之範圍中。亦可使用其他厚度、矽量及/或電阻率。基於C之切換材料12可具有小於約10%、在某些實施例中小於約5%及在某些實施例中在約1%至5%之間的一氫含量。

在形成充當基於C之切換材料12之低氫含矽之碳層之後，在基於C之切換材料12上方形成第二導電碳層37。第二導電碳層37可類似於第一導電碳層35(且類似地形成)。舉例而言，第二導電碳層37可包括沈積於基於C之切換材料12上方(例如，藉由PECVD)、植入有氮或硼及/或經退火以形成充當第二導電碳層37之具有主要性的 sp^2 鍵結碳之一導電碳層之一非晶質碳層。第二導電碳層37可具有約1奈米至100奈米及在某些實施例中約5奈米至20奈米之一厚

度。第二導電碳層37之實例性電阻率值介於自約 50×10^{-6} 歐姆-公分至 100×10^{-3} 歐姆-公分、及在某些實施例中約 1×10^{-3} 歐姆-公分至 10×10^{-3} 歐姆-公分之範圍中。亦可使用其他厚度及/或電阻率值。

在其他實施例中，第二導電碳層37可包括一金屬碳化物。舉例而言，可藉由濺鍍一適合之碳化物目標來形成一金屬碳化物導電碳層。可用作第二導電碳層37之實例性碳化物層包含TaC、WC、TaCN、WCN或類似材料。此等金屬碳化物層之實例性厚度範圍介於自約1奈米至100奈米及在某些實施例中約2奈米至10奈米之範圍中。實例性電阻率值介於自約 50×10^{-6} 歐姆-公分至 100×10^{-3} 歐姆-公分、及在某些實施例中自約 1×10^{-4} 歐姆-公分至 10×10^{-4} 歐姆-公分之範圍中。亦可使用其他厚度及/或電阻率值。

基於C之切換材料12可係一低氫含矽之碳切換層，其提供矽以將碳層之電阻率增加至與引導元件14之電流容量相容之一位元準。在某些實施例中，基於C之切換材料12之矽含量可係約30原子%至40原子%或更多，且氫含量可係在約1%至5%之間。可提供其他矽及/或氫位準。

第一導電碳層35及第二導電碳層37充當用於MIM堆疊27之高電流密度持續電極(圖2A)。第一及第二導電碳層35及37允許將在基於C之切換材料12之切換期間產生之高電流密度安全地分佈至用於記憶體單元10中之金屬化層(諸如障壁層26及33)以及頂導體22。

如圖4C中展示，第二導電碳層37、基於C之切換材料

12、第一導電碳層35、障壁層33、矽化物形成金屬層52、二極體層14a至14c及障壁層28經圖案化及蝕刻以形成柱138。在某些實施例中，柱138可與下面之導體20具有約相同之節距及約相同之寬度，以使得每一柱138形成於一導體20頂部上。某一未對準係可容忍的。

在至少一個實施例中，可使用標準光微影技術沈積及圖案化光阻劑以產生一硬遮罩，該硬遮罩無需藉助氧電漿來移除。在圖案化該硬遮罩之後，可移除光阻劑且然後可蝕刻層28、14a-14c、52、33、35、12及37。該硬遮罩可形成於第二導電碳層37之頂部上，其中底部抗反射塗層(「BARC」)在頂部，然後被圖案化及蝕刻。類似地，可將電介質抗反射塗層(「DARC」)用作一硬遮罩。

可使用任一適合遮罩及蝕刻製程來形成柱138。舉例而言，可藉助約100 nm至約500 nm之硬遮罩來圖案化層28、14a至14c、52、33、35、12及37。較薄或較厚之硬遮罩層可與較小之臨界尺寸及技術節點一起使用。

可使用任何適合的蝕刻化學品、及任何適合的蝕刻參數、流動速率、室壓、功率位準、製程溫度及/或蝕刻速率。在某些實施例中，可使用一單個蝕刻步驟圖案化第二導電碳層37、基於C之切換材料12、第一導電碳層35、障壁層33、矽化物形成金屬層52、二極體層14a至14c及障壁層28。在其他實施例中，可使用若干單獨蝕刻步驟。該蝕刻向下繼續至電介質層58a。

在蝕刻之後，可使用一稀釋氫氟酸/硫酸清潔劑來清潔

柱138。無論在蝕刻之前是否執行光阻劑灰化，皆可在任一適合的清潔工具(例如，可自Semitool, Kalispell, Montana購得之一Raider工具)中執行此清潔。實例性蝕刻後清潔可包含使用超稀釋硫酸(例如，約1.5至1.8 wt%)達約60秒及使用超稀釋氫氟酸(「HF」)(例如，約0.4至0.6 wt%)達約60秒。可使用或可不使用兆頻超音波。

在已清潔柱138之後，可在柱138上方沈積一電介質層58b以填充柱138之間的空洞。舉例而言，可沈積大約200埃至7000埃之二氧化矽且使用化學機械研磨或一回蝕製程將其平坦化以移除過量電介質材料58b並形成一平面表面134，從而形成圖4D中所圖解說明之結構。平面表面134包含由電介質材料58b分離之第二導電碳層37之已曝露區域(如圖所示)。可使用其他電介質材料(諸如氮化矽、氧氮化矽、低K電介質等等)及/或其他電介質層厚度。

參照圖4E，可以類似於形成第一導體20之一方式在柱138上面形成第二導體22。舉例而言，在某些實施例中，可在沈積用以形成第二導體22之一導電層140之前在柱138上面沈積一或多個障壁層及/或黏合層26。

導電層140可由任一適合導電材料(例如藉由任一適合方法(例如，CVD、PVD等等)沈積之鎢、另一適合金屬、重摻雜半導體材料、一導電矽化物、一導電矽化物-鍺化物、一導電鍺化物或類似材料)形成。可使用其他導電層材料。障壁層及/或黏合層26可包含氮化鈦或另一適合層，諸如氮化鈮、氮化鎢、鎢、鈮、一或多個層之組合、

或任何其他適合材料。所沈積之導電層140以及障壁及/或黏合層26可經圖案化及蝕刻以形成第二導體22。在至少一個實施例中，第二導體22係大致平行、大致共面導體，其沿不同於第一導體20之一方向延伸。

在本發明之其他實施例中，可使用一金屬鑲嵌製程來形成第二導體22，在該鑲嵌製程中，形成、圖案化及蝕刻一電介質層以形成導體22之開孔或空洞。可用黏合層26及導電層140(及/或一導電晶種、導電填料及/或障壁層(若需要))來填充該等開口或空洞。隨後可平坦化黏合層26及導電層140以形成一平面表面。

在形成第二導體22之後，可將所產生之結構退火以使二極體14之所沈積半導體材料結晶(及/或藉由矽化物形成金屬層52與p+區域14c之反應形成矽化物區域)。矽化鈦及矽化鈷之晶格間距接近於矽之晶格間距，且矽化物層50看似可在毗鄰之所沈積矽結晶時用作所沈積矽之「結晶範本」或「晶種」(例如，矽化物層在約600°C至800°C之溫度處進行退火期間增強矽二極體14之晶質結構)。藉此提供更低電阻率之二極體材料。可針對矽鍍合金及/或鍍二極體達成類似結果。

因此，在至少一個實施例中，可在約600°C至800°C、且更佳約650°C與750°C之間的一溫度下在氮氣中執行一結晶退火達約10秒至約2分鐘。可使用其他退火時間、溫度及/或環境。

熟習此項技術者應瞭解，可以其他類似技術製造依照本

發明之替代記憶體單元。

在依照本發明之某些實施例中，在形成基於C之切換材料12之後，可在沈積額外材料之前執行一退火步驟。特定而言，可在自約350°C至約900°C之範圍中之一溫度下，在一真空中或存在一或多種形成氣體之情形下執行該退火達約30分鐘至約180分鐘。較佳在約625°C下，在約80% (N₂): 20% (H₂)之形成氣體混合物中執行該退火達約一個小時。

適合的形成氣體可包含N₂、Ar及H₂中之一或多者，而較佳的形成氣體可包含具有高於約75%之N₂或Ar及低於約25%之H₂之一混合物。另一選擇係，可使用一真空。適合的溫度可介於自約350°C至約900°C之範圍內，而較佳的溫度可介於自約585°C至約675°C之範圍內。適合的持續時間可介於自約0.5小時至約3小時之範圍內，而較佳的持續時間可介於自約1小時至約1.5小時之範圍內。適合的壓力可介於自約1 mT至約760 T之範圍內，而較佳的壓力可介於自約300 mT至約600 mT之範圍內。

額外層之退火與沈積之間的較佳約為2小時之一佇列時間較佳伴隨有退火之使用。一斜升持續時間可介於自約0.2小時至約1.2小時之範圍內且較佳在約0.5小時與0.8小時之間。類似地，一斜降持續時間亦可介於自約0.2小時至約1.2小時之範圍內且較佳在約0.5小時與0.8小時之間。

雖然並不期望受限於任一特定理論，但據信基於碳之切換材料可隨時間自空氣中吸收水分。同樣，據信濕氣可增

加基於碳之切換材料之脫層之可能性。在某些情形中，具有自基於碳之切換材料之沈積之時至額外層之沈積(完全跳過退火)之為2小時之一佇列時間亦係可接受的。

併入此一碳形成後退火較佳地考量記憶體單元之其他層，乃因此等其他記憶體單元層亦將經受該退火。舉例而言，在上述較佳退火參數將損壞其他層時，可省略該退火或可調整其參數。可在在不損壞經退火裝置之層的情形下導致移除濕氣之範圍內調整該等退火參數。例如，可將溫度調整為保持在一裝置被形成之一總體熱預算內。同樣，可使用適於一特定記憶體單元之任何適合形成氣體、溫度及/或持續時間。大體而言，此一退火可與任一基於碳之切換材料一起使用，諸如CNT材料、石墨、石墨烯、非晶碳、非晶DLC、碳化矽、碳化硼及其他晶質形式之碳。

上文說明僅揭示本發明之實例性實施例。熟習此項技術者將易於瞭解在本發明範疇內之上文所揭示設備及方法之修改。例如，可使用其他柱形式。可針對導體20及22使用任一適合材料，諸如銅、鋁、或其他導電層。因此，雖然本文已結合本發明之實例性實施例來揭示本發明，但應理解，其他實施例可歸屬於由以下申請專利範圍界定之本發明精神及範疇內。

【圖式簡單說明】

圖1係依照此本發明之一實例性記憶體單元之一圖示；

圖2A係依照此發明之一實例性記憶體單元之一簡化透視圖；

圖 2B 係依據圖 2A 之複數個記憶體單元形成之一第一實例性記憶體位元準之一部分之一簡化透視圖；

圖 2C 係依照此發明之一第一實例性三維記憶體陣列之一部分之一簡化透視圖；

圖 2D 係依照此發明之一第二實例性三維記憶體陣列之一部分之一簡化透視圖；

圖 3A 係依照此發明之一記憶體單元之一第一額外實例性實施例之一橫截面圖；

圖 3B 係依照此發明之一記憶體單元之一第二額外實例性實施例之一橫截面圖；及

圖 4A 至圖 4E 圖解說明依照此發明在一單個記憶體位準之一實例性製造期間一基板之一部分之橫截面圖。

【主要元件符號說明】

10	記憶體單元
10a	記憶體單元
10b	記憶體單元
12	可逆電阻率切換材料
14	引導元件
14a	n+多晶矽區域
14b	純質多晶矽區域
14c	重摻雜 p+多晶矽區域
20	第一導體
22	第二導體
26	障壁層

27	金屬-絕緣體-金屬堆疊
28	額外障壁層
33	障壁層
35	第一導電碳層
37	第二導電碳層
39	矽化物層
40a	單片式三維記憶體陣列
42	記憶體層級
43	半導體材料
44	記憶體層級
52	金屬層
58a	電介質層
58b	電介質層
100	基板
102	絕緣層
104	黏合層
106	導電層
110	平面表面
134	平面表面
138	柱
140	導電層

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100105854

※申請日：100. 2. 22

※IPC 分類：H01L 45/00

2006.01

一、發明名稱：(中文/英文)

具有含矽之碳切換層的記憶體晶格及其形成方法

MEMORY CELL WITH SILICON-CONTAINING CARBON
SWITCHING LAYER AND METHODS FOR FORMING THE SAME

二、中文發明摘要：

在一第一態樣中，提供一種形成一記憶體單元之方法，其包含：(1)形成一金屬-絕緣體-金屬(MIM)堆疊，該MIM堆疊包含(a)一第一導電碳層；(b)一低氫含矽之碳層，其在該第一導電碳層上面；及(c)一第二導電碳層，其在該低氫含矽之碳層上面；及(2)形成耦合至該MIM堆疊之一引導元件。提供眾多其他態樣。

三、英文發明摘要：

In a first aspect, a method of forming a memory cell is provided that includes (1) forming a metal-insulator-metal (MIM) stack, the MIM stack including (a) a first conductive carbon layer; (b) a low-hydrogen, silicon-containing carbon layer above the first conductive carbon layer; and (c) a second conductive carbon layer above the low-hydrogen, silicon-containing carbon layer; and (2) forming a steering element coupled to the MIM stack. Numerous other aspects are provided.

七、申請專利範圍：

1. 一種形成一記憶體單元之方法，該方法包括：

形成一金屬-絕緣體-金屬(「MIM」)堆疊，該MIM堆疊包含：

一第一導電碳層；

一低氫含矽之碳層，其在該第一導電碳層上面；及

一第二導電碳層，其在該低氫含矽之碳層上面；及

形成耦合至該MIM堆疊之一引導元件。

2. 如請求項1之方法，其中該第一及第二導電碳層包括包含主要性的 sp^2 鍵結碳之碳層。
3. 如請求項1之方法，其中該第一及第二導電碳層具有不大於約 100×10^{-3} 歐姆-公分之一電阻率。
4. 如請求項1之方法，其中該第一及第二導電碳層具有不大於約 10×10^{-3} 歐姆-公分之一電阻率。
5. 如請求項1之方法，其中該第一及第二導電碳層包括金屬碳化物層。
6. 如請求項1之方法，其中該低氫含矽之碳層包括至少約30原子%之矽。
7. 如請求項1之方法，其中該低氫含矽之碳層包括至少約40原子%之矽。
8. 如請求項1之方法，其中該低氫含矽之碳層具有至少約 1×10^3 歐姆-公分之一電阻率。
9. 如請求項1之方法，其中該低氫含矽之碳層具有至少約 1×10^5 歐姆-公分之一電阻率。

10. 如請求項1之方法，其中形成該MIM堆疊包括：

形成該第一導電碳層；

在該第一導電碳層上方形成該低氫含矽之碳層；及

在該低氫含矽之碳層上方形成該第二導電碳層。

11. 如請求項10之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍一石墨目標以形成一碳層且將矽植入至該碳層中。

12. 如請求項10之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍碳化矽目標。

13. 如請求項10之方法，其中形成該第一導電碳層及該第二導電碳層中之至少一者包括沈積非晶碳並將該非晶碳退火以形成主要性的 sp^2 鍵結碳。

14. 如請求項10之方法，其中形成該第一導電碳層及該第二導電碳層中之至少一者包括濺鍍碳化物目標。

15. 如請求項1之方法，其中形成該MIM堆疊包括：

形成一低氫導電碳層；及

將矽植入至該低氫導電碳層中以形成該第一導電碳層、該低氫含矽層及該第二導電碳層。

16. 如請求項1之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一多晶質半導體二極體。

17. 如請求項1之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一肖特基二極體。

18. 一種藉由如請求項1之方法形成之記憶體單元。

19. 一種形成一記憶體單元之方法，該方法包括：

藉由以下步驟形成一金屬-絕緣體-金屬(「MIM」)堆疊：

形成一第一導電碳層；

在該第一導電碳層上方形成一低氫含矽之碳層；及

在該低氫含矽之碳層上方形成一第二導電碳層；及

形成耦合至該MIM堆疊之一引導元件。

20. 如請求項19之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍一石墨目標以形成一碳層且將矽植入至該碳層中。

21. 如請求項19之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍碳化矽目標。

22. 如請求項19之方法，其中形成該第一導電碳層及該第二導電碳層中之至少一者包括沈積非晶碳並將該非晶碳退火以形成主要性的 sp^2 鍵結碳。

23. 如請求項19之方法，其中形成該第一導電碳層及該第二導電碳層中之至少一者包括濺鍍碳化物目標。

24. 如請求項19之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一多晶質半導體二極體。

25. 如請求項19之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一肖特基二極體。

26. 一種藉由如請求項19之方法形成之記憶體單元。

27. 一種形成一記憶體單元之方法，該方法包括：

藉由以下步驟形成一金屬-絕緣體-金屬(「MIM」)堆疊：

形成一低氫導電碳層；及

將矽植入至該低氫導電碳層中以形成一第一導電碳層、在該第一導電碳層上面之一低氫含矽之碳層及在該低氫含矽之碳層上面之一第二導電碳層；及

形成耦合至該MIM堆疊之一引導元件。

28. 如請求項27之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一多晶質半導體二極體。

29. 如請求項27之方法，其中形成耦合至該MIM堆疊之該引導元件包括形成與該MIM堆疊串聯之一肖特基二極體。

30. 一種藉由如請求項27之方法形成之記憶體單元。

31. 一種記憶體單元，其包括：

一金屬-絕緣體-金屬(「MIM」)堆疊，該MIM堆疊包含：

一第一導電碳層；

一低氫含矽之碳層，其在該第一導電碳層上面；及

一第二導電碳層，其在該低氫含矽之碳層上面；及

一引導元件，其耦合至該MIM堆疊。

32. 如請求項31之記憶體單元，其中該第一及第二導電碳層包括包含主要性的 sp^2 鍵結碳之碳層。

33. 如請求項31之記憶體單元，其中該第一及第二導電碳層具有不大於約 100×10^{-3} 歐姆-公分之一電阻率。

34. 如請求項31之記憶體單元，其中該第一及第二導電碳層具有不大於約 10×10^{-3} 歐姆-公分之一電阻率。
35. 如請求項31之記憶體單元，其中該第一及第二導電碳層包括金屬碳化物層。
36. 如請求項31之記憶體單元，其中該低氫含矽之碳層包括至少約30原子%之矽。
37. 如請求項31之記憶體單元，其中該低氫含矽之碳層包括至少約40原子%之矽。
38. 如請求項31之記憶體單元，其中該低氫含矽之碳層具有至少約 1×10^3 歐姆-公分之一電阻率。
39. 如請求項31之記憶體單元，其中該低氫含矽之碳層具有至少約 1×10^5 歐姆-公分之一電阻率。
40. 一種記憶體單元，其包括：
- 一第一導電軌；
 - 一金屬-絕緣體-金屬(「MIM」)堆疊，其形成於該第一導電軌上面，該MIM堆疊包含：
 - 一第一導電碳層，該第一導電碳層具有不大於約 100×10^{-3} 歐姆-公分之一電阻率；
 - 一低氫含矽之碳層，其在該第一導電碳層上面，該低氫含矽之碳層包括至少約30原子%之矽；及
 - 一第二導電碳層，其在該低氫含矽之碳層上面，該第二導電碳層具有不大於約 100×10^{-3} 歐姆-公分之一電阻率；
 - 一引導元件，其形成於該第一導電軌上面且與該

MIM堆疊串聯；及

一第二導電軌，其在該MIM堆疊及引導元件上面。

41. 如請求項40之記憶體單元，其中該第一及第二導電碳層包括包含主要性的 sp^2 鍵結碳之碳層。
42. 如請求項40之記憶體單元，其中該第一及第二導電碳層包括金屬碳化物層。
43. 如請求項40之記憶體單元，其中該低氫含矽層包括不多於約10原子%之氫。
44. 如請求項40之記憶體單元，其中該低氫含矽層包括不多於約5原子%之氫。
45. 一種形成一金屬-絕緣體-金屬(「MIM」)堆疊之方法，該方法包括：
 - 形成一第一導電碳層；
 - 在該第一導電碳層上方形成一低氫含矽之碳層；及
 - 在該低氫含矽之碳層上方形成一第二導電碳層。
46. 如請求項45之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍一石墨目標以形成一碳層並將矽植入至該碳層中。
47. 如請求項45之方法，其中在該第一導電碳層上方形成該低氫含矽之碳層包括濺鍍碳化矽目標。
48. 如請求項45之方法，其中形成該第一導電碳層及該第二導電碳層中之至少一者包括沈積非晶碳並將該非晶碳退火以形成主要性的 sp^2 鍵結碳。
49. 如請求項45之方法，其中形成該第一導電碳層及該第二

導電碳層中之至少一者包括濺鍍碳化物目標。

50. 如請求項45之方法，其中該低氫含矽層包括不多於約10原子%之氫。

51. 如請求項45之方法，其中該低氫含矽層包括不多於約5原子%之氫。

52. 一種形成一金屬-絕緣體-金屬(「MIM」)堆疊之方法，該方法包括：

形成一低氫導電碳層；及

將矽植入至該低氫導電碳層中以形成一第一導電碳層、在該第一導電碳層上面之一低氫含矽之碳層及在該低氫含矽之碳層上面之一第二導電碳層。

53. 一種金屬-絕緣體-金屬(「MIM」)堆疊，其包括：

一第一導電碳層；

一低氫含矽之碳層，其在該第一導電碳層上面；及

一第二導電碳層，其在該低氫含矽之碳層上面。

54. 如請求項53之MIM堆疊，其中該第一及第二導電碳層包括包含主要性的 sp^2 鍵結碳之碳層。

55. 如請求項53之MIM堆疊，其中該第一及第二導電碳層包括金屬碳化物層。

八、圖式：

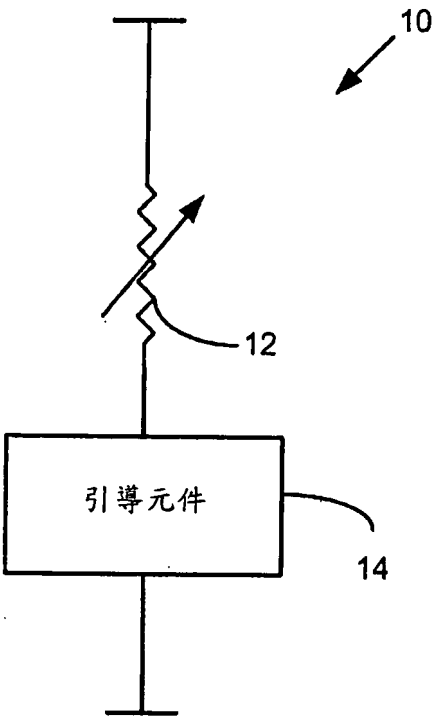


圖 1

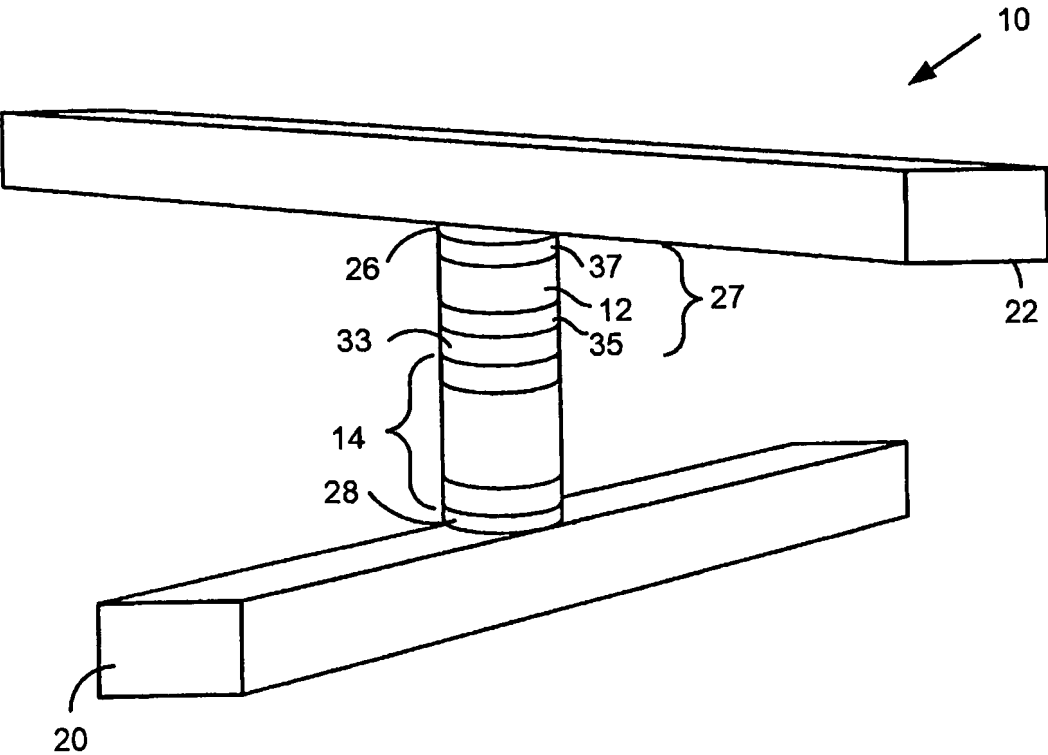


圖 2A

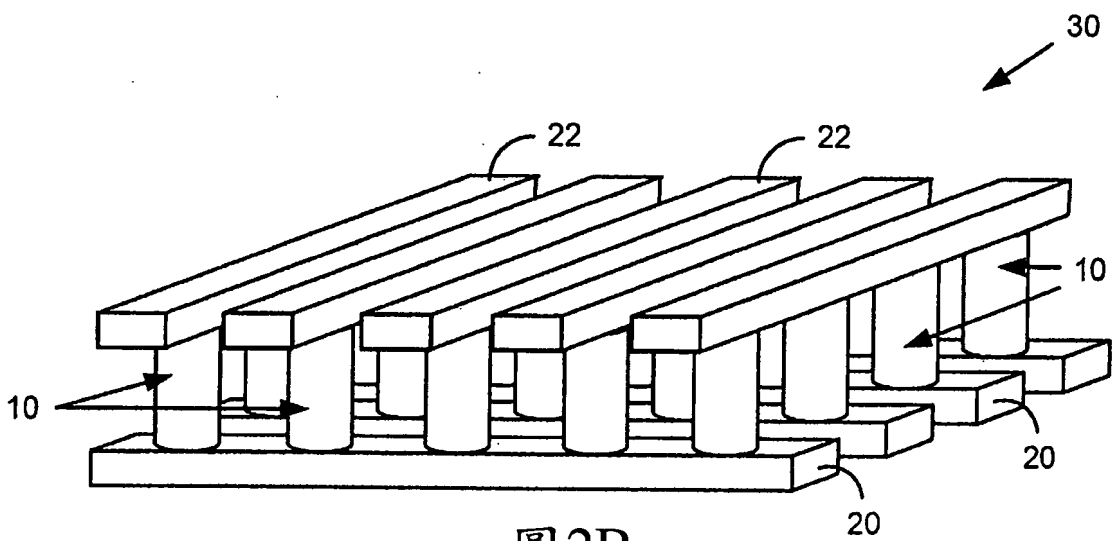


圖 2B

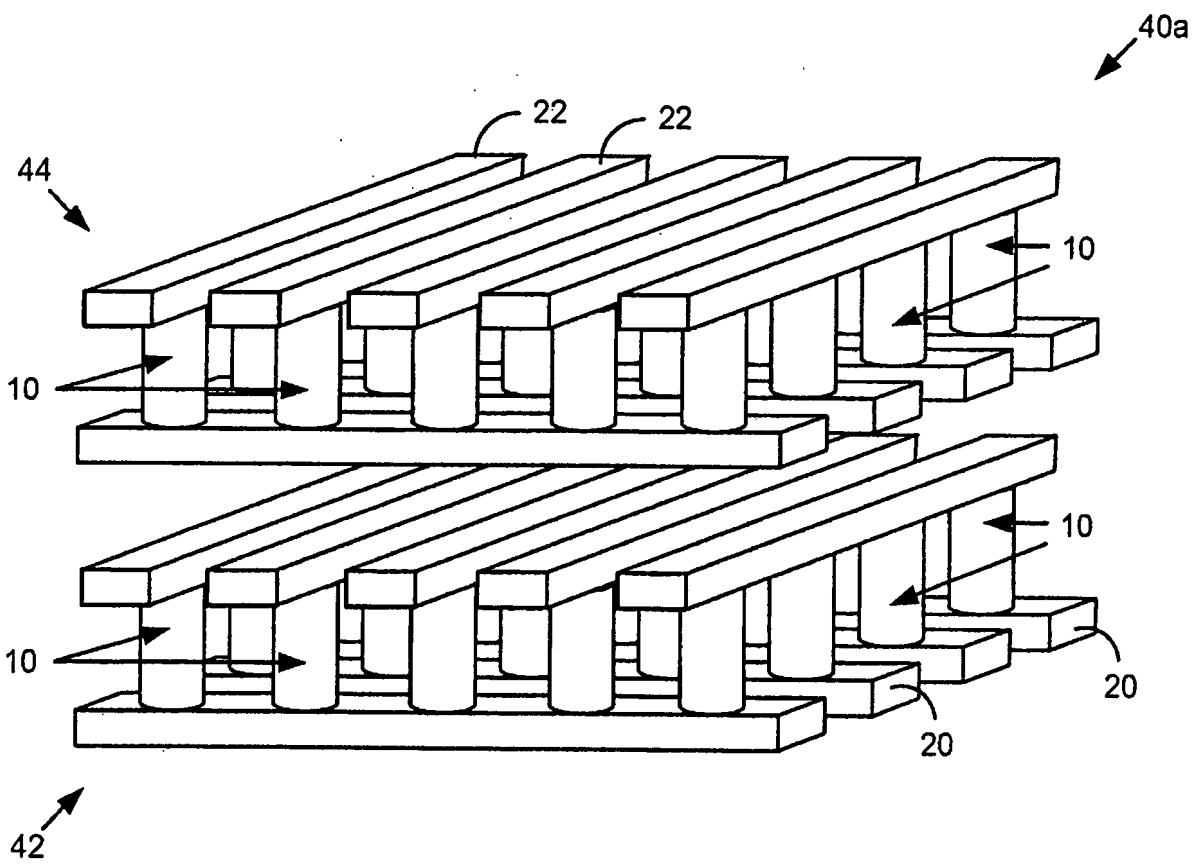


圖 2C

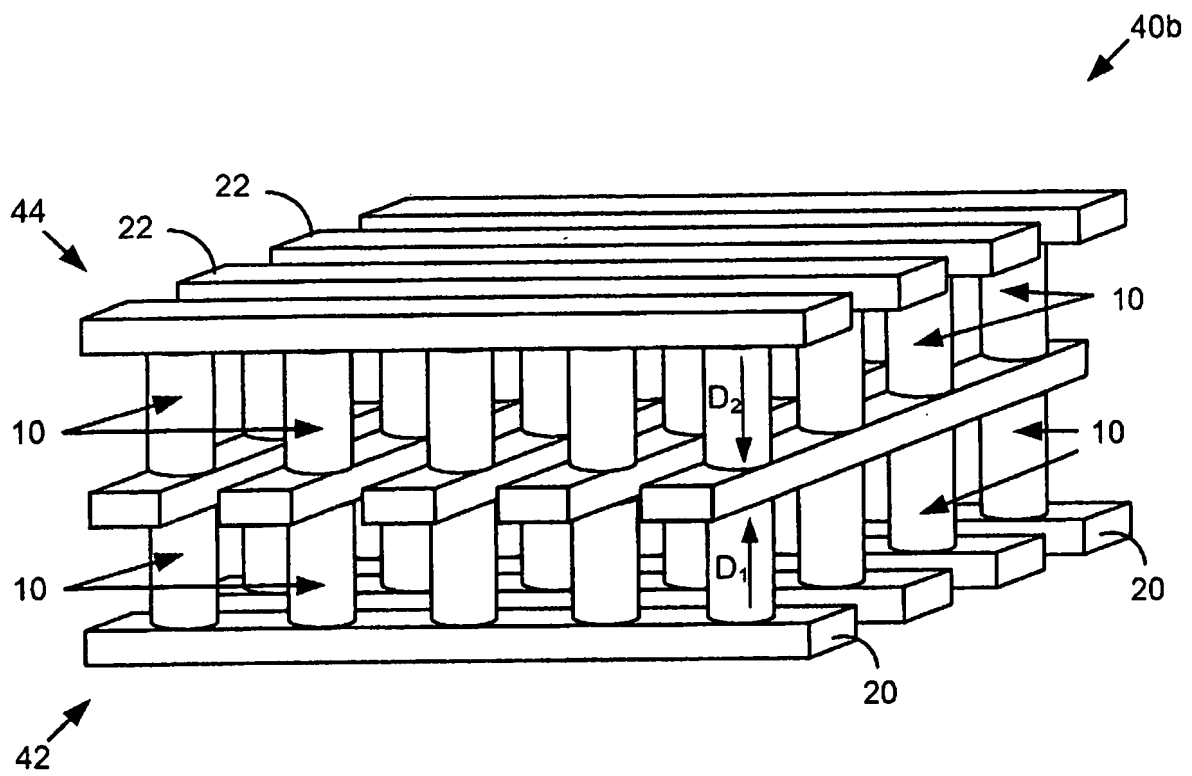


圖 2D

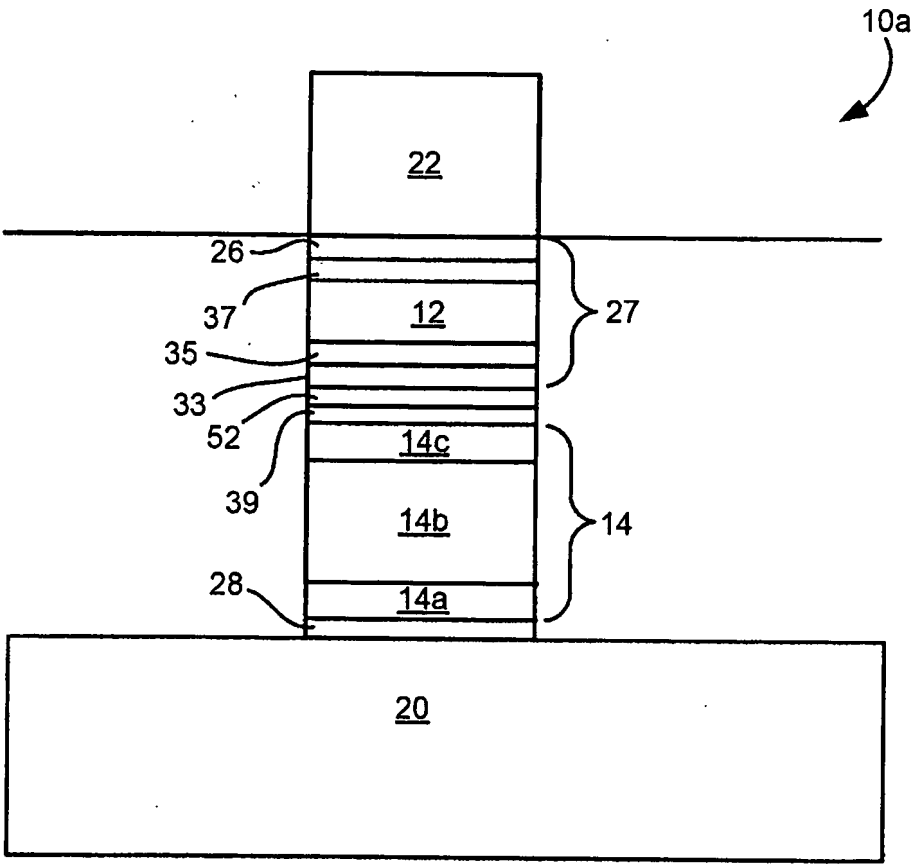


圖3A

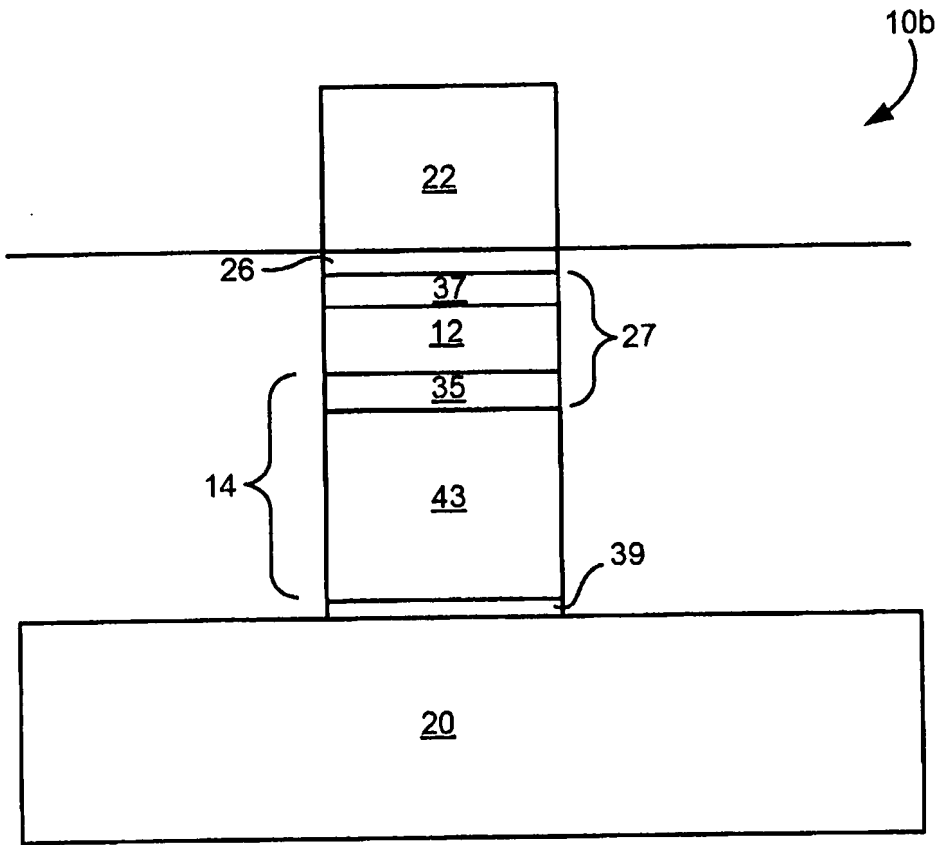


圖3B

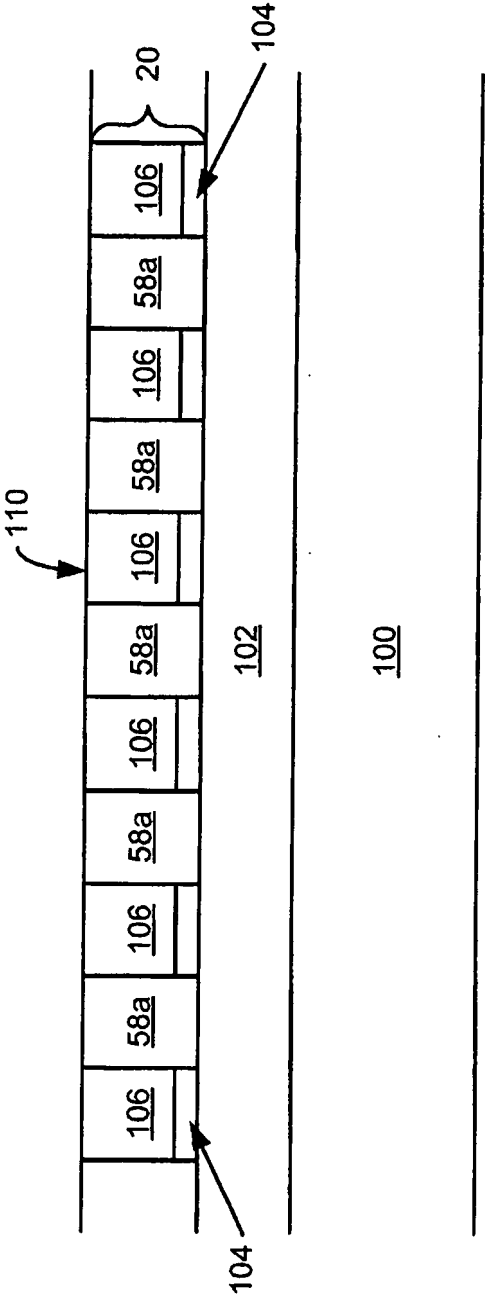


圖 4A

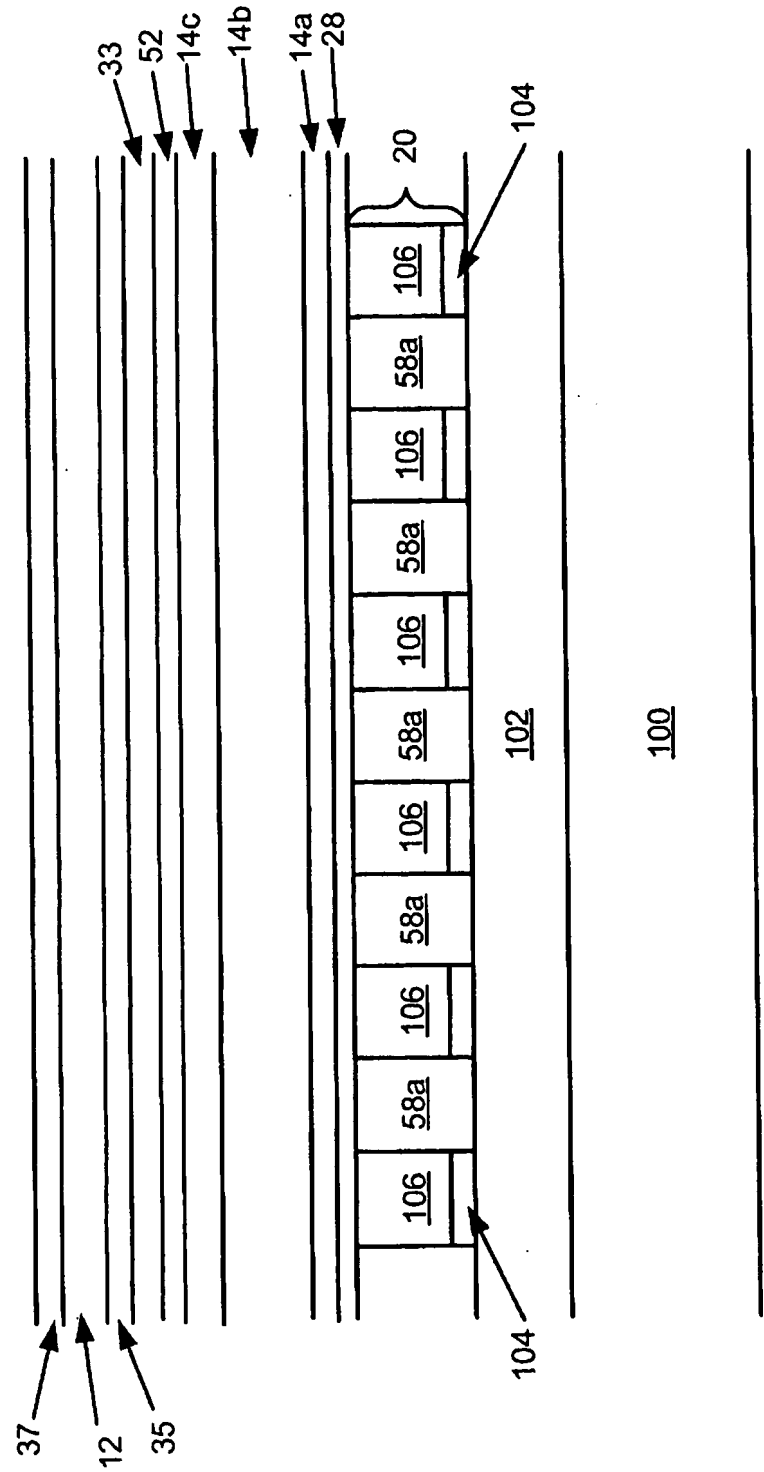


圖 4B

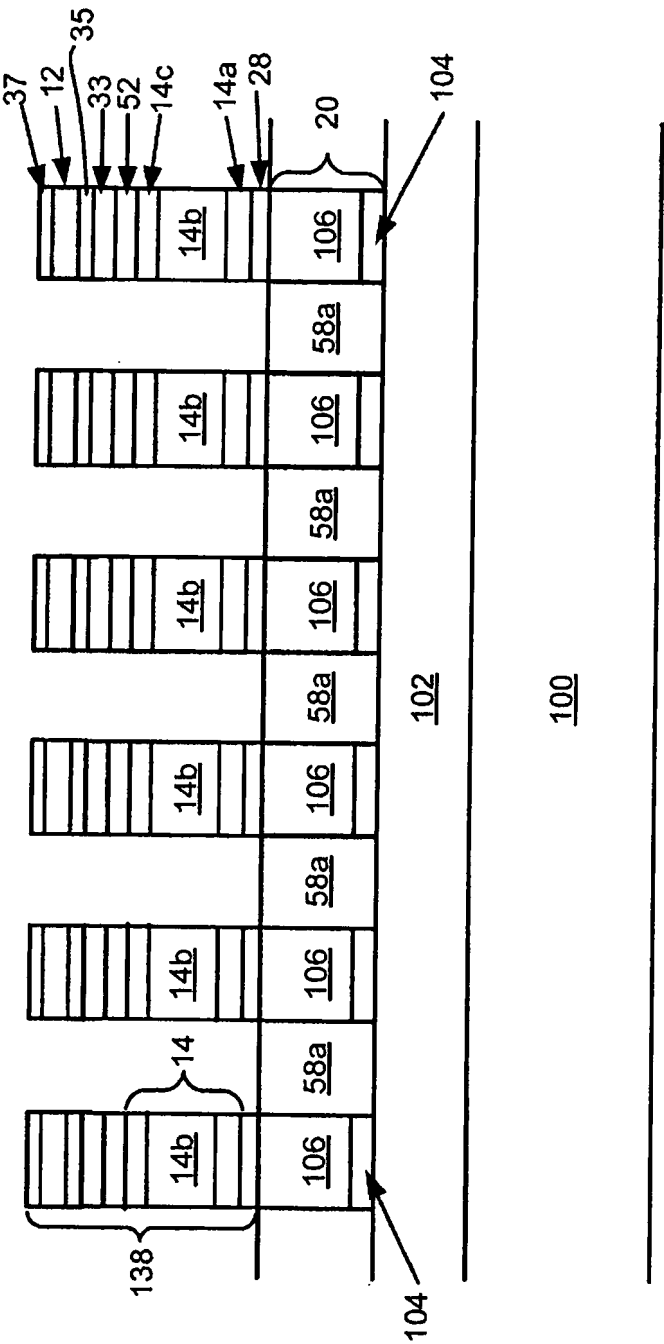


圖4C

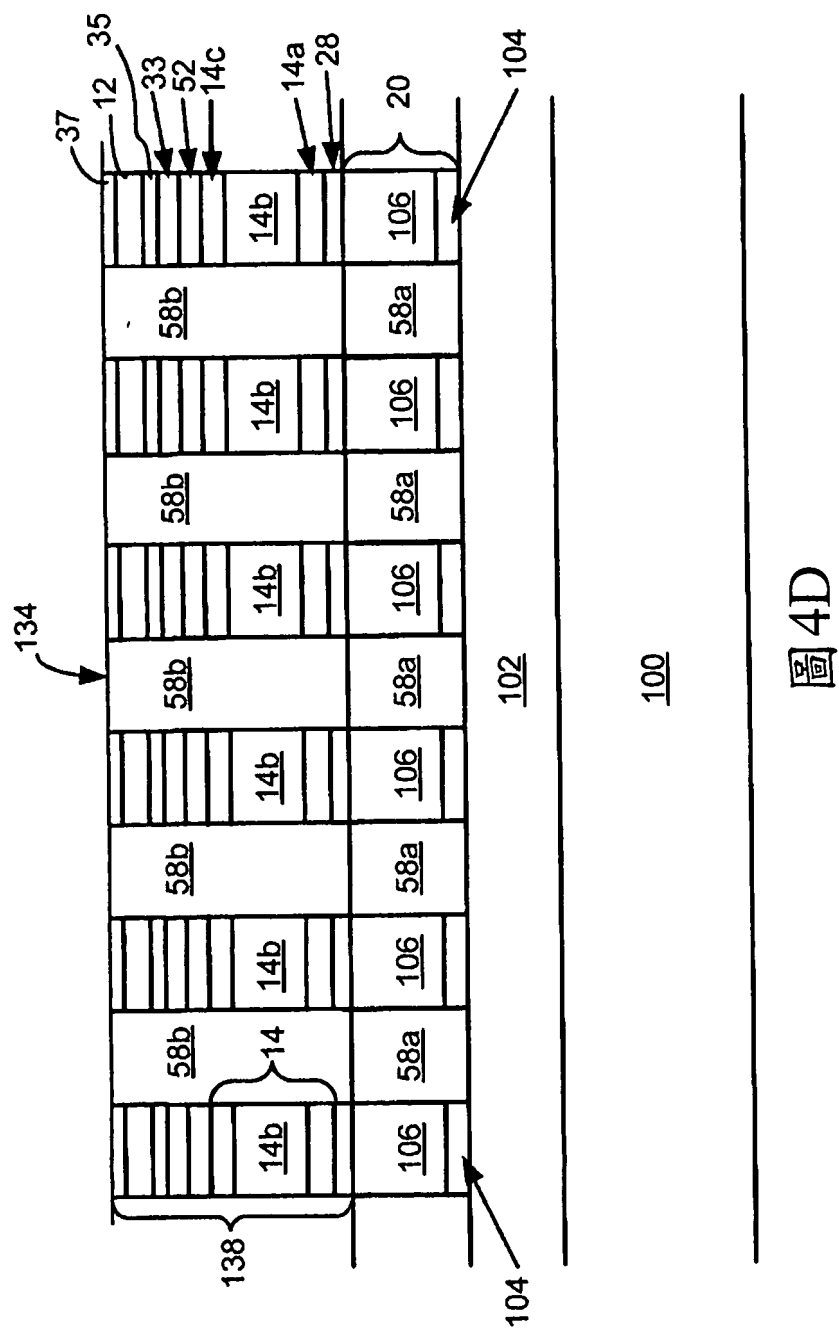


圖 4D

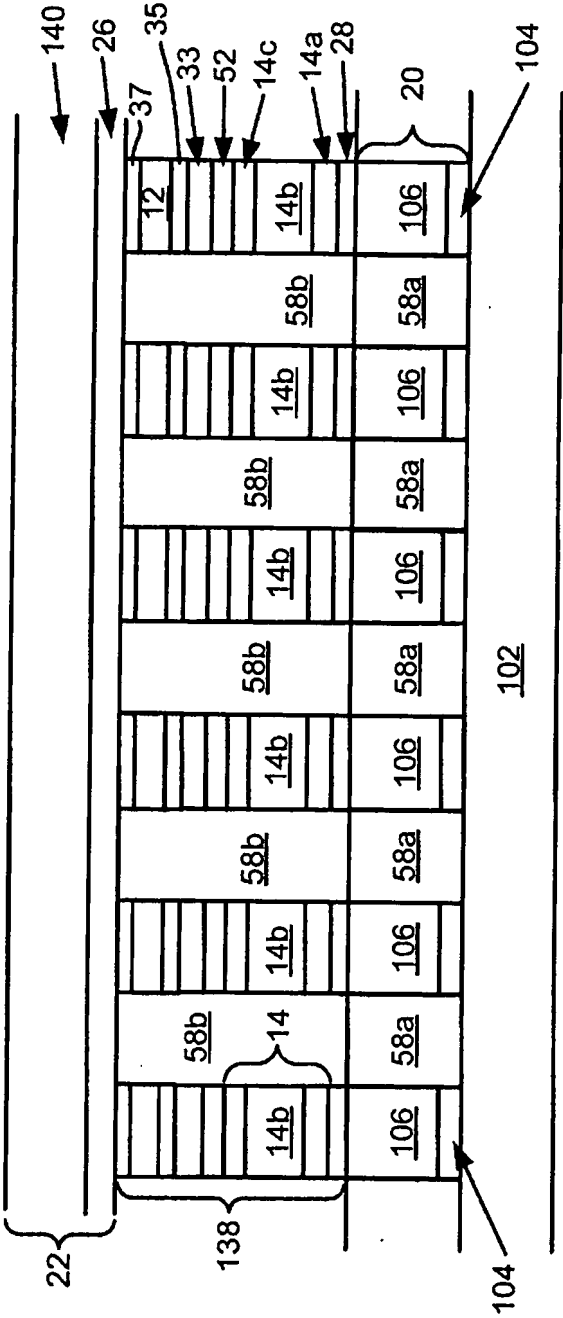


圖4E

四、指定代表圖：

(一)本案指定代表圖為：第(3A)圖。

(二)本代表圖之元件符號簡單說明：

10a	記憶體單元
12	基於碳之切換材料
14a	重摻雜n+多晶矽區域
14b	輕摻雜或純質多晶矽區域
14c	重摻雜p+多晶矽區域
14	二極體
20	第一導體
22	第二導體
26	障壁層
27	金屬-絕緣體-金屬堆疊
28	障壁層
33	障壁層
35	第一導電碳層
37	第二導電碳層
39	矽化物層
52	金屬層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)