



(12) 发明专利

(10) 授权公告号 CN 108307131 B

(45) 授权公告日 2021.08.03

(21) 申请号 201711274991.2

(22) 申请日 2017.12.06

(65) 同一申请的已公布的文献号
申请公布号 CN 108307131 A

(43) 申请公布日 2018.07.20

(30) 优先权数据
2016-252967 2016.12.27 JP

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72) 发明人 池田隆之

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290
代理人 周善来 王玉玲

(51) Int.Cl.

H04N 5/374 (2011.01)

H04N 5/378 (2011.01)

H04N 5/225 (2006.01)

H01L 29/06 (2006.01)

H01L 29/786 (2006.01)

(56) 对比文件

CN 102301413 A, 2011.12.28

CN 101052099 A, 2007.10.10

CN 205193998 U, 2016.04.27

US 2012272017 A1, 2012.10.25

US 2012306533 A1, 2012.12.06

审查员 张鑫垚

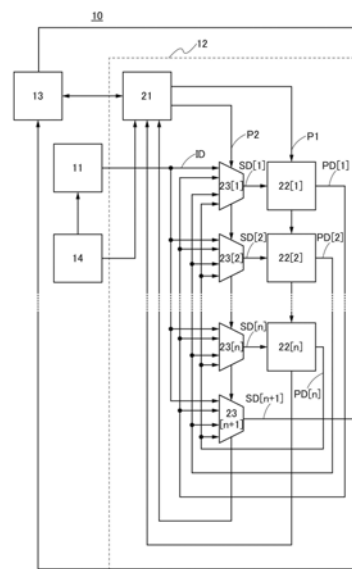
权利要求书2页 说明书39页 附图45页

(54) 发明名称

摄像装置及电子设备

(57) 摘要

本发明提供一种高速工作的摄像装置。该摄像装置包括摄像电路、两个以上的图像处理区块及两个以上的选择器。图像处理区块各包括图像处理部及保持电路,选择器各包括开关部及保持电路。摄像电路具有进行摄像工作来生成图像数据的功能。图像处理部具有对摄像电路所生成的图像数据进行处理的功能。图像处理区块所包括的保持电路接收并保持图像处理部进行处理时所需要的参数的功能。开关部具有输出摄像电路所生成的图像数据或图像处理部处理过的图像数据的功能。选择器所包括的保持电路接收并保持开关部所输出的参数的功能。第一保持电路及第二保持电路各包括沟道形成区域中包含金属氧化物的晶体管。



1. 一种摄像装置,包括:
摄像电路;
第一控制器;
包括第一电路及第二电路的多个电路;以及
包括第一选择器及第二选择器的多个选择器,
其中,所述多个电路各包括图像处理部及第一保持电路,
所述多个选择器各包括开关部及第二保持电路,
所述第一保持电路包括第一晶体管,
所述第二保持电路包括第二晶体管,
所述摄像电路通过进行摄像工作来生成图像数据,
所述第一控制器控制向所述多个电路的供电,
所述第一电路的所述图像处理部对所述摄像电路所生成的图像数据进行处理,
所述第一电路的所述图像处理部对所述第二电路的所述图像处理部处理过的图像数据进行处理,
所述第一电路的所述第一保持电路接收第一参数,
所述第一电路的所述第一保持电路在停止向所述第一电路供电的状态下保持所述第一参数,
所述第一选择器的所述开关部输出从所述摄像电路所生成的所述图像数据及所述第一电路或所述第二电路的所述图像处理部处理过的所述图像数据选择的所述图像数据,
所述第一选择器的所述第二保持电路接收第二参数,
所述第一选择器的所述第二保持电路在停止向所述第一选择器供电的状态下保持所述第二参数,
并且,所述第一晶体管及所述第二晶体管各在沟道形成区域中包含金属氧化物。
2. 根据权利要求1所述的摄像装置,
其中所述第一参数表示所述图像处理部进行处理时需要的数据,
并且所述第二参数表示从所述开关部输出的图像数据。
3. 根据权利要求1所述的摄像装置,
其中所述第一保持电路包括第一寄存器及第二寄存器,
所述第二保持电路包括第三寄存器及第四寄存器,
所述第一寄存器将所述第一参数供应到所述第二寄存器,
所述第二寄存器将从所述第一寄存器接收的所述第一参数输出到所述图像处理部,
所述第三寄存器将所述第二参数供应到所述第四寄存器,
并且所述第四寄存器将从所述第三寄存器接收的所述第二参数输出到所述开关部。
4. 根据权利要求3所述的摄像装置,
其中所述第二寄存器包括所述第一晶体管,
所述第四寄存器包括所述第二晶体管,
所述第一电路的所述第二寄存器在停止向所述第一电路供电的状态下保持所述第一参数,
并且所述第一选择器的所述第四寄存器在停止向所述第一选择器供电的状态下保持

所述第二参数。

5. 根据权利要求3所述的摄像装置，
其中所述第一寄存器及所述第三寄存器各包括触发器电路。
6. 根据权利要求1所述的摄像装置，
其中所述多个电路为 n 个电路，
 n 为2以上的整数，
并且所述多个选择器为 $n+1$ 个选择器。
7. 根据权利要求1所述的摄像装置，
其中所述第一保持电路包括第一电容器，
所述第二保持电路包括第二电容器，
所述第一晶体管的源极或漏极电连接到所述第一电容器，
并且所述第二晶体管的源极或漏极电连接到所述第二电容器。
8. 根据权利要求1所述的摄像装置，还包括第二控制器，
其中所述第二控制器控制向所述摄像电路及所述第一控制器的供电。
9. 根据权利要求1所述的摄像装置，还包括主体，
其中所述主体生成所述第一参数及所述第二参数。
10. 根据权利要求9所述的摄像装置，
其中所述第一控制器接收所述主体所生成的所述第一参数，
所述第一控制器接收所述主体所生成的所述第二参数，
所述第一控制器将所接收的所述第一参数供应到所述第一电路，
并且所述第一控制器将所接收的所述第二参数供应到所述第一选择器。
11. 一种电子设备，包括：
权利要求1所述的摄像装置；以及
操作按钮。

摄像装置及电子设备

技术领域

[0001] 本发明的一个方式涉及一种摄像装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式的技术领域涉及一种物体、方法或制造方法。或者,本发明的一个方式涉及一种程序(process)、机器(machine)、产品(manufacture)或者组成物(composition of matter)。由此,更具体而言,作为本说明书所公开的本发明的一个方式的技术领域的一个例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、照明装置、蓄电装置、存储装置、摄像装置、制造装置、这些装置的工作方法或者这些装置的制造方法。

[0003] 注意,本说明书等中的半导体装置是指通过利用半导体特性而能够工作的所有装置。晶体管和半导体电路为半导体装置的一个方式。另外,存储装置、显示装置、摄像装置、电子设备、制造装置有时包括半导体装置。

背景技术

[0004] 作为可以用于晶体管的半导体材料,氧化物半导体受到关注。例如,专利文献1及专利文献2公开了作为氧化物半导体使用氧化锌或In-Ga-Zn类氧化物半导体来形成晶体管的技术。沟道形成区域中包含氧化物半导体的晶体管(Oxide Semiconductor晶体管,以下称为OS晶体管)具有关态电流极低的特征。

[0005] 专利文献3公开了利用关态电流低的特征将OS晶体管用于非易失性存储装置的例子。

[0006] 另外,专利文献4公开了将OS晶体管用于像素电路的一部分的摄像装置。由此可以采用全局快门方式,即使摄像对象是运动物体,也可以获得没有畸变的图像。

[0007] [专利文献1]日本专利申请公开第2007-123861号公报

[0008] [专利文献2]日本专利申请公开第2007-96055号公报

[0009] [专利文献3]日本专利申请公开第2011-151383号公报

[0010] [专利文献4]日本专利申请公开第2011-119711号公报

发明内容

[0011] 在很多情况下,摄像装置为了对所生成的摄像数据进行伽马校正、调光、调色、噪声去除、畸变校正、编码或解密等图像处理而具备图像处理器。另外,当具备图像处理器时,摄像装置可以具有人脸识别、自动场景识别或高动态范围图像合成(High Dynamic Range imaging,以下称为HDR)等功能。

[0012] 摄像装置不一定需要使用上述所有功能,例如,优选使用者可以选择所使用的功能。例如,通过由CPU(Central Processing Unit)等主体生成表示所使用的功能及所不使用的功能的参数并将该参数供应到图像处理器,可以选择所使用的功能。另外,在图像处理器进行图像处理等的情况下,由主体生成表示该图像处理所需要的数据的参数并将该参数供应到图像处理器。

[0013] 在图像处理器中设置具有保持上述参数的功能的寄存器等存储器及进行图像处理的图像处理部。将主体所生成的参数保持在该存储器中,图像处理部根据需要从存储器读出参数。

[0014] 在上述存储器为易失性存储器的情况下,当停止向摄像装置供电时,保持在存储器中的参数则消失。因此,当再次向摄像装置供电时,处理器再次生成参数。因此,从开始供电到能够进行摄像需要时间。

[0015] 本发明的一个方式的目的之一是提供一种包括在停止供电的情况下也具有保持参数的功能的存储器的摄像装置。另外,本发明的一个方式的目的之一是提供一种高速工作的摄像装置。另外,本发明的一个方式的目的之一是提供一种低功耗的摄像装置。另外,本发明的一个方式的目的之一是提供一种新颖的摄像装置。

[0016] 注意,这些目的的记载不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。另外,根据说明书、附图、权利要求书等的记载,这些目的以外的目的是显而易见的,可以从说明书、附图、权利要求书等的记载中衍生出这些以外的目的。

[0017] 本发明的一个方式是一种摄像装置,该摄像装置包括:第一电路(例如,摄像电路);第一控制器;两个以上的第二电路(例如,图像处理区块);以及两个以上的选择器,其中,第二电路各包括图像处理部及第一保持电路,选择器各包括开关部及第二保持电路,第一保持电路包括第一晶体管,第二保持电路包括第二晶体管,第一电路通过进行摄像工作来生成图像数据,第一控制器控制向第二电路的供电,第二电路所包括的图像处理部对第一电路所生成的图像数据进行处理,第二电路之一所包括的图像处理部对其他的第二电路所包括的图像处理部处理过的图像数据进行处理,第一保持电路接收第一参数,第一保持电路在停止向第二电路供电的状态下保持第一参数,开关部输出从第一电路所生成的图像数据及图像处理部处理过的图像数据选择的一个图像数据,第二保持电路接收第二参数,第二保持电路在停止向选择器供电的状态下保持第二参数,并且,第一晶体管及第二晶体管各都在其沟道形成区域中包含金属氧化物。

[0018] 在上述方式中,第一参数也可以表示图像处理部进行处理时所需要的数据,第二参数也可以表示从开关部输出的图像数据。

[0019] 在上述方式中,第一保持电路也可以包括第一寄存器及第二寄存器,第二保持电路也可以包括第三寄存器及第四寄存器,第一寄存器也可以将第一参数供应到第二寄存器,第二寄存器也可以将从第一寄存器接收的第一参数输出到图像处理部,第三寄存器也可以将第二参数供应到第四寄存器,第四寄存器也可以将从第三寄存器接收的第二参数输出到开关部。

[0020] 在上述方式中,第二寄存器也可以包括第一晶体管,第四寄存器也可以包括第二晶体管,第二寄存器也可以在停止向第二电路供电的状态下保持第一参数,第四寄存器也可以在停止向选择器供电的状态下保持第二参数。

[0021] 在上述方式中,第一寄存器及第三寄存器各包括触发器电路。

[0022] 在上述方式中,摄像装置也可以包括 n 个(n 为2以上的整数)第二电路及 $n+1$ 个选择器。

[0023] 在上述方式中,第一保持电路也可以包括第一电容器,第二保持电路也可以包括第二电容器,第一晶体管的源极或漏极也可以与第一电容器电连接,第二晶体管的源极或

漏极也可以与第二电容器电连接。

[0024] 在上述方式中,摄像装置也可以包括第二控制器,第二控制器也可以控制向第一电路及第一控制器的供电。

[0025] 在上述方式中,摄像装置也可以包括主体,主体也可以生成第一参数及第二参数。

[0026] 在上述方式中,第一控制器也可以接收主体所生成的第一参数,第一控制器也可以接收主体所生成的第二参数,第一控制器也可以将所接收的第一参数供应到第二电路,第一控制器也可以将所接收的第二参数供应到选择器。

[0027] 另外,包括本发明的一个方式的摄像装置及操作用按钮的电子设备也是本发明的一个方式。

[0028] 通过本发明的一个方式,可以提供一种包括在停止供电的情况下也具有保持参数的功能的存储器的摄像装置。另外,通过本发明的一个方式,可以提供一种高速工作的摄像装置。另外,通过本发明的一个方式,可以提供一种低功耗的摄像装置。另外,通过本发明的一个方式,可以提供一种新颖的摄像装置。

[0029] 注意,本发明的一个方式不局限于上述效果。例如,根据情况或状况,本发明的一个方式有时具有上述效果以外的效果。或者,例如,根据情况或状况,本发明的一个方式有时不具有上述效果。

附图说明

[0030] 图1为示出摄像装置的结构实例的方框图;

[0031] 图2A和图2B为示出图像处理区块的结构实例的方框图;

[0032] 图3A至图3C为示出寄存器的结构实例的电路图;

[0033] 图4A至图4C为示出寄存器的结构实例的电路图;

[0034] 图5为示出寄存器的结构实例的电路图;

[0035] 图6为示出寄存器的工作实例的时序图;

[0036] 图7A和图7B为说明参数的图;

[0037] 图8为说明摄像电路的结构实例的方框图;

[0038] 图9为说明像素电路的图;

[0039] 图10A和图10B为说明全局快门方式及卷帘快门方式的工作的图;

[0040] 图11A和图11B为说明像素电路的结构实例的图;

[0041] 图12A至图12C为说明像素电路的结构实例的图;

[0042] 图13为说明像素电路的工作实例的图;

[0043] 图14A和图14B为说明像素电路的结构实例的图;

[0044] 图15为说明摄像装置的结构实例的截面图;

[0045] 图16为说明摄像装置的结构实例的截面图;

[0046] 图17A至图17E为说明光电转换元件的连接方式的一个例子的截面图;

[0047] 图18A至图18D为说明光电转换元件的连接方式的一个例子的截面图;

[0048] 图19为说明摄像装置的结构实例的截面图;

[0049] 图20A至图20C为说明光电转换元件的连接方式的一个例子的截面图;

[0050] 图21A至图21C为说明摄像装置的结构实例的截面图;

- [0051] 图22A和图22B为说明摄像装置的结构实例的截面图；
- [0052] 图23为说明摄像装置的结构实例的截面图；
- [0053] 图24为说明摄像装置的结构实例的截面图；
- [0054] 图25为说明摄像装置的结构实例的截面图；
- [0055] 图26为说明摄像装置的结构实例的截面图；
- [0056] 图27A至图27C为说明晶体管的结构实例的俯视图及截面图；
- [0057] 图28A至图28C为说明晶体管的结构实例的俯视图及截面图；
- [0058] 图29A至图29C为说明晶体管的结构实例的俯视图及截面图；
- [0059] 图30A至图30C为说明晶体管的结构实例的俯视图及截面图；
- [0060] 图31A至图31G为说明晶体管的结构实例的俯视图及截面图；
- [0061] 图32A至图32D为收纳摄像装置的封装的立体图及截面图；
- [0062] 图33A至图33D为收纳摄像装置的封装的立体图及截面图；
- [0063] 图34A至图34F为说明电子设备的一个例子的图。

具体实施方式

[0064] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。下面所示的多个实施方式可以适当地组合。

[0065] 在附图等中,为了方便起见,有时夸大表示大小、层的厚度或区域。因此,本发明并不一定限定于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。

[0066] 在附图等中,有时使用同一附图标记表示同一构成要素、具有相同功能的构成要素、由同一材料形成的构成要素或者同时形成的构成要素等,并且有时省略重复说明。

[0067] 另外,在本说明书等中,可以将“膜”和“层”相互调换。例如,有时可以将“导电层”变换为“导电膜”。此外,例如,有时可以将“绝缘膜”变换为“绝缘层”。

[0068] 在本说明书等中,“上”或“下”等表达配置的词句不局限于构成要素的位置关系为“直接在…之上”或“直接在…之下”。例如,“栅极绝缘层上的栅电极”包括在栅极绝缘层和栅电极之间包含另一构成要素的情况。

[0069] 另外,本说明书等中的“第一”、“第二”、“第三”等的序数词是为了避免构成要素的混淆而附记的,而不是用于在数目方面上进行限制。

[0070] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0071] 注意,在本说明书等中,“电压”大多是指某个电位与参考电位(例如接地电位)之间的电位差。由此,可以将电压、电位以及电位差分别换称为电位、电压以及电压差。

[0072] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶

体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道形成区域,并且电流能够通过沟道形成区域流过漏极与源极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0073] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,源极和漏极可以互相调换。

[0074] 在本说明书等中,在没有特别的说明的情况下,关态电流是指晶体管处于关闭状态(也称为非导通状态、遮断状态)的漏极电流。在没有特别的说明的情况下,在n沟道晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} 的状态,在p沟道晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 高于阈值电压 V_{th} 的状态。也就是说,n沟道晶体管的关态电流有时是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} 时的漏极电流。

[0075] 在上述关态电流的说明中,可以将漏极换称为源极。也就是说,关态电流有时指晶体管处于关闭状态时流过源极的电流。

[0076] 在本说明书等中,有时将关态电流记作泄漏电流。在本说明书等中,关态电流例如有时指在晶体管处于关闭状态时流在源极与漏极间的电流。

[0077] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的活性层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物具有放大作用、整流作用及开关作用中的至少一个时,该金属氧化物称为金属氧化物半导体(metal oxide semiconductor),简称为OS。此外,可以将OS FET换称为包含金属氧化物或氧化物半导体的晶体管。

[0078] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0079] 此外,在本说明书等中,有时记载为CAAC(c-axis aligned crystal)或CAC(Cloud-Aligned Composite)。注意,CAAC是指结晶结构的一个例子,CAC是指功能或材料构成的一个例子。

[0080] 此外,在本说明书等中,CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metal oxide具有开关功能(开启/关闭的功能)。通过在CAC-OS或CAC-metal oxide中使各功能分离,可以最大限度地提高各功能。

[0081] 此外,在本说明书等中,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。另外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时导电性区域被观察到其边缘模糊且以云状连接。

[0082] 在CAC-OS或CAC-metal oxide中,有时导电性区域及绝缘性区域以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0083] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide由具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分构成。在该构成中,当使载流子流过时,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分与具有宽隙的成分起互补作用,与具有窄隙的成分联动地载流子也流过具有宽隙的成分中。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流 (on-state current) 及高场效应迁移率。

[0084] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料 (matrix composite) 或金属基质复合材料 (metal matrix composite)。

[0085] 实施方式1

[0086] 在本实施方式中,参照附图对本发明的一个方式的摄像装置进行说明。

[0087] <摄像装置>

[0088] 图1是示出摄像装置10的结构实例的方框图。摄像装置10包括摄像电路11、图像处理电路12、主体13及控制器14。

[0089] 摄像电路11具有进行摄像工作并生成图像数据ID的功能。在摄像电路11中包括光电转换元件的像素被配置为矩阵状,该光电转换元件检测从外部照射的光(即,环境光),摄像电路11生成对应于被检测出的光的图像数据ID,关于详细内容将在后面进行说明。

[0090] 图像处理电路12具有对图像数据ID进行图像处理的功能。作为图像处理,例如可以进行伽马校正、调光、调色、噪声去除、畸变校正、编码或解密等。图像处理电路12具有进行人脸识别、自动场景识别、HDR等的处理的功能。自动场景识别是指识别外部环境等的场景而自动调节曝光、焦点、闪光等的功能。

[0091] 图像处理电路12可以不进行上述所有处理,也可以进行其一部分的处理。例如,图像处理电路12可以采用对图像数据ID仅进行伽马校正及噪声去除,而不进行畸变校正、编码或解密等的结构。另外,图像处理电路12可以采用进行人脸识别,而不进行自动场景识别及HDR的结构。图像处理电路12所进行的处理例如可以由摄像装置10的使用者选择。或者,图像处理电路12所进行的处理例如可以根据外部环境自动地选择。例如,可以采用在图像数据ID中的最亮的部分与最暗的部分之比为一定值以下的情况下不进行HDR的结构。

[0092] 作为图像处理电路12,例如可以使用处理器。

[0093] 主体13为具有生成图像处理电路12所需要的参数的功能的电路。例如,生成表示进行图像处理时需要的数据的参数。例如,在将供应到图像处理电路12的图像数据X根据指定的算式转换为图像数据Y的情况下,主体13可以生成表示该算式的系数的参数。另外,主体13例如生成表示对图像数据ID进行的处理的参数,关于详细内容将在后面进行说明。

[0094] 另外,主体13为具有接收从图像处理电路12输出的图像数据并将其输出到外部装置的功能的电路。在此,外部装置是指设置在摄像装置10的外部的装置,例如可以为显示装置或存储装置等。另外,主体13可以根据所接收的图像数据改变所生成的参数。

[0095] 主体13包括CPU (Central Processing Unit) 和存储器等。CPU也可以包括GPU (Graphics Processing Unit)。

[0096] 控制器14是具有控制向摄像电路11及图像处理电路12的供电的功能的电路。例如,在摄像装置10的使用者不使用摄像装置10的情况下,可以停止向摄像电路11及图像处

理电路12供电。由此可以降低摄像装置10的功耗。

[0097] 图像处理电路12包括控制器21、图像处理区块22及选择器23。例如,可以设置 n 个(n 为2以上的整数)图像处理区块22及 m 个(m 为2以上的整数)选择器23。 m 例如可以为 $n+1$ 。在图1中,示出 $m=n+1$ 的情况。以下,对 $m=n+1$ 的情况进行说明。

[0098] 在本说明书中,在需要将相同的符号区别开来时,有时对符号附加[0]、[1]、[n]等用来识别该符号的标记。例如,为了将多个图像处理区块22及多个选择器23区别开来,使用[1]、[2]、[n]等的标记。

[0099] 选择器23包括输入端子、输出端子、选择控制输入端子及选择控制输出端子。选择器23例如包括 m 个($n+1$ 个)输入端子、一个输出端子、一个选择控制输入端子及一个选择控制输出端子。

[0100] 图像处理区块22[1]至[n]串联连接。换言之,例如图像处理区块22[1]与图像处理区块22[2]电连接,图像处理区块22[2]与图像处理区块22[1]及图像处理区块22[3]电连接,图像处理区块22[n]与图像处理区块22[$n-1$]电连接。

[0101] 选择器23[1]至[$n+1$]通过选择控制输入端子及选择控制输出端子串联连接。换言之,例如选择器23[1]的选择控制输出端子与选择器23[2]的选择控制输入端子电连接,选择器23[n]的选择控制输出端子与选择器23[$n+1$]的选择控制输入端子电连接。

[0102] 控制器21是具有接收主体13所生成的参数并将该参数供应到图像处理区块22[1]或选择器23[1]等的功能的电路。例如,主体13可以对所生成的参数设置首部并在该首部写入关于参数的供应对象的数据。在此情况下,控制器21可以读出参数的首部而决定该参数的供应对象。例如,决定将参数是供应到图像处理区块22[1]还是供应到选择器23[1]。注意,在将参数供应到选择器23[1]的情况下,对选择器23[1]的选择控制输入端子供应参数。

[0103] 在本说明书等中,将供应到图像处理区块22的参数称为参数P1,将供应到选择器23的参数称为参数P2。

[0104] 通过前面图像处理区块22依次对图像处理区块22[2]至[n]供应参数P1。例如,可以通过图像处理区块22[1]及图像处理区块22[2]从控制器21对图像处理区块22[3]供应参数P1。例如,可以通过图像处理区块22[1]至[$n-1$]从控制器21对图像处理区块22[n]供应参数P1。另外,可以通过前面选择器23依次对选择器23[2]至[$n+1$]供应参数P2。例如,可以通过选择器23[1]及选择器23[2]从控制器21对选择器23[3]供应参数P2。例如,可以通过选择器23[1]至[n]从控制器21对选择器23[$n+1$]供应参数P2。

[0105] 另外,可以将供应到图像处理区块22[n]的参数P1供应到控制器21。另外,可以将供应到选择器23[$n+1$]的选择控制输入端子的参数P2从选择器23[$n+1$]的选择控制输出端子供应到控制器21。可以将从图像处理区块22[n]供应到控制器21的参数P1及从选择器23[$n+1$]供应到控制器21的参数P2供应到主体13。由此,主体13例如可以识别参数P1正常地供应到所有的图像处理区块22及参数P2正常地供应到所有的选择器23。另外,在图像处理区块22对参数P1进行改写的情况下,主体13可以识别改写后的参数P1。另外,供应到图像处理区块22[n]的参数P1及供应到选择器23[$n+1$]的选择控制输入端子的参数P2也可以不供应到控制器21。

[0106] 在图1中,示出图像处理电路12具有一个将参数P1供应到图像处理区块22的路径及一个将参数P2供应到选择器23的路径的结构,但是本发明的一个方式不局限于此。例如,

可以设置两个将参数P1供应到图像处理区块22的路径及两个将参数P2供应到选择器23的路径。路径的个数还可以为 i (i 为自然数)。通过增加供应参数的路径的个数,可以使摄像装置10的工作高速化。另外,将参数P1供应到图像处理区块22的路径的个数与将参数P2供应到选择器23的路径的个数也可以不同。

[0107] 控制器21为具有控制向图像处理区块22的供电的功能的电路。在摄像装置10中,也可以不使用图像处理区块22[1]至[n]的一部分,关于详细内容将在后面进行说明。在此情况下,控制器21可以停止向不使用的图像处理区块22供电。由此,可以降低摄像装置10的功耗。另外,控制器21也可以具有控制向选择器23的供电的功能。例如,可以停止向选择器23[1]至[n+1]中的其输出端子电连接于不使用的图像处理区块22的选择器23供电,关于详细内容将在后面进行说明。

[0108] 在图像处理电路12具有图1所示的结构的情况下,控制器14控制向控制器21的供电。在停止向控制器21供电的情况下,控制器21例如可以停止向图像处理区块22[1]至[n]供电。另外,例如可以停止向选择器23[1]至[n+1]供电。例如,控制器14可以在停止向摄像电路11供电时停止向控制器21供电。

[0109] 图像处理区块22是具有根据参数P1对图像数据SD进行处理并将其作为图像数据PD输出的功能的电路。图像处理区块22是具有根据参数P1对图像处理区块22所输出的图像数据PD进行处理的功能的电路。换言之,例如,从图像处理区块22[1]输出的图像数据PD由图像处理区块22[1]至[n]处理。

[0110] 图像处理区块22[1]至[n]可以进行彼此不同的处理。换言之,图像处理区块22[1]至[n]具有彼此不同的功能。例如,图像处理区块22[1]进行伽马校正,图像处理区块22[2]进行噪声去除,图像处理区块22[n-1]进行人脸识别,图像处理区块22[n]进行HDR。

[0111] 选择器23是具有选择由图像处理区块22进行处理的图像数据并将其作为图像数据SD输出的功能的电路。另外,选择器23是具有选择输出到外部装置的图像数据并将其作为图像数据SD输出的功能的电路。如图1所示,例如选择器23[k] (k 为1以上且 n 以下的整数)的输出端子与图像处理区块22[k]电连接。另外,例如选择器23[n+1]的输出端子与主体13电连接。换言之,例如选择器23[1]至[n]具有选择由对应的图像处理区块22进行处理的图像数据并将其作为图像数据SD输出的功能。另外,例如选择器23[n+1]具有选择输出到外部装置的图像数据并将其作为图像数据SD输出的功能。

[0112] 在本说明书等中,将从图像处理区块22[k]输出的图像数据PD表示为图像数据PD[k]。另外,将从选择器23[k]输出的图像数据SD表示为图像数据SD[k]。换言之,图像处理区块22[k]具有对图像数据SD[k]进行处理并将其作为图像数据PD[k]输出的功能。

[0113] 可以对选择器23的输入端子供应图像数据ID及图像数据PD[1]至[n]。换言之,选择器23可以输出从图像数据ID及图像数据PD[1]至[n]中选择一个图像数据。在供应到选择器23的输入端子的图像数据中,作为图像数据SD输出的图像数据由供应到选择控制输入端子的参数P2选择。

[0114] 选择器23也可以不具有根据供应到控制输入端子的参数P2输出图像数据SD的结构,关于详细内容将在后面进行说明。例如,选择器23[1]至[n]中的一个以上也可以不输出图像数据SD。在此情况下,可以不使与不输出图像数据SD的选择器23的输出端子电连接的图像处理区块22进行处理。如上所述,通过停止向不进行处理的数据处理区块22(即,不使

用的图像处理区块22)供电,可以降低摄像装置10的功耗。另外,如上所述,也可以停止向不输出图像数据SD的选择器23(即,其输出端子电连接到不进行处理 of 的图像处理区块22的选择器23)供电。

[0115] 由此可以将供应到选择器23的参数P2视为用来选择进行图像处理的图像数据的参数。另外,由于图像处理区块22[1]至[n]进行彼此不同的处理,因此可以将参数P2视为用来选择对图像数据ID进行处理的参数。

[0116] <图像处理区块>

[0117] 图2A是示出图像处理区块22的结构实例的方框图。在图2A中示出图像处理区块22[1]及图像处理区块22[2]。

[0118] 图像处理区块22包括保持电路30及图像处理部33。保持电路30具有接收并保持参数的功能。例如,保持电路30具有接收并保持参数P1,将其供应到图像处理部33的功能。

[0119] 图像处理部33是具有根据参数P1对从选择器23输出的图像数据SD进行图像处理,将其作为图像数据PD输出的功能的电路。例如,设置在图像处理区块22[1]中的图像处理部33具有根据参数P1对从选择器23[1]输出的图像数据SD[1]进行图像处理,将其作为图像数据PD[1]输出的功能。另外,例如设置在图像处理区块22[2]中的图像处理部33具有根据参数P1对从选择器23[2]输出的图像数据SD[2]进行图像处理,将其作为图像数据PD[2]输出的功能。为此,可以将参数P1视为表示图像处理部33进行处理时所需要的数据的参数。

[0120] 保持电路30包括扫描链寄存器部30A及寄存器部30B。扫描链寄存器部30A包括多个寄存器31,寄存器31构成寄存器链。寄存器部30B包括多个寄存器32。

[0121] 寄存器31是具有接收参数并将其供应到寄存器32的功能的电路。例如,寄存器31具有接收参数P1并将其供应到寄存器32的功能。寄存器31接收时钟信号CLK,与时钟信号CLK同步地进行参数的接收及向寄存器32的参数的供应。

[0122] 寄存器32是具有保持从寄存器31供应的参数并将该参数输出到图像处理部33的功能的电路。例如,寄存器32具有保持从寄存器31供应的参数P1并将该参数P1输出到图像处理部33的功能。

[0123] 寄存器31例如具有将一个参数P1作为1位的数据保持的功能。另外,寄存器32例如具有将一个参数P1作为1位的数据保持的功能。

[0124] <选择器>

[0125] 图2B是示出选择器23的结构实例的方框图。在图2B中示出选择器23[1]及选择器23[2]。

[0126] 选择器23包括保持电路30及开关部34。选择器23所包括的保持电路30具有接收并保持参数P2,将其供应到开关部34的功能。选择器23所包括的保持电路30的结构等可以与图像处理区块22所包括的保持电路30的结构等相同。

[0127] 开关部34是具有根据参数P2选择供应到开关部34的图像数据(例如,图像数据ID和图像数据PD[1]至[n])中的一个并将其作为图像数据SD输出的功能的电路。例如,设置在选择器23[1]中的开关部34具有例如选择图像数据ID和图像数据PD[1]至[n]中的一个并将其作为图像数据SD[1]输出的功能。例如,设置在选择器23[2]中的开关部34具有例如选择图像数据ID和图像数据PD[1]至[n]中的一个并将其作为图像数据SD[2]输出的功能。为此,可以将参数P2视为表示从开关部34输出的图像数据的参数。

[0128] 开关部34设置有例如与供应到选择器23的输入端子的图像数据的个数相同个数的晶体管35,晶体管35的源极和漏极中的一个被用作选择器23的输入端子。换言之,例如在对选择器23的输入端子供应图像数据ID和图像数据PD[1]至[n]的情况下,该选择器23的开关部34设置有n+1个晶体管35,对各晶体管35的源极和漏极中的一个供应图像数据。

[0129] 一个晶体管35的栅极例如与一个寄存器32电连接。换言之,可以在寄存器部30B设置与晶体管35相同个数的寄存器32。对晶体管35的栅极从与该晶体管35的栅极电连接的寄存器32供应参数P2。

[0130] 在本说明书等中,栅极有时表示前栅极。另外,有时表示前栅极和背栅极中的一个或者两个。另外,有时表示背栅极。

[0131] 各晶体管35的源极和漏极中的另一个彼此电连接。通过采用上述结构,在使晶体管35导通时,供应到该晶体管35的源极和漏极中的一个的图像数据从晶体管35的源极和漏极中的另一个作为图像数据SD输出。例如,在使其源极和漏极中的一个被供应图像数据ID的晶体管35导通时,图像数据ID作为图像数据SD输出。

[0132] 在晶体管35例如是n沟道晶体管的情况下,通过对晶体管35的栅极施加高电位,可以使晶体管35导通。换言之,参数P2被用来例如对其源极和漏极中的一个被供应作为图像数据SD输出的图像数据的晶体管35的栅极施加高电位,并例如对其他的晶体管35的栅极施加低电位。

[0133] 下面,对摄像装置10所包括的晶体管都是n沟道晶体管的情况进行说明,但是根据需要可以适当地使用p沟道晶体管。此时,通过适当地使电位的大小关系相反等,可以参照本说明书等的说明。

[0134] 在本说明书等中,低电位例如可以是接地电位。

[0135] 在图2A和图2B中,在对保持在保持电路30中的参数进行更新的情况下,首先改变扫描链寄存器部30A的参数。在改写扫描链寄存器部30A的各寄存器31的参数之后,将扫描链寄存器部30A的各寄存器31的参数一次性地加载到寄存器部30B的各寄存器32。

[0136] 由此,图像处理部33可以使用一次性更新的参数P1进行各种处理。另外,开关部34可以使用一次性更新的参数P2选择所输出的图像数据。由于可以保持参数更新的同时性,所以摄像装置10可以稳定地工作。另外,通过采用保持电路30中设置有扫描链寄存器部30A及寄存器部30B的结构,即使在图像处理部33及开关部34工作期间,也可以更新扫描链寄存器部30A的参数。

[0137] 寄存器32优选是在停止供电的状态下所保持的参数也不消失的非易失性寄存器。为了使寄存器32具有非易失性,优选例如使用0S晶体管构成寄存器32,关于详细内容将在后面进行说明。

[0138] 当寄存器32是非易失性寄存器时,在停止向图像处理区块22供电之后且再次开始供电的情况下,图像处理部33可以从寄存器32读出参数再次开始处理,而主体13无需生成参数P1。另外,当寄存器32是非易失性寄存器时,在停止向选择器23供电之后且再次开始供电的情况下,开关部34可以根据保持在寄存器32中的参数再次开始处理,而主体13无需生成参数P2,。由此,可以使摄像装置10的工作高速化。

[0139] 另外,当寄存器32是非易失性寄存器时,可以降低寄存器32的刷新工作频率。由此,可以降低摄像装置10的功耗。

[0140] <寄存器>

[0141] 图3A至图3C是示出寄存器31及寄存器32的结构实例的电路图。在图3A至图3C中示出寄存器31包括触发器电路40的情况。此时,对触发器电路40的输入端子供应参数。触发器电路40的输出端子与下一级的触发器电路40的输入端子电连接。换言之,例如寄存器31[k]所包括的触发器电路40的输出端子与寄存器31[k+1]所包括的触发器电路40的输入端子电连接。另外,触发器电路40具有将参数作为数据保持的功能。

[0142] 寄存器31也可以不包括触发器电路40。例如,寄存器31可以包括锁存电路,也可以包括其他的存储电路。

[0143] 寄存器31优选例如包括Si晶体管。Si晶体管的通态电流大,所以可以提高寄存器31的工作速度。由此,可以使摄像装置10的工作高速化。另外,寄存器31也可以包括OS晶体管。

[0144] 在图3A中,寄存器32包括晶体管41、电容器42及缓冲电路43。在寄存器31包括触发器电路40的情况下,晶体管41的源极和漏极中的一个与触发器电路40的输出端子电连接。另外,晶体管41的源极和漏极中的另一个与电容器42的一个电极及缓冲电路43的输入端子电连接。另外,例如可以对电容器42的另一个电极施加低电源电位。

[0145] 在图3A至图3C中,VL表示低电源电位,VH表示高电源电位。另外,在其他的附图中,有时由VL表示低电源电位,由VH表示高电源电位。

[0146] 晶体管41具有控制向寄存器32供应保持在寄存器31的数据的功能。例如,在晶体管41处于导通状态时,保持在寄存器31中的数据被供应到寄存器32。

[0147] 电容器42具有将从寄存器31供应的数据作为电荷保持的功能。换言之,晶体管41具有控制电容器42的充放电的功能。

[0148] 缓冲电路43具有在不改变被输入的数据的逻辑的状态下例如对被输入的数据的电位进行校正的功能。从缓冲电路43输出的数据例如输出到图像处理部33或开关部34。

[0149] 晶体管41优选为OS晶体管。如上所述,OS晶体管的关态电流极低。这例如是因为氧化物半导体的带隙为3.0eV以上,OS晶体管的起因于热激发的泄漏电流少。因此,可以抑制保持在电容器42中的电荷泄漏。由此,例如在停止向图像处理区块22或选择器23供电并停止向寄存器32供电的情况下,寄存器32也可以继续保持数据。换言之,可以使寄存器32为非易失性寄存器。

[0150] 氧化物半导体优选包含铟(In)和锌(Zn)中的至少一个。作为这种氧化物半导体,典型的是In-M-Zn氧化物(元素M例如为Al、Ga、Y或Sn)。通过减少用作电子给体(施体)的水分或氢等杂质且减少氧缺陷,能够使氧化物半导体成为i型(本征半导体)或无限趋近于i型。在此,将上述氧化物半导体称为高纯度的氧化物半导体。通过将高纯度的氧化物半导体用于沟道形成区域,能够将以晶体管的沟道宽度标准化的OS晶体管的关态电流降低至几yA/ μm 以上且几zA/ μm 以下左右。

[0151] 图3A所示的寄存器32可以对缓冲电路43输出更准确的数据。因此,作为图像处理区块22所包括的寄存器32,优选使用图3A所示的寄存器32。

[0152] 寄存器32也可以具有图3B所示的结构。图3B所示的寄存器32在省略缓冲电路43这一点上与图3A所示的寄存器32的不同。通过采用图3B所示的寄存器32,可以减少寄存器32的占有面积。由此,可以增加设置在摄像装置10中的寄存器31及寄存器32等的个数。另外,

可以增加设置在摄像装置10中的图像处理区块22及选择器23等的个数。由此,可以实现摄像装置10的多功能化及高性能化。

[0153] 优选将图3B所示的寄存器32用作选择器23所包括的寄存器32。在此情况下,从选择器23所包括的寄存器32输出的数据可以供应到开关部34所包括的晶体管35的栅极。因此,能够识别从选择器23所包括的寄存器32输出的数据是高电位还是低电位即可,不需要进行准确的电位输出。因此,省略缓冲电路43也不会发生大问题。因此,优选将图3B所示的寄存器32用作选择器23所包括的寄存器32。

[0154] 在将图3B所示的寄存器32用作选择器23所包括的寄存器32的情况下,开关部34所包括的晶体管35优选为0S晶体管。通过采用0S晶体管,可以增加栅极绝缘层的厚度。由此,0S晶体管具有其栅极漏电流比Si晶体管少的特性。在将图3B所示的寄存器32用作选择器23所包括的寄存器32的情况下,电容器42的一个电极与开关部34所包括的晶体管35的栅极电连接。通过作为晶体管35使用0S晶体管,可以抑制保持在电容器42中的电荷从晶体管35的栅极漏电流。

[0155] 寄存器32也可以具有图3C所示的结构。图3C所示的寄存器32包括晶体管51、电容器52、晶体管53、反相器54、晶体管55、电容器56及晶体管57。

[0156] 在寄存器31包括触发器电路40的情况下,触发器电路40的输出端子与晶体管51的源极和漏极中的一个及反相器54的输入端子电连接。另外,晶体管51的源极和漏极中的另一个与电容器52的一个电极及晶体管53的栅极电连接。另外,晶体管53的源极和漏极中的一个与晶体管57的源极和漏极中的一个电连接。另外,反相器54的输出端子与晶体管55的源极和漏极中的一个电连接。另外,晶体管55的源极和漏极中的另一个与电容器56的一个电极及晶体管57的栅极电连接。

[0157] 另外,对晶体管53的源极和漏极中的另一个例如施加高电源电位。另外,对电容器52的另一个电极、电容器56的另一个电极及晶体管57的源极和漏极中的另一个例如施加低电源电位。

[0158] 晶体管51具有控制向寄存器32供应保持在寄存器31的数据的功能。例如,在晶体管51处于导通状态时,保持在寄存器31中的数据被供应到寄存器32。另外,电容器52具有将从寄存器31供应的数据作为电荷保持的功能。换言之,晶体管51具有控制电容器52的充放电的功能。

[0159] 反相器54具有使从寄存器31供应的数据的逻辑反转的功能。晶体管55具有控制对寄存器32供应使保持在寄存器31中的数据的数据的逻辑反转的数据的功能。例如,在晶体管55处于导通状态时,保持在寄存器31中的数据被供应到寄存器32,该数据的逻辑被反相器54反转。

[0160] 电容器56具有将其逻辑被反相器54反转的数据作为电荷保持的功能。换言之,晶体管55具有控制电容器56的充放电的功能。

[0161] 晶体管53及晶体管57具有将对应于从寄存器31供应的数据的逻辑的信号输出的功能。例如,在高电位的数据从寄存器31输出到寄存器32的情况下,高电位施加到晶体管53的栅极,低电位施加到晶体管57的栅极。由此,晶体管53成为导通状态,晶体管57成为关闭状态。因此,高电位的信号被输出。

[0162] 另外,例如,在低电位的数据从寄存器31输出到寄存器32的情况下,低电位施加到

晶体管53的栅极,高电位施加到晶体管57的栅极。由此,晶体管53成为关闭状态,晶体管57成为导通状态。因此,低电位的信号被输出。

[0163] 晶体管51及晶体管55优选为0S晶体管。如上所述,0S晶体管的关态电流极低。因此,可以抑制保持在电容器52中的电荷及保持在电容器56中的电荷泄漏。

[0164] 晶体管53及晶体管57优选为0S晶体管。如上所述,0S晶体管具有栅极漏电流极低的特征。因此,可以抑制保持在电容器52中的电荷及保持在电容器56中的电荷泄漏。

[0165] 图3C所示的寄存器32可以输出高电位的信号或低电位的信号。因此,图3C所示的寄存器32优选用于选择器23所包括的寄存器32。在此情况下,晶体管53的源极和漏极中的一个及晶体管57的源极和漏极中的一个与开关部34所包括的晶体管35的栅极电连接。晶体管35的栅极不与电容器52的一个电极电连接且不与电容器56的一个电极电连接,因此即使作为晶体管35使用Si晶体管,也可以抑制保持在电容器52中的电荷及保持在电容器56中的电荷经过栅极漏电流。因此,可以增加晶体管35的通态电流,所以在晶体管35成为导通状态之后,开关部34可以迅速地输出图像数据。由此,可以使摄像装置10的工作高速化。

[0166] 图4A至图4C是示出寄存器31及寄存器32的结构实例的电路图,是图3A至图3C所示的结构的变形例子。图4A和图4B与图3A和图3B的不同之处在于图4A和图4B的晶体管41包括背栅极。图4C与图3C的不同之处在于图4C的晶体管51、晶体管53、晶体管55及晶体管57包括背栅极。

[0167] 通过在晶体管中设置背栅极,可以改变该晶体管的阈值电压。例如,当对背栅极施加负电位时,晶体管的阈值电压增加,该晶体管的关态电流变少。另外,例如,当对背栅极施加正电位时,晶体管的阈值电压降低,该晶体管的通态电流变大。在晶体管处于关闭状态时对该晶体管的背栅极施加负电位,在晶体管处于导通状态时对该晶体管的背栅极施加正电位,由此可以在保持寄存器32的非易失性的同时提高寄存器32的工作速度。

[0168] 晶体管的背栅极可以与该晶体管的栅极电连接。此时,在晶体管的栅极被施加高电位的情况下该晶体管的背栅极被施加高电位,在晶体管的栅极被施加低电位的情况下该晶体管的背栅极被施加低电位。因此,可以在使背栅极的电位控制变得容易的同时降低晶体管的关态电流,而且可以增加通态电流。

[0169] 另外,也可以对晶体管的背栅极施加恒电位。尤其是,优选对晶体管53的背栅极及晶体管57的背栅极作为恒电位施加正电位。晶体管的关态电流的大小不太可能影响到该晶体管的栅极漏电流。因此,即使对晶体管53的背栅极继续施加正电位,也可以抑制保持在电容器52中的电荷的泄漏。另外,即使对晶体管57的背栅极继续施加正电位,也可以抑制保持在电容器56中的电荷的泄漏。另一方面,通过对晶体管53的背栅极及晶体管57的背栅极作为恒电位施加正电位,可以在使背栅极电位的控制变得容易的同时增加通态电流,由此可以提高寄存器32的工作速度。

[0170] 晶体管41、晶体管51、晶体管53、晶体管55及晶体管57的一部分也可以不包括背栅极。

[0171] 在图3A至图3C及图4A至图4C中示出寄存器32为非易失性寄存器的情况下的寄存器31及寄存器32的结构实例,但是在本发明的一个方式中,寄存器31也可以为非易失性寄存器。图5是示出寄存器31为非易失性寄存器时的寄存器31[1]、寄存器31[2]、寄存器32[1]及寄存器32[2]的结构实例的电路图。

[0172] 寄存器31包括晶体管61、晶体管62、晶体管63、晶体管64、晶体管65、晶体管66、电容器83及电容器86。晶体管61至晶体管66优选为0S晶体管。另外，晶体管61至晶体管66优选为包括背栅极的0S晶体管。

[0173] 寄存器32包括晶体管67、晶体管68、晶体管69、晶体管70、晶体管71及锁存电路90。锁存电路90包括反相器91及反相器92。例如，晶体管67至晶体管71可以为0S晶体管，锁存电路90所包括的反相器91及反相器92可以由Si晶体管构成。或者，晶体管67至晶体管71及构成反相器91及反相器92的晶体管也可以为Si晶体管。

[0174] 另外，对寄存器31及寄存器32施加低电源电位及高电源电位。对寄存器31作为图2A和图2B所示的时钟信号CLK供应时钟信号CLK1、时钟信号CLK2、时钟信号CLK3及时钟信号CLK4。另外，对寄存器32供应信号LD、信号RS及信号SV。寄存器31[1]接收参数P1或参数P2并输出数据D0[1]，寄存器31[2]接收数据D0[1]并输出数据D0[2]。

[0175] 对应于寄存器31[1]的寄存器32[1]输出数据Q[1]，对应于寄存器31[2]的寄存器32[2]输出数据Q[2]。数据Q[1]及数据Q[2]被输出到图像处理部33或开关部34。

[0176] <工作实例>

[0177] 图6是示出图5所示的寄存器31及寄存器32的工作实例的时序图。在图6中示出时钟信号CLK1至时钟信号CLK4、信号LD、信号RS、信号SV、参数P1或者P2及有关输入输出的数据D0[1]、数据D0[2]、数据Q[1]、数据Q[2]的电位。

[0178] 在图6中，时刻T1至时刻T9是对扫描链寄存器部30A供应数据的期间，时刻T10至时刻T12是将扫描链寄存器部30A的数据加载到寄存器部30B的期间，时刻T13至时刻T17是再次对扫描链寄存器部30A供应数据的期间，时刻T18至时刻T20是将寄存器部30B的数据储存于扫描链寄存器部30A中的期间。在寄存器31及寄存器32具有图5所示的结构的情况下，优选在停止向图像处理区块22或选择器23等供电时将寄存器部30B的数据储存于扫描链寄存器部30A中，关于详细内容将在后面进行说明。

[0179] 在时刻T1至时刻T2，通过将时钟信号CLK1设定为高电位，来使寄存器31[1]的节点N1[1]及寄存器31[2]的节点N1[2]复位至低电位。在时刻T2至时刻T3，通过将时钟信号CLK2设定为高电位，来将寄存器31[1]的节点N1[1]对应参数P1或参数P2设定为高电位，将寄存器31[2]的节点N1[2]对应数据D0[1]设定为低电位。

[0180] 在时刻T3至时刻T4，通过将时钟信号CLK3设定为高电位，来使寄存器31[1]的数据D0[1]及寄存器31[2]的数据D0[2]复位至低电位。在时刻T4至时刻T5，通过将时钟信号CLK4设定为高电位，来将寄存器31[1]的数据D0[1]对应节点N1[1]设定为高电位，将寄存器31[2]的数据D0[2]对应节点N1[2]设定为低电位。

[0181] 在时刻T5至时刻T6，通过将时钟信号CLK1设定为高电位，来使寄存器31[1]的节点N1[1]及寄存器31[2]的节点N1[2]复位至低电位。在时刻T6至时刻T7，通过将时钟信号CLK2设定为高电位，来将寄存器31[1]的节点N1[1]对应参数P1或参数P2设定为低电位，将寄存器31[2]的节点N1[2]对应数据D0[1]设定为高电位。

[0182] 在时刻T7至时刻T8，通过将时钟信号CLK3设定为高电位，来使寄存器31[1]的数据D0[1]及寄存器31[2]的数据D0[2]复位至低电位。在时刻T8至时刻T9，通过将时钟信号CLK4设定为高电位，来将寄存器31[1]的数据D0[1]对应节点N1[1]设定为低电位，将寄存器31[2]的数据D0[2]对应节点N1[2]设定为高电位。

[0183] 如此,通过时刻T1至时刻T9的工作,寄存器31[1]的数据D0[1]成为低电位,寄存器31[2]的数据D0[2]成为高电位,而可以对构成扫描链寄存器部30A的寄存器31供应数据。通过改变参数P1或参数P2,可以改变数据D0[1]及数据D0[2]的逻辑。

[0184] 接着,在时刻T10至时刻T11,通过将信号RS设定为高电位,来使寄存器32[1]的数据Q[1]及寄存器32[2]的数据Q[2]复位至低电位。在时刻T11至时刻T12,通过将信号LD设定为高电位,来将寄存器32[1]的数据Q[1]对应数据D0[1]设定为低电位,将寄存器32[2]的数据Q[2]对应数据D0[2]设定为高电位。

[0185] 通过时刻T10至时刻T12的工作,寄存器32[1]的数据Q[1]成为低电位,寄存器32[2]的数据Q[2]成为高电位,由此可以将扫描链寄存器部30A的数据加载到构成寄存器部30B的寄存器32。

[0186] 另外,由于寄存器31所包括的电容器83及电容器86与关态电流极小的0S晶体管电连接,因此在停止供电的情况下也可以长时间保持电荷。即使寄存器32的数据由于供电的停止而消失,在重新开始供电之后,通过进行上述时刻T10至时刻T12的工作,也可以将扫描链寄存器部30A的数据加载到寄存器部30B。

[0187] 接着,在时刻T13至时刻T17,再次对扫描链寄存器部30A供应数据。由于该工作与时刻T1至时刻T5相同,因此省略说明,但是寄存器31[1]的数据D0[1]成为高电位,寄存器31[2]的数据D0[2]成为低电位。

[0188] 在此,在停止供电的情况下,通过时刻T13至时刻T17的工作而供应到扫描链寄存器部30A的数据与通过时刻T10至时刻T12的工作而加载的寄存器32的数据(数据Q[1]为低电位,数据Q[2]为高电位)不同,因此优选将寄存器部30B的数据储存于扫描链寄存器部30A。

[0189] 在时刻T18至时刻T19,通过将时钟信号CLK1设定为高电位,来使寄存器31[1]的节点N1[1]及寄存器31[2]的节点N1[2]复位至低电位。在时刻T19至时刻T20,通过将信号SV设定为高电位,来将寄存器31[1]的节点N1[1]对应Q[1]设定为低电位,将寄存器31[2]的节点N1[2]对应Q[2]设定为高电位。

[0190] 由于此后的工作与时刻T7至时刻T9相同,因此省略说明及图示,但是通过依次将时钟信号CLK3及时钟信号CLK4设定为高电位,可以将寄存器31[1]的数据D0[1]对应节点N1[1]设定为低电位,将寄存器31[2]的数据D0[2]对应节点N1[2]设定为高电位。

[0191] 如上所述,在当更新扫描链寄存器部30A的数据时停止供电的情况下,扫描链寄存器部30A的数据与寄存器部30B的数据产生不一致。而在再次开始供电时,该不一致的数据会加载到寄存器部30B,因此优选将寄存器部30B的数据储存于扫描链寄存器部30A中。或者,也可以在扫描链寄存器部30A的数据更新结束之后再停止供电。

[0192] <图像处理>

[0193] 接着,对由图像处理区块22所包括的图像处理部33进行的处理加以说明。伽马校正、调光、调色等图像处理相当于对供应到图像处理部33的图像数据X进行校正并生成要输出的图像数据Y的处理。图像处理部33所使用的参数P1是用来将图像数据X转换为图像数据Y的参数。

[0194] 参数的设定方式有表格方式、函数近似方式等。在图7A所示的表格方式中,将相对于图像数据X_n的图像数据Y_n作为参数储存于表格中。在表格方式中,需要多个储存对应于

该表格的参数的寄存器,但是图像数据X的校正的自由度较高。另一方面,在可以在经验上预先决定相对于图像数据X的图像数据Y时,如图7B所示,采用函数近似方式是有效的。a1、a2、b2等包括在参数P1。这里,示出在每个区域进行线性近似的方法,但是也可以采用以非线性函数近似的方法。在函数近似方式中,图像数据X的校正的自由度较低,但是储存定义函数的参数的寄存器少量即可。

[0195] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0196] 实施方式2

[0197] 在本实施方式中,参照附图对摄像电路11的具体的结构实例进行说明。

[0198] <摄像电路>

[0199] 图8是示出摄像电路11的结构实例的方框图。摄像电路11包括具有被配置为矩阵状的像素120的像素阵列121、具有选择像素阵列121的行的功能的栅极驱动器122、对像素120的输出信号进行CDS (Correlated Double Sampling) 工作的CDS电路123、具有将从CDS电路123输出的模拟数据转换为数字数据的功能的A/D转换电路124、具有选择并读出由A/D转换电路124转换的数据的功能的源极驱动器125。像素120输出具有对应于所取得的图像数据的电位的信号OUT。另外,也可以不设置CDS电路123。

[0200] <像素电路>

[0201] 图9是像素120的电路图。像素120包括光电转换元件131及晶体管141至晶体管144。光电转换元件131的一个电极与晶体管141的源极和漏极中的一个电连接。晶体管141的源极和漏极中的另一个与晶体管142的源极和漏极中的一个电连接。晶体管141的源极和漏极中的另一个与晶体管143的栅极电连接。晶体管143的源极和漏极中的一个与晶体管144的源极和漏极中的一个电连接。

[0202] 在此,将与晶体管141的源极和漏极中的另一个、晶体管142的源极和漏极中的一个、晶体管143的栅极连接的节点FD称为电荷存储部。

[0203] 可以对光电转换元件131的另一个电极施加电位VPD。可以对晶体管142的源极和漏极中的另一个施加电位VRS。可以对晶体管143的源极和漏极中的另一个施加电位VPI。晶体管144的源极和漏极中的另一个可以输出信号OUT。

[0204] 电位VPD例如可以是低电源电位。电位VRS及电位VPI例如可以是高电源电位。

[0205] 可以对晶体管141的栅极供应信号TX。可以对晶体管142的栅极供应信号RS。可以对晶体管144的栅极供应信号SE。

[0206] 晶体管141被用作将光电转换元件131的一个电极的电位传输到节点FD的晶体管。晶体管142被用作将节点FD的电位复位的晶体管。晶体管143被用作用来进行对应于节点FD的电位的输出的晶体管。晶体管144被用作用来选择像素120的晶体管。

[0207] 注意,上述像素120的结构只是一个例子,有时不包括一部分的电路、一部分的晶体管或一部分的电容器等。或者,有时包括上述结构中不包括的电路、晶体管或电容器等。或者,有时一部分的电源电位不同。

[0208] 晶体管141及晶体管142优选为0S晶体管。如上所述,0S晶体管的关态电流比Si晶体管小。换言之,通过作为晶体管141及晶体管142使用0S晶体管,可以长期间保持储存于节点FD的电荷。因此,可以在不使电路结构或工作方法复杂化的情况下采用在所有的像素中同时进行电荷存储工作的全局快门方式。

[0209] 另外,晶体管143及晶体管144也可以是0S晶体管。通过不仅晶体管141至晶体管144,而且摄像装置10所包括的驱动电路等也使用0S晶体管形成,由此可以省略Si晶体管的制造工序。因此,可以使摄像装置10的制造工序简化。

[0210] 图10A示意性地示出全局快门方式的工作方法,图10B示意性地示出卷帘快门方式的工作方法。在图10A和图10B中,“E”表示可以进行曝光工作的期间,“R”表示可以进行读出工作的期间。另外,p表示作为任意的第p(p为2以上的整数)帧的第p帧。另外,p-1表示第p帧的上一个帧,p+1表示第p帧的下一个帧。如图8所示,像素被配置为矩阵状。另外,Row[1]表示第1行的像素,Row[M]表示第M行(最后一行)的像素。

[0211] 图10A示意性地表示全局快门方式的工作方法。全局快门方式是在所有像素中同时进行曝光,然后按行读出数据的工作方法。由此,即使拍摄运动物体也可以获得没有畸变的图像。

[0212] 图10B示意性地表示卷帘快门方式的工作方法。卷帘快门方式是按行依次进行曝光及数据读出的工作方法。没有在所有像素中的撮像的同时性,因此在拍摄运动物体时,图像中会产生畸变。

[0213] 另外,摄像电路11也可以采用卷帘快门方式。

[0214] 因为0S晶体管的电特性变动的温度依赖性比Si晶体管小,所以0S晶体管可以在极宽的温度范围中使用。因此,0S晶体管优选用于安装在汽车等的传感器等半导体装置。

[0215] 另外,如图11A所示,像素120也可以具有节点FD与电容器连接的结构。另外,如图11B所示,像素120也可以具有光电转换元件131的方向与图9相反的结构。

[0216] 另外,如图12A所示,像素120中的晶体管141至晶体管144也可以设置有背栅极。通过采用该结构,可以控制晶体管141至晶体管144的阈值电压。

[0217] 可以对各背栅极施加不同的电位。例如,对晶体管141的背栅极施加电位VBG1,对晶体管142的背栅极施加电位VBG2,对晶体管143的背栅极施加电位VBG3,对晶体管144的背栅极施加电位VBG4。

[0218] 或者,如图12B所示,与晶体管141及晶体管142所包括的背栅极连接的布线也可以彼此电连接。另外,与晶体管143及晶体管144所包括的背栅极连接的布线也可以彼此电连接。在此情况下,例如可以对晶体管141的背栅极及晶体管142的背栅极施加电位VBG1,对晶体管143的背栅极及晶体管144的背栅极施加电位VBG3。

[0219] 如上所述,在对n沟道晶体管的背栅极施加负电位时,阈值电压增加。另一方面,在对背栅极施加正电位时,阈值电压减少。因此,在以预定的栅极电压控制各晶体管的导通和关闭的情况下,通过对背栅极施加负电位,可以降低关态电流。另外,在对背栅极施加正电位时,可以增加通态电流。

[0220] 另外,如上所述,作为晶体管143及晶体管144优选使用通态电流高的晶体管。通过对晶体管143及晶体管144的背栅极施加正电位,可以增加通态电流。因此,可以迅速地确定信号OUT的电位。换言之,可以以高频率进行工作,从而可以使摄像装置10的工作高速化。

[0221] 另外,如图12C所示,晶体管144也可以具有其栅极与背栅极彼此电连接的结构。换言之,可以对栅极及背栅极施加相同电位的结构。

[0222] 在摄像装置的内部,使用各电源电位、信号电位以及上述施加到背栅极的电位等多种电位。如果从摄像装置的外部供应多种电位,端子数等就会增加。由此,优选在该摄像

装置内部设置生成多种电位的电源电路。

[0223] <像素电路的工作实例>

[0224] 参照图13所示的时序图对图12A所示的像素电路的工作进行说明。在时序图中, V1为比参考电位高的电位, 例如可以为高电源电位 (VH)。V0为参考电位, 即源极电位, 例如可以为低电源电位 (VL)。

[0225] 首先, 在时刻T1, 将信号RS及信号TX的电位设定为V1, 来使晶体管141及晶体管142导通, 节点FD被复位至复位电位 (例如VH) (复位工作)。此时, 通过将电位VBG1及电位VBG2设定为比V0高的电位 ($>V0$), 可以提高晶体管141及晶体管142的通态电流, 而可以迅速地进行复位工作。

[0226] 在时刻T2, 将信号RS的电位设定为V0, 来使晶体管142关闭, 结束复位工作, 开始存储工作。此时, 通过将电位VBG2设定为比V0低电位, 可以降低晶体管142的关态电流, 可以防止由泄漏电流引起的向节点FD的电荷供应。另外, 在时刻T2, 也可以将电位VBG1的电位设定为V0。

[0227] 在时刻T3, 将信号TX的电位设定为V0, 来使晶体管141关闭, 节点FD的电位被确定且保持 (保持工作)。此时, 通过将信号VBG1设定为比V0低电位 ($<V0$), 可以降低晶体管141的关态电流, 从而可以防止由泄漏电流引起的来自节点FD的电荷流出。

[0228] 在时刻T4, 将信号SE的电位设定为V1, 来使晶体管144导通, 根据流过晶体管143的电流, 信号OUT的电位发生变化 (读出工作)。此时, 通过将电位VBG3及电位VBG4设定为比V0高的电位 ($>V0$), 可以提高晶体管143及晶体管144的通态电流, 从而可以迅速地确定信号OUT的电位。

[0229] 在时刻T5, 将信号SE的电位设定为V0, 来使晶体管144关闭, 结束读出工作。另外, 直到读出工作结束为止, 优选将信号VBG1及信号VBG2的电位保持为比V0低电位 ($<V0$), 以避免节点FD的电位发生变化。另外, 在上述说明中, 也可以以与信号VBG1相同的时序改变信号VBG2的电位。

[0230] 通过上述步骤, 可以读出对应于节点FD的电位的信号。在使图9所示的像素120进行工作时, 省略图13所示的时序图电位VBG1至电位VBG4的控制即可。在使图12B所示的像素120进行工作时, 省略图13所示的时序图电位VBG2及电位VBG4的控制即可。

[0231] <晶体管共享型像素电路>

[0232] 另外, 如图14A和图14B所示, 本发明的一个方式的像素电路也可以具有多个像素共享晶体管的结构。

[0233] 在图14A所示的晶体管共享型像素中, 像素120a至像素120d具有分别包括光电转换元件131、晶体管141及晶体管145且共享晶体管142至晶体管144的结构。像素120a至像素120d所包括的晶体管141的工作分别由信号TXa至信号TXd控制。另外, 晶体管145的工作由信号GPD控制, 通过将晶体管145的源极和漏极中的一个电连接到光电转换元件131的阴极, 可以将电位保持在光电转换元件131的阴极中。因此, 适于采用同时在所有的像素中依次进行复位工作、存储工作、保持工作并在各像素中分别进行读出工作的全局快门方式的摄像。另外, 在晶体管145的源极和漏极中的一个与光电转换元件131的阳极电连接的情况下, 可以将电位保持在光电转换元件131的阳极中。

[0234] 在图14B所示的晶体管共享型像素中, 像素120a至像素120d具有分别包括光电转

换元件131及晶体管141且共享晶体管142至晶体管144的结构。换言之,图14B所示的像素的结构与图14A所示的像素的结构的不同之处在于前者不包括晶体管145。

[0235] 在图14B所示的结构中,可以在各像素中依次进行复位工作、存储工作、保持工作及读出工作,主要适于采用卷帘快门方式的摄像。另外,由于不包括晶体管145,所以可以减少每个像素的晶体管数,而可以降低每个像素的占有面积。

[0236] 另外,图14A和图14B中示出像素120a、像素120b、像素120c及像素120d的四个像素共享晶体管的情况,但是也可以采用两个像素、三个像素或五个以上的像素共享晶体管的结构。

[0237] <像素的结构实例>

[0238] 图15是说明像素120的具体结构实例的截面图,并是示出像素电路所包括的晶体管141至晶体管144的沟道长度方向的截面图。

[0239] 注意,虽然在本实施方式中说明的截面图中,布线、电极、金属层及接触插头(导电体182)为单独的构成要素,但是在附图上彼此电连接的构成要素有时在实际的电路中被认作为同一个构成要素。此外,布线、电极及金属层等构成要素通过导电体182彼此连接的方式仅是一个例子,而有时各构成要素不通过导电体182直接连接。

[0240] 另外,在衬底及晶体管等各构成要素上设置有用作保护膜、层间绝缘膜或平坦化膜的绝缘层181a至绝缘层181k等。例如,绝缘层181a至绝缘层181k可以使用氧化硅膜、氮化硅膜等无机绝缘膜。或者,也可以使用丙烯酸树脂、聚酰亚胺树脂等有机绝缘膜等。根据需要可以通过CMP (Chemical Mechanical Polishing:化学机械抛光)法等对绝缘层181a至绝缘层181k等的顶面进行平坦化处理。

[0241] 另外,有时不设置附图所示的布线及晶体管等的一部分,或者有时各层包括在附图中未图示的布线及晶体管等。

[0242] 像素120可以包括层1100及层1200。

[0243] 层1100可以包括光电转换元件131。作为光电转换元件131,例如可以使用具有两个端子的光电二极管。作为该光电二极管,可以使用:使用单晶硅衬底的pn型光电二极管;使用非晶硅薄膜、微晶硅薄膜或多晶硅薄膜的pin型光电二极管;使用硒、硒化合物或有机化合物的光电二极管;等。

[0244] 在图15中,作为层1100所包括的光电转换元件131示出使用单晶硅衬底的pn型光电二极管。该光电转换元件131可以具有包括 p^+ 区域620、 p^- 区域630、n型区域640、 p^+ 区域650的结构。

[0245] 层1200可以包括构成像素电路的OS晶体管,在图15中,示出像素电路所包括的晶体管141至晶体管144。如此,可以实现光电转换元件131与晶体管重叠的结构,由此可以增大光电转换元件131的受光面积。

[0246] 在形成OS晶体管的区域与形成Si器件(Si晶体管或Si光电二极管等)的区域之间设置有绝缘层180。

[0247] 优选在设置于Si器件附近的绝缘层中包含氢,以使硅的悬空键终结。另一方面,设置于晶体管141及晶体管142等的活性层的氧化物半导体层附近的绝缘层中的氢有可能成为在氧化物半导体层中生成载流子的原因之一。因此,该氢有时引起晶体管141及晶体管142等的可靠性的下降。因此,当层叠包含Si器件的一个层与包含OS晶体管的另一个层时,

优选在它们之间设置具有防止氢扩散的功能的绝缘层180。通过设置绝缘层180,可以防止氢的扩散,由此可以提高Si器件及OS晶体管的可靠性。

[0248] 作为绝缘层180,例如可以使用氧化铝、氮化铝、氧化镓、氮化镓、氧化钇、氮化钇、氧化钪、氮化钪、氧化钽稳定氧化锆(YSZ)等。

[0249] 光电转换元件131的一个电极(n型区域640)例如可以通过两个导电体182及布线169电连接到晶体管141。

[0250] 在此,由于导电体182以穿过绝缘层180的方式设置,所以优选导电体182也具有防止氢扩散的功能。例如,如图15所示,导电体182的至少与贯通口的侧壁接触的外侧为对氢具有阻挡性的导电体182b,并且导电体182的内侧为电阻低的导电体182a即可。例如,作为导电体182a及导电体182b分别可以使用钨及氮化钽等。此外,在包含氢等杂质的层不与导电体182接触的情况下,导电体182也可以仅由导电体182a或仅由导电体182b构成。

[0251] 图15示出在层1200中设置有顶栅型OS晶体管的结构。例如,OS晶体管设置在形成于层1100上的绝缘层的叠层(绝缘层181a、绝缘层180、绝缘层181b)上,且包括氧化物半导体层230、用作源电极或漏电极的导电层240及导电层250、用作栅极绝缘层的绝缘层260、用作栅电极的导电层270。绝缘层181b也可以具有栅极绝缘层的功能。

[0252] 晶体管141所包括的导电层270通过导电体182与布线161电连接。晶体管142所包括的导电层270通过导电体182与布线162电连接。晶体管144所包括的导电层270通过导电体182与布线163电连接。晶体管144所包括的导电层250通过导电体182与布线191电连接。

[0253] 可以对布线161供应信号TX。可以对布线162供应信号RS。可以对布线163供应信号SE。可以从布线191输出信号OUT。

[0254] 另外,光电转换元件131所包括的 p^+ 区域620通过 p^+ 区域650及导电体182与布线171电连接。晶体管142所包括的导电层250通过导电体182与布线172电连接。晶体管143所包括的导电层240通过导电体182与布线173电连接。

[0255] 可以对布线171施加电位VPD。可以对布线172施加电位VRS。可以对布线173施加电位VPI。

[0256] 图15例示出在OS晶体管中设置用作背栅电极的导电层273的结构。在图15所示的结构中,有时经过层1100中的光会使晶体管的电特性变动,由此优选设置兼用作遮光层的背栅电极。此外,通过设置背栅极,可以控制OS晶体管的阈值电压等。

[0257] 此外,像素120也可以具有图16所示的叠层结构。图16所示的像素120具有在衬底215上设置有层1200及层1100的结构。由于在OS晶体管上设置光电转换元件131,所以容易实现OS晶体管与光电转换元件131的一个电极之间的电连接。

[0258] 图16示出将硒类材料用于光电转换层561的方式。使用硒类材料的光电转换元件131具有对于可见光的高外部量子效率。另外,由于硒类材料的光吸收系数高,所以具有易于将光电转换层561形成得较薄的优点。通过将硒类材料用于光电转换元件131,可以形成放大量因雪崩倍增而增大的高灵敏度的传感器。就是说,通过将硒类材料用于光电转换层561,即使像素面积变小也可以获得充分的光电流。因此,可以认为采用硒类材料的光电转换元件131适合于低照度环境下的摄像。

[0259] 作为硒类材料,可以使用非晶硒或结晶硒。结晶硒例如可以通过在形成非晶硒之后进行加热处理而形成。另外,通过使结晶硒的结晶粒径小于像素间距,可以减少各像素间

的特性偏差。另外,与非晶硒相比,结晶硒对可见光的光谱灵敏度及光吸收系数高。

[0260] 虽然图16示出单层的光电转换层561,但是如图17A所示,也可以在受光面一侧设置氧化镓、氧化铈或In-Ga-Zn氧化物等作为空穴注入阻挡层568。另外,如图17B所示,也可以在电极566一侧设置氧化镍或硫化锑等作为电子注入阻挡层569。另外,如图17C所示,也可以设置空穴注入阻挡层568及电子注入阻挡层569。

[0261] 光电转换层561可以为含有铜、铟、硒的化合物(CIS)的层,也可以为含有铜、铟、镓、硒的化合物(CIGS)的层。在使用CIS及CIGS的光电转换元件中,可以与硒的单层同样地利用雪崩倍增。

[0262] 作为采用硒类材料的光电转换元件131,例如可以采用在由金属材料等形成的电极566与透光导电层562之间具有光电转换层561的结构。此外,CIS及CIGS是p型半导体,也可以与其接触地设置n型半导体的硫化镉或硫化锌等以形成结合。

[0263] 虽然图16示出透光导电层562与布线171直接接触的结构,但是如图17D所示,透光导电层562也可以通过布线588与布线171接触。虽然图16示出不使光电转换层561与透光导电层562在像素电路间分离的结构,但是也可以如图17E所示采用在像素电路间分离的结构。此外,在像素间的不具有电极566的区域中,优选使用绝缘体形成隔壁567,以不使光电转换层561及透光导电层562产生裂缝,但是也可以如图18A、图18B所示采用不设置隔壁567的结构。

[0264] 此外,电极566及布线171等也可以采用多层结构。例如,如图18C所示,电极566也可以采用导电层566a和导电层566b的两层结构,而布线171也可以采用导电层171a和导电层171b的两层结构。在图18C的结构中,例如,优选选择低电阻的金属等来形成导电层566a及导电层171a,而选择与光电转换层561的接触特性好的金属等来形成导电层566b及导电层171b。通过采用这种结构,可以提高光电转换元件131的电特性。此外,一些种类金属会因与透光导电层562接触而产生电蚀。即使将这种金属用于导电层171a,也通过导电层171b可以防止电蚀。

[0265] 作为导电层566b及导电层171b,例如可以使用钼或钨等。此外,作为导电层566a及导电层171a,例如可以使用铝、钛或依次层叠钛、铝和钛的叠层。

[0266] 另外,如图18D所示,透光导电层562可以通过导体182及布线588与布线171连接。

[0267] 隔壁567可以使用无机绝缘体或绝缘有机树脂等形成。另外,隔壁567也可以着色成黑色等以遮蔽向晶体管等照射的光和/或确定每一个像素的受光部的面积。

[0268] 另外,像素120也可以具有图19所示的叠层结构。图19所示的像素120仅在层1100上与图16所示的像素120不同,其他结构都是相同的。

[0269] 在图19中,层1100所包括的光电转换元件131为作为光电转换层使用非晶硅膜或微晶硅膜等的pin型光电二极管。该光电转换元件131可以具有包括n型半导体层565、i型半导体层564、p型半导体层563、电极566、布线171及布线588的结构。

[0270] 电极566通过导体182与晶体管141所包括的导电层240电连接。另外,p型的半导体层563通过布线588与布线171电连接。

[0271] i型半导体层564优选使用非晶硅。p型半导体层563及n型半导体层565可以使用包含赋予各自的导电型的掺杂剂的非晶硅或者微晶硅等。将非晶硅用于光电转换层的光电二

极管在可见光波长区域内的灵敏度较高,而易于检测微弱的可见光。

[0272] 此外,具有pin型薄膜光电二极管的方式的光电转换元件131的结构以及光电转换元件131与布线的连接方式也可以采用图20A至图20C所示的例子。另外,光电转换元件131的结构以及光电转换元件131与布线的连接方式不局限于此,也可以采用其他方式。

[0273] 图20A示出设置有与光电转换元件131的p型半导体层563接触的透光导电层562的结构。透光导电层562被用作电极,而可以提高光电转换元件131的输出电流。

[0274] 透光导电层562例如可以使用钢锡氧化物、包含硅的钢锡氧化物、包含锌的氧化钢、氧化锌、包含镓的氧化锌、包含铝的氧化锌、氧化锡、包含氟的氧化锡、包含铟的氧化锡、石墨烯或氧化石墨烯等。此外,透光导电层562不局限于单层,而也可以为不同膜的叠层。

[0275] 图20B是透光导电层562通过导电体182及布线588与布线171连接的结构。另外,也可以采用光电转换元件131的p型半导体层563通过导电体182及布线588与布线171连接的结构。在图20B中,也可以不设置透光导电层562。

[0276] 图20C示出在覆盖光电转换元件131的绝缘层181e中设置有使p型半导体层563露出的开口并且覆盖该开口的透光导电层562与布线171电连接的结构。

[0277] 使用上述硒类材料或非晶硅等形成的光电转换元件131可以经过成膜工序、光刻工序、蚀刻工序等一般的半导体制造工序来制造。另外,由于硒类材料具有高电阻,也可以如图16所示那样采用光电转换层561不在电路间分离的结构。因此,可以以高成品率及低成本制造摄像装置。

[0278] 另外,如图21A至图21C所示,像素120也可以具有层1100、层1200及层1300的叠层结构。图21A是示出晶体管141至晶体管144的沟道长度方向的截面图。图21B是图21A所示的点划线X1-X2的截面图,表示晶体管141的沟道宽度方向的截面。图21C是图21A所示的点划线Y1-Y2之间的截面图,示出晶体管143的沟道宽度方向的截面。

[0279] 层1100也可以与上述像素120同样地包括光电转换元件131。在图21A中,示出光电转换元件131与图16的结构同样地包含硒类的结构,但是,光电转换元件131也可以与图19的结构同样地是pin型薄膜光电二极管的结构。

[0280] 层1200也可以包括晶体管141及晶体管142。作为晶体管141及晶体管142,优选使用OS晶体管。

[0281] 层1300也可以包括晶体管143及晶体管144。作为晶体管143及晶体管144,优选使用Si晶体管。Si晶体管的通态电流大,所以可以高效地放大节点FD的电位。

[0282] 虽然图21A和图21C示出晶体管143及晶体管144具有鳍型结构的例子,但是如图22A所示,晶体管143及晶体管144也可以具有平面型结构。另外,如图22B所示,也可以为具有硅薄膜的活性层660的晶体管。活性层660可以使用多晶硅或SOI(Silicon on Insulator:绝缘体上硅)结构的单晶硅形成。

[0283] 另外,如图23所示,层1100所包括的光电转换元件131也可以为使用单晶硅衬底的pn型光电二极管。

[0284] 在采用该结构的情况下,优选在层1300上形成层1200之后,贴合另行形成的层1100。在此情况下,层1200中设置有绝缘层181i、金属层402a及金属层403a。另外,层1100中设置有绝缘层181j、金属层402b及金属层403b。

[0285] 金属层402a及金属层403a以具有填埋于绝缘层181i中的区域的方式设置,金属层

402a与晶体管141的源极和漏极中的一个电连接。另外,金属层403a通过导电体182与布线171电连接。金属层402b及金属层403b以具有填埋于绝缘层181j中的区域的方式设置,金属层402b与光电转换元件131的n型区域640电连接。另外,金属层403b通过p⁺区域650与p⁺区域620电连接。

[0286] 如图23所示,金属层402a及金属层402b设置在分别与金属层403a及金属层403b直接接触的位置上,分别具有连接部402及连接部403。

[0287] 在此,金属层402a及金属层402b的主要成分优选为同一金属元素。另外,金属层403a及金属层403b的主要成分优选为同一金属元素。另外,绝缘层181i及绝缘层181j优选由同一成分构成。

[0288] 例如,金属层402a、金属层402b、金属层403a及金属层403b优选包含Cu、Al、Sn、Zn、W、Ag、Pt或Au等。从接合的容易性的观点来看,优选使用Cu、Al、W或Au。另外,绝缘层181i及绝缘层181j可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氮化钛等。

[0289] 通过将上述同一金属材料用于各金属层402a、金属层402b、金属层403a及金属层403b,并且将上述同一绝缘材料用于各绝缘层181i及绝缘层181j,可以进行层1100与层1200的贴合工序。通过进行该贴合工序,可以获得金属层402a与金属层402b的电连接及金属层403a与金属层403b的电连接。另外,可以获得绝缘层181i与绝缘层181j的有机机械强度的连接。

[0290] 当接合金属层时,可以利用表面活化接合法。在该方法中,通过溅射等去除氧化膜或杂质吸附层等并使清洁化且活化了的表面接触而接合。或者,可以利用并用温度及压力使表面接合的扩散接合法等。上述方法都可以发生原子级的结合,因此可以获得电气上和机械上都优异的接合。

[0291] 另外,当接合绝缘层时,可以利用亲水性接合法等。在该方法中,在通过抛光等获得高平坦性之后,使利用氧等离子体等进行过亲水性处理的表面接触而暂时接合,利用热处理进行脱水,由此进行正式接合。亲水性接合法也发生原子级的结合,因此可以获得机械上优异的接合。

[0292] 在贴合层1100与层1200的情况下,由于在各接合面绝缘层与金属层是混合的,所以,例如,组合表面活化接合法及亲水性接合法即可。

[0293] 例如,可以采用在进行抛光之后使表面清洁化,对金属层的表面进行防氧化处理,然后进行亲水性处理来进行接合的方法等。另外,也可以作为金属层的表面使用Au等难氧化性金属,进行亲水性处理。另外,也可以使用上述以外的接合方法。

[0294] 由于贴合是在完成各层所包括的装置之后进行,因此可以利用最合适的工序制造各装置。因此,可以提高晶体管及光电转换元件的电特性及可靠性。

[0295] 另外,在图23的结构中,作为相当于绝缘层180的层,在0S晶体管与Si晶体管之间设置绝缘层180a。另外,在0S晶体管与Si光电二极管之间设置绝缘层180b。

[0296] 另外,在本发明的一个方式的摄像装置中,可以利用形成在层1300中的Si晶体管设置与像素电路不同的电路。作为该电路,例如可以举出栅极驱动器122、CDS电路123、A/D转换电路124及源极驱动器125等。

[0297] 图24示出包括在上述电路中的任一个的晶体管146及晶体管147。晶体管146及晶体管147形成在与光电转换元件131重叠的区域中。换言之,上述电路形成在与像素120重叠

的区域中。另外,在图24中,示出晶体管146为p沟道晶体管且晶体管147为n沟道晶体管的CMOS反相器的结构实例,但是也可以是其他的电路结构。

[0298] 另外,如图25所示,晶体管147也可以为设置在层1200中的OS晶体管。在图25所示的结构中,可以利用贴合工序将晶体管146及晶体管147设置在彼此重叠的区域,由此可以减少电路面积。另外,在像素电路所包括的晶体管143及晶体管144为p沟道晶体管的情况下,设置在单晶硅衬底600中的晶体管都可以为p沟道晶体管,由此可以省略形成作为n沟道晶体管的Si晶体管的工序。

[0299] 图26是对图15所示的结构附加层1400的结构的截面图,并示出相当于3个像素(像素120a、像素120b及像素120c)的区域。

[0300] 在层1400中,可以设置遮光层1530、光学转换层1550a、光学转换层1550b、光学转换层1550c、微透镜阵列1540等。

[0301] 在层1400中的与层1100接触的区域形成绝缘层181j。绝缘层181j可以使用对可见光透射性高的氧化硅膜等。另外,也可以作为钝化膜层叠氮化硅膜。此外,也可以作为反射防止膜层叠氧化铪等介电膜。

[0302] 在绝缘层181j上可以设置有遮光层1530。遮光层1530设置在像素的边界及其附近,且具有遮蔽从倾斜方向进入的杂散光的功能。遮光层1530可以为铝、钨等的金属层或者层叠该金属层与被用作反射防止层的介电层的结构。

[0303] 在绝缘层181j及遮光层1530上可以设置光学转换层1550a、光学转换层1550b、光学转换层1550c。例如,通过作为光学转换层1550a、光学转换层1550b及光学转换层1550c使用红色、绿色、蓝色、紫色、橙色、黄色、青色和洋红等的滤色片,可以获得彩色图像。

[0304] 在本说明书等中,红色例如是指620nm以上且短于750nm的波长的光,绿色例如是指500nm以上且短于570nm的波长的光,蓝色例如是指450nm以上且短于500nm的波长的光。另外,紫色例如是指380nm以上且短于450nm的波长的光,橙色例如是指590nm以上且短于620nm的波长的光。另外,黄色例如是指蓝色的补色,青色例如是指红色的补色,品红色例如是指绿色的补色。

[0305] 另外,通过作为光学转换层使用阻挡可见光线的波长以下的光的滤光片,可以形成红外线摄像装置。另外,通过作为光学转换层使用阻挡近红外线的波长以下的光的滤光片,可以形成远红外线摄像装置。另外,通过作为光学转换层使用阻挡可见光线的波长以上的光的滤光片,可以形成紫外线摄像装置。可以组合可见光的滤色片与红外线或紫外线的滤色片。

[0306] 另外,通过将闪烁体用于光学转换层,可以形成用于X射线摄像装置等的获得使辐射强度可视化的图像的摄像装置。当透过拍摄对象的X射线等辐射入射到闪烁体时,由于光致发光现象而转换为可见光线或紫外光线等的光(荧光)。通过由光电转换元件131检测该光来获得图像数据。另外,也可以将该结构的摄像装置用于辐射探测器等。

[0307] 闪烁体含有当被照射X射线或伽马射线等放射线时吸收放射线的能量而发射可见光或紫外线的物质。例如,可以使用将 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO 分散到树脂或陶瓷中的材料。

[0308] 在光学转换层1550a、光学转换层1550b、光学转换层1550c上也可以设置有微透镜阵列1540。透过微透镜阵列1540所具有的各透镜的光经由设置在其下的光学转换层1550a、

光学转换层1550b、光学转换层1550c而照射到光电转换元件131。

[0309] 在本实施方式中,描述了本发明的一个方式。或者,在其他实施方式中,描述本发明的一个方式。但是,本发明的一个方式不局限于此。换言之,在本实施方式及其他的实施方式中,记载有各种各样的发明的方式,因此本发明的一个方式不局限于特定的方式。例如,虽然作为例子示出将本发明的一个方式适用于摄像装置的情况,但是本发明的一个方式不局限于此。根据情况或状况,也可以不将本发明的一个方式适用于摄像装置。例如,也可以将本发明的一个方式适用于具有其他功能的半导体装置。例如,作为本发明的一个方式,示出晶体管的沟道形成区域、源区域、漏区域等包含氧化物半导体的例子,但是本发明的一个方式不局限于此。根据情况或状况,本发明的一个方式的各种晶体管、晶体管的沟道形成区域、晶体管的源区域、漏区域等可以包含各种半导体。根据情况或状况,本发明的一个方式的各种晶体管、晶体管的沟道形成区域、或者晶体管的源区域、漏区域等可以包含硅、锗、硅锗、碳化硅、砷化镓、砷化铝镓、磷化铟、氮化镓和有机半导体等中的至少一个。另外,例如,根据情况或状况,本发明的一个方式的各种晶体管、晶体管的沟道形成区域、晶体管的源区域、漏区域等可以不包含氧化物半导体。例如,虽然作为例子示出本发明的一个方式采用全局快门方式的情况,但是本发明的一个方式不局限于此。根据情况或状况,本发明的一个方式可以采用卷帘快门方式等其他方式。根据情况或状况,本发明的一个方式也可以不使用全局快门方式。

[0310] 本实施方式可以与其他实施方式所记载的结构适当地组合而实施。

[0311] 实施方式3

[0312] 在本实施方式中,参照附图对能够用于本发明的一个方式的OS晶体管进行说明。注意,在本实施方式的附图中,为了明确起见,放大、缩小或省略部分构成要素。

[0313] 图27A至图27C是本发明的一个方式的晶体管201的俯视图及截面图。图27A是俯视图,图27A所示的点划线X1-X2方向上的截面相当于图27B。另外,图27A所示的点划线Y1-Y2方向上的截面相当于图27C。

[0314] 在本实施方式中说明的附图中,将点划线X1-X2方向称为沟道长度方向,将点划线Y1-Y2方向称为沟道宽度方向。

[0315] 晶体管201包括:衬底215;与衬底215接触的导电层273;与衬底215及导电层273接触的绝缘层220;与绝缘层220接触的氧化物半导体层230;与氧化物半导体层230接触的导电层240及导电层250;与氧化物半导体层230接触的绝缘层260;与绝缘层260接触的导电层270。

[0316] 根据需要可以在晶体管201上设置与氧化物半导体层230、导电层240、导电层250、绝缘层260及导电层270接触的绝缘层280。

[0317] 氧化物半导体层230例如可以具有氧化物半导体层230a、氧化物半导体层230b、氧化物半导体层230c的三层结构。在此情况下,绝缘层260可以与氧化物半导体层230c接触。

[0318] 导电层240和导电层250被用作源电极层或漏电极层,绝缘层260被用作栅极绝缘层,导电层270被用作栅电极层。

[0319] 另外,通过将导电层273用作背栅电极层,可以增加通态电流或控制阈值电压。此外,导电层273也可以用作遮光层。

[0320] 当想要增加通态电流时,例如,可以对导电层270及导电层273供应相同的电位来

实现双栅晶体管。另外,当想要控制阈值电压时,可以对导电层273供应与导电层270不同的恒定电位。

[0321] 在氧化物半导体层230中,与导电层240及导电层250接触的区域被用作源区域或漏区域。

[0322] 由于氧化物半导体层230与导电层240及导电层250接触,因此在氧化物半导体层230中产生氧缺陷,由于该氧缺陷与残留在氧化物半导体层230中或从外部扩散的氢之间的相互作用,上述区域成为n型低电阻区域。

[0323] 导电层240及导电层250与氧化物半导体层230的顶面接触而不与氧化物半导体层230的侧面接触。通过采用该结构,容易用绝缘层220所包含的氧填补氧化物半导体层230中的氧缺陷。

[0324] 本发明的一个方式的晶体管也可以具有图28A至图28C所示的结构。图28A是晶体管202的俯视图,图28A所示的点划线X1-X2方向上的截面相当于图28B。另外,图28A所示的点划线Y1-Y2方向上的截面相当于图28C。

[0325] 晶体管202在以下几点上与晶体管201不同:导电层240及导电层250与绝缘层220接触;以及导电层240及导电层250与氧化物半导体层230的侧面接触。上述以外的晶体管202的其他结构与晶体管201相同。

[0326] 晶体管201及晶体管202为具有导电层270与导电层240及导电层250重叠的区域的顶栅结构。为了减少寄生电容,优选将该区域的沟道长度方向上的宽度设定为3nm以上且小于300nm。在该结构中,由于在氧化物半导体层230中没有形成偏置区域,所以容易形成通态电流高的晶体管。

[0327] 本发明的一个方式的晶体管也可以具有图29A至图29C所示的结构。图29A是晶体管203的俯视图,图29A所示的点划线X1-X2方向上的截面相当于图29B。另外,图29A所示的点划线Y1-Y2方向上的截面相当于图29C。

[0328] 晶体管203包括:衬底215;与衬底215接触的导电层273;与衬底215及导电层273接触的绝缘层220;与绝缘层220接触的氧化物半导体层230(氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c);与氧化物半导体层230c接触的绝缘层260;与绝缘层260接触的导电层270。

[0329] 另外,在用作层间绝缘膜的绝缘层280中设置有与氧化物半导体层230的区域331接触的导电体300以及与氧化物半导体层230的区域332接触的导电体301。导电体300及导电体301用作源电极层的一部分或漏电极层的一部分。

[0330] 优选对晶体管203中的区域331及区域332添加用来形成氧缺陷来提高导电率的杂质。作为在氧化物半导体层中形成氧缺陷的杂质,例如可以使用选自磷、砷、锑、硼、铝、硅、氮、氢、氟、氙、氪、氙、钽、铌、氟、氯、钛、锌及碳中的一种以上。作为该杂质的添加方法,可以使用等离子体处理法、离子注入法、离子掺杂法、等离子体浸没离子注入法(Plasma-immersion ion implantation method)等。

[0331] 通过将上述元素作为杂质元素添加到氧化物半导体层,氧化物半导体层中的金属元素与氧之间的键合被切断,形成氧缺陷。通过包含在氧化物半导体层中的氧缺陷与残留在氧化物半导体层中或在后面添加的氢之间的相互作用,可以提高氧化物半导体层的导电率。

[0332] 当对通过添加杂质元素而形成有氧缺陷的氧化物半导体添加氢时,氢进入氧缺陷处而在导带附近形成施主能级。其结果是,可以形成氧化物导电体。这里氧化物导电体是指导电体化的氧化物半导体。

[0333] 晶体管203具有自对准结构,不包括栅电极层与源电极层及漏电极层重叠的区域。自对准结构的晶体管由于栅电极层与源电极层及漏电极层之间的寄生电容极小,所以适合于高速工作。

[0334] 本发明的一个方式的晶体管也可以具有图30A至图30C所示的结构。图30A是晶体管204的俯视图,图30A所示的点划线X1-X2方向上的截面相当于图30B。另外,图30A所示的点划线Y1-Y2方向上的截面相当于图30C。

[0335] 晶体管204包括:衬底215;与衬底215接触的导电层273;与衬底215及导电层273接触的绝缘层220;与绝缘层220接触的氧化物半导体层230(氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c);与氧化物半导体层230b及氧化物半导体层230c接触的导电层240及导电层250;与氧化物半导体层230c接触的绝缘层260;以及与绝缘层260接触的导电层270。

[0336] 另外,氧化物半导体层230c、绝缘层260及导电层270设置在开口中,该开口形成在晶体管204上的绝缘层280中且到达氧化物半导体层230b及绝缘层220。

[0337] 在晶体管204的结构中,栅电极层与源电极层及漏电极层重叠的区域小,由此可以使寄生电容小。由此,晶体管204适合于高速工作。

[0338] 另外,在本发明的一个方式的晶体管中,如图31A所示,氧化物半导体层230也可以由单层形成。或者,如图31B所示,氧化物半导体层230也可以由两个层形成。

[0339] 另外,如图31C所示,本发明的一个方式的晶体管也可以不具有导电层273。

[0340] 另外,在本发明的一个方式的晶体管中,为了将导电层270与导电层273电连接,例如,如图31D所示,可以在绝缘层220、氧化物半导体层230c及绝缘层260中设置到达导电层273的开口,并以覆盖该开口的方式形成导电层270。

[0341] 另外,如图31E所示,在本发明的一个方式的晶体管中,导电层270也可以由导电层271及导电层272的叠层形成。

[0342] 另外,在导电层240及导电层250设置于氧化物半导体层230上的本发明的一个方式的晶体管中,如图31F和图31G所示的俯视图(仅示出氧化物半导体层230、导电层240及导电层250)那样,可以使导电层240及导电层250的宽度(W_{SD})比氧化物半导体层230的宽度(W_{OS})短。当满足 $W_{OS} \geq W_{SD}$ (W_{SD} 为 W_{OS} 以下)的关系时,栅极电场容易施加到沟道形成区域整体,可以提高晶体管的电特性。

[0343] 另外,虽然图31A至图31E示出晶体管201的变形例,但是上述变形例也可以应用于本实施方式中说明的其他晶体管。

[0344] 在本发明的一个方式的晶体管中的任何结构中,作为栅电极层的导电层270(及导电层273)隔着绝缘层在沟道宽度方向上电性上包围氧化物半导体层230。通过采用该结构,可以提高通态电流。将该结构称为surrounded channel(s-channel)结构。

[0345] 在具有氧化物半导体层230a及氧化物半导体层230b的晶体管以及具有氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c的晶体管中,通过适当地选择构成氧化物半导体层230的两层或三层的材料,可以使电流流过氧化物半导体层230b。由于电

流流过氧化物半导体层230b,因此不容易受到界面散射的影响,所以可以获得大的通态电流。

[0346] 通过采用上述结构的晶体管,可以使半导体装置具有良好的电特性。

[0347] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0348] 实施方式4

[0349] 在本实施方式中,对实施方式3所示的晶体管的构成要素进行详细的说明。

[0350] <构成要素>

[0351] 作为衬底215,可以使用玻璃衬底、石英衬底、半导体衬底、陶瓷衬底、对表面进行了绝缘处理的金属衬底等。或者,作为衬底215,可以使用形成有晶体管或光电二极管的硅衬底以及形成有绝缘层、布线、用作接触插头的导电体等的硅衬底。另外,当对硅衬底形成p沟道晶体管时,优选使用具有n⁻型导电型的硅衬底。另外,也可以使用包括n⁻型或i型硅层的SOI衬底。另外,当对硅衬底设置的晶体管为p沟道晶体管时,优选使用形成晶体管的表面的晶体取向为(110)面的硅衬底。通过在(110)面形成p沟道晶体管,可以提高迁移率。

[0352] 绝缘层220除了防止杂质从包含在衬底215中的构成要素扩散的功能以外,还可以具有对氧化物半导体层230供应氧的功能。因此,绝缘层220优选为含氧的绝缘膜,更优选为包含比化学计量组成多的氧的绝缘膜。例如,绝缘层220为利用TDS法进行在膜表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理而测得的换算为氧原子的氧释放量为 1.0×10^{19} atoms/cm³以上的膜。此外,当衬底215是形成有其他器件的衬底时,绝缘层220还用作层间绝缘膜。在此情况下,优选利用CMP法等进行平坦化处理,以使其表面平坦。

[0353] 作为用作背栅电极层的导电层273例如可以使用Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta及W等的导电膜。另外,也可以使用上述材料的合金或上述材料的导电氮化物。另外,也可以使用选自上述材料、上述材料的合金及上述材料的导电氮化物中的多种材料的叠层。

[0354] 例如,作为绝缘层220可以使用氧化铝、氧化镁、氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铈和氧化钽等氧化物绝缘膜、氮化硅、氮氧化硅、氮化铝和氮氧化铝等氮化物绝缘膜或者这些材料的混合材料。此外,也可以使用上述材料的叠层。

[0355] 氧化物半导体层230可以具有从绝缘层220一侧依次层叠氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c的三层结构。

[0356] 此外,当氧化物半导体层230为单层时,可以使用相当于本实施方式所示的氧化物半导体层230b的层。

[0357] 当氧化物半导体层230为两层时,可以使用从绝缘层220一侧依次层叠相当于氧化物半导体层230a的层及相当于氧化物半导体层230b的层的叠层。当采用该结构时,也可以调换氧化物半导体层230a与氧化物半导体层230b。

[0358] 例如,氧化物半导体层230b使用其电子亲和势(真空能级与导带底之间的能量差)大于氧化物半导体层230a及氧化物半导体层230c的氧化物半导体。

[0359] 在上述结构中,当对导电层270施加电压时,沟道形成在氧化物半导体层230中的导带底的能量最低的氧化物半导体层230b中。由此,可以说:氧化物半导体层230b具有被用

作半导体的区域,而氧化物半导体层230a及氧化物半导体层230c具有被用作绝缘体或半绝缘体的区域。

[0360] 另外,能够用于氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c的氧化物半导体优选至少包含In或Zn。或者,优选包含In和Zn的两者。另外,为了减少使用该氧化物半导体的晶体管的电特性偏差,氧化物半导体除了上述元素以外优选还包含Al、Ga、Y或Sn等稳定剂(stabilizer)。

[0361] 例如,氧化物半导体层230a及氧化物半导体层230c可以使用In:Ga:Zn=1:3:2、1:3:3、1:3:4、1:3:6、1:4:5、1:6:4、1:9:6(原子数比)或其附近的原子数比的In-Ga-Zn氧化物等。此外,氧化物半导体层230b可以使用In:Ga:Zn=1:1:1、2:1:3、5:5:6、3:1:2、3:1:4、5:1:6、4:2:3(原子数比)或其附近的原子数比的In-Ga-Zn氧化物等。

[0362] 氧化物半导体层230a、氧化物半导体层230b及氧化物半导体层230c也可以包含结晶部。例如,通过使用c轴取向结晶,能够对晶体管赋予稳定的电特性。另外,c轴取向的结晶抗弯曲,由此可以提高使用柔性衬底的半导体装置的可靠性。

[0363] 作为用作源电极层的导电层240及用作漏电极层的导电层250,例如可以使用选自Al、Cr、Cu、Ta、Ti、Mo、W、Ni、Mn、Nd、Sc及该金属材料的合金或导电性氮化物中的材料的单层或叠层。当使用导电性氮化物的氮化钽时,可以防止氧化。此外,也可以使用低电阻的Cu或Cu-Mn等合金与上述材料的叠层。

[0364] 上述材料具有从氧化物半导体层抽出氧的性质。由此,在氧化物半导体层的与上述材料接触的区域中,氧化物半导体层中的氧被脱离而形成氧缺陷。包含于氧化物半导体层中的微量的氢与该氧缺陷键合而使该区域明显地n型化。因此,可以将该n型化的区域用作晶体管的源极或漏极。

[0365] 作为用作栅极绝缘层的绝缘层260,可以使用包含氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铈和氧化钽中的一种以上的绝缘膜。此外,绝缘层260也可以是上述材料的叠层。

[0366] 此外,作为与氧化物半导体层230接触的绝缘层220及绝缘层260优选使用氮氧化物的释放量少的膜。当氮氧化物的释放量多的绝缘层与氧化物半导体接触时,有时因氮氧化物导致能级密度变高。

[0367] 通过作为绝缘层220及绝缘层260使用上述绝缘膜,可以降低晶体管的阈值电压的漂移,由此可以降低晶体管的电特性变动。

[0368] 作为用作栅电极层的导电层270例如可以使用Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ru、Ag、Mn、Nd、Sc、Ta及W等的导电膜。另外,也可以使用上述材料的合金或上述材料的导电氮化物。此外,也可以使用选自上述材料、上述材料的合金及上述材料的导电氮化物中的多种材料的叠层。典型的是,可以使用钨、钨与氮化钛的叠层、钨与氮化钽的叠层等。另外,也可以使用低电阻的Cu或Cu-Mn等合金或者上述材料与Cu或Cu-Mn等合金的叠层。例如,可以作为导电层271使用氮化钛,作为导电层272使用钨,以便形成导电层270。

[0369] 另外,作为导电层270也可以使用In-Ga-Zn氧化物、氧化锌、氧化铟、氧化锡、氧化铟锡等氧化物导电层。通过以接触于绝缘层260的方式设置氧化物导电层,可以从该氧化物导电层对氧化物半导体层230供应氧。

[0370] 作为绝缘层280可以使用包含氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化

镓、氧化锗、氧化铋、氧化锆、氧化镧、氧化钕、氧化钪和氧化钽中的一种以上的绝缘膜。此外,该绝缘层也可以是上述材料的叠层。

[0371] 在此,绝缘层280优选与绝缘层220同样地包含比化学计量组成多的氧。能够使从绝缘层280释放的氧穿过绝缘层260扩散到氧化物半导体层230的沟道形成区域,因此能够用氧填补形成在沟道形成区域中的氧缺陷。由此,能够获得稳定的晶体管电特性。

[0372] 此外,在晶体管上或绝缘层280上,优选设置具有杂质阻挡效果的膜。作为该阻挡膜,可以使用氮化硅膜、氮化铝膜或氧化铝膜等。

[0373] 氮化绝缘膜具有阻挡水分等的功能,可以提高晶体管的可靠性。氧化铝膜的不使氢、水分等杂质以及氧双方透过的阻挡效果高。因此,将氧化铝膜适合用作具有如下效果的保护膜:在晶体管的制造工序中及制造晶体管之后,防止氢、水分等杂质向氧化物半导体层230混入;防止从氧化物半导体层释放氧;防止氧从绝缘层220的不必要的释放。

[0374] 为了实现半导体装置的高集成化,晶体管的微型化是必不可少的。另一方面,晶体管有随着微型化其电特性劣化的倾向,例如,沟道宽度的缩短会导致通态电流的降低。

[0375] 在本发明的一个方式的晶体管中,可以由氧化物半导体层230c覆盖其中形成沟道的氧化物半导体层230b。在该结构中,沟道形成层不与栅极绝缘层接触,由此能够抑制在沟道形成层与栅极绝缘层的界面产生的载流子散射,可以增高晶体管的通态电流。

[0376] 在本发明的一个方式的晶体管中,如上所述,以在沟道宽度方向上电性上包围氧化物半导体层230的方式形成有栅电极层(导电层270),因此氧化物半导体层230除了垂直于顶面的方向上被施加栅极电场之外,垂直于侧面的方向上也被施加栅极电场。换言之,栅极电场被施加到沟道形成层整体,实效沟道宽度扩大,由此可以进一步提高通态电流。

[0377] <各构成要素的形成方法例子>

[0378] 虽然本实施方式中说明的金属膜、半导体膜及无机绝缘膜等各种膜可以典型地利用溅射法或等离子体CVD法形成,但是也可以利用热CVD法等其他方法形成。作为热CVD法的例子,可以举出MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法或ALD(Atomic Layer Deposition:原子层沉积)法等。

[0379] 由于热CVD法是不使用等离子体的成膜方法,因此具有不产生等离子体损伤所引起的缺陷的优点。

[0380] 此外,利用热CVD法的成膜可以以如下方式进行:将源气体及氧化剂同时供应到腔室内,将腔室内的压力设定为大气压或减压,使其在衬底附近或在衬底上起反应。

[0381] 利用ALD法的成膜可以以如下方式进行:将腔室内的压力设定为大气压或减压,将用于反应的源气体引入腔室并起反应,并且按该顺序反复地引入气体。另外,也可以将惰性气体(氩或氮等)用作载流子气体与源气体一并引入。例如,也可以将两种以上的源气体依次供应到腔室内。此时,在第一源气体起反应之后引入惰性气体,然后引入第二源气体,以防止多种源气体混合。或者,也可以不引入惰性气体而通过真空抽气将第一源气体排出,然后引入第二源气体。第一源气体附着到衬底表面且起反应来形成第一层,之后引入的第二源气体附着且起反应,由此第二层层叠在第一层上而形成薄膜。通过按该顺序反复多次地引入气体直到获得所希望的厚度为止,可以形成台阶覆盖性良好的薄膜。由于薄膜的厚度可以根据反复引入气体的次数来进行调节,因此,ALD法可以准确地调节厚度而适用于制造微型FET。

[0382] 当形成氧化物半导体层时,也可以使用对向靶材式溅射装置。另外,也可以将使用该对向靶材式溅射装置的成膜方法称为VDSP (vapor deposition SP)。

[0383] 通过使用对向靶材式溅射装置形成氧化物半导体层,可以减少在形成氧化物半导体层时产生的等离子体损伤。因此,可以减少膜中的氧缺陷。此外,通过使用对向靶材式溅射装置可以在低压下进行成膜,从而可以减少所形成的氧化物半导体层中的杂质浓度(例如,氢、稀有气体(氩等)、水等)。

[0384] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0385] 实施方式5

[0386] 以下,对可用于在本发明的一个方式中公开的晶体管的CAC-OS的构成进行说明。

[0387] CAC-OS例如是指包含在氧化物半导体中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸。注意,在下面也将在氧化物半导体中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克(mosaic)状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或近似的尺寸。

[0388] 氧化物半导体优选至少包含铟。尤其是,优选包含铟及锌。除此之外,也可以还包含选自铝、镓、铋、铜、钒、铍、硼、硅、钛、铁、镍、锗、锆、钼、镉、铈、钕、钐、钆、铽、钨和镁等中的一种或多种。

[0389] 例如,In-Ga-Zn氧化物中的CAC-OS(在CAC-OS中,尤其可以将In-Ga-Zn氧化物称为CAC-IGZO)是指材料分成铟氧化物(以下,称为 InO_{X1} ($X1$ 为大于0的实数))或铟锌氧化物(以下,称为 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ($X2$ 、 $Y2$ 及 $Z2$ 为大于0的实数))等以及镓氧化物(以下,称为 GaO_{X3} ($X3$ 为大于0的实数))或镓锌氧化物(以下,称为 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ($X4$ 、 $Y4$ 及 $Z4$ 为大于0的实数))等而成为马赛克状,且马赛克状的 InO_{X1} 或 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 均匀地分布在膜中的构成(以下,也称为云状)。

[0390] 换言之,CAC-OS是具有以 GaO_{X3} 为主要成分的区域和以 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 为主要成分的区域混在一起的构成的复合氧化物半导体。在本说明书中,例如,当第一区域的In与元素M的原子数比大于第二区域的In与元素M的原子数比时,第一区域的In浓度高于第二区域。

[0391] 注意,IGZO是通称,有时是指包含In、Ga、Zn及O的化合物。作为典型例子,可以举出以 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ 为自然数)或 $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$, $m0$ 为任意数)表示的结晶性化合物。

[0392] 上述结晶性化合物具有单晶结构、多晶结构或CAAC结构。CAAC结构是多个IGZO的纳米晶具有c轴取向性且在a-b面上以不取向的方式连接的结晶结构。

[0393] 另一方面,CAC-OS与氧化物半导体的材料构成有关。CAC-OS是指如下构成:在包含In、Ga、Zn及O的材料构成中,一部分中观察到以Ga为主要成分的纳米粒子状区域以及一部分中观察到以In为主要成分的纳米粒子状区域分别以马赛克状无规律地分散。因此,在CAC-OS中,结晶结构是次要因素。

[0394] CAC-OS不包含组成不同的二种以上的膜的叠层结构。例如,不包含由以In为主要成分的膜与以Ga为主要成分的膜的两层构成的结构。

[0395] 注意,有时观察不到以 GaO_{X3} 为主要成分的区域与以 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 为主要成分的区域之间的明确的边界。

[0396] 在CAC-OS中包含选自铝、钪、铜、钒、铍、硼、硅、钛、铁、镍、锆、钼、钽、铌、钨和镁等中的一种或多种以代替镓的情况下,CAC-OS是指如下构成:一部分中观察到以该元素为主要成分的纳米粒子状区域以及一部分中观察到以In为主要成分的纳米粒子状区域分别以马赛克状无规律地分散。

[0397] CAC-OS例如可以通过在对衬底不进行意图性的加热的条件下利用溅射法来形成。在利用溅射法形成CAC-OS的情况下,作为成膜气体,可以使用选自惰性气体(典型的是氩)、氧气体和氮气体中的一种或多种。另外,成膜时的成膜气体的总流量中的氧气体的流量比越低越好,例如,将氧气体的流量比设定为0%以上且低于30%,优选为0%以上且10%以下。

[0398] CAC-OS具有如下特征:通过根据X射线衍射(XRD:X-ray diffraction)测定法之一的out-of-plane法利用 $\theta/2\theta$ 扫描进行测定时,观察不到明确的峰值。也就是说,根据X射线衍射,可知在测定区域中没有a-b面方向及c轴方向上的取向。

[0399] 另外,在通过照射束径为1nm的电子束(也称为纳米束)而取得的CAC-OS的电子衍射图案中,观察到环状的亮度高的区域以及在该环状区域内的多个亮点。由此,根据电子衍射图案,可知CAC-OS的结晶结构具有在平面方向及截面方向上没有取向的nc(nano-crystal)结构。

[0400] 另外,例如在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析图像,可确认到:具有以GaO_{x3}为主要成分的区域及以In_{x2}Zn_{y2}O_{z2}或InO_{x1}为主要成分的区域不均匀地分布而混合的构成。

[0401] CAC-OS的结构与金属元素均匀地分布的IGZO化合物不同,具有与IGZO化合物不同的性质。换言之,CAC-OS具有以 $\text{GaO}_{\text{x}3}$ 等为主要成分的区域及以 $\text{In}_{\text{x}2}\text{Zn}_{\text{y}2}\text{O}_{\text{z}2}$ 或 $\text{InO}_{\text{x}1}$ 为主要成分的区域互相分离且以各元素为主要成分的区域为马赛克状的构成。

[0402] 在此,以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域导电性高于以 GaO_{x3} 等为主要成分的区域。换言之,当载流子流过以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域时,呈现氧化物半导体的导电性。因此,当以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 为主要成分的区域在氧化物半导体中以云状分布时,可以实现高场效应迁移率(μ)。

[0403] 另一方面,以GaO_{x3}等为主要成分的区域绝缘性高于以In_{x2}Zn_{y2}O_{z2}或InO_{x1}为主要成分的区域。换言之,当以GaO_{x3}等为主要成分的区域在氧化物半导体中分布时,可以抑制泄漏电流而实现良好的开关工作。

[0404] 因此,当将CAC-OS用于半导体元件时,通过起因于GaO_{x3}等的绝缘性及起因于In_{y2}Zn_{v2}O_{z2}或InO_{x1}的导电性的互补作用可以实现高通态电流(I_{on})及高场效应迁移率(μ)。

[0405] 另外,使用CAC-OS的半导体元件具有高可靠性。因此,CAC-OS适用于显示器等各种半导体装置。

[0406] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而实施。

[0407] 实施方式6

[0408] 在本实施方式中,对容纳图像传感器芯片的封装及相机模块的一个例子进行说明。可以将本发明的一个方式的摄像装置的结构用于该图像传感器芯片。由此,可以使收纳该图像传感器芯片的封装或包括相机模块的电子设备的的工作高速化。

[0409] 图32A是容纳图像传感器芯片的封装的顶面一侧的外观立体图。该封装包括固定图像传感器芯片850的封装衬底810、玻璃盖板820以及粘合两者的粘合剂830等。

[0410] 图32B是该封装的底面一侧的外观立体图。封装的底面有以焊球为凸块 (bump) 840的BGA (Ball grid array:球栅阵列) 结构。但是,不局限于BGA结构,还可以采用LGA (Land grid array:地栅阵列) 或PGA (Pin Grid Array:针栅阵列) 等。

[0411] 图32C是仅示出玻璃盖板820及粘合剂830的一部分的封装的立体图,图32D是该封装的截面图。在封装衬底810上形成有电极焊盘860,电极焊盘860通过通孔880及焊盘885与凸块840电连接。电极焊盘860通过布线870与图像传感器芯片850所具有的电极电连接。

[0412] 另外,图33A是相机模块的顶面一侧的外观立体图,其模块中将图像传感器芯片容纳于透镜一体型封装中。该相机模块包括固定图像传感器芯片851的封装衬底811、透镜盖板821及透镜835等。另外,在封装衬底811与图像传感器芯片851之间也设置有具有摄像装置的驱动电路及信号转换电路等功能的IC芯片890。由此,形成SiP (System in Package:系统封装)。

[0413] 图33B是该相机模块的底面一侧的外观立体图。该模块具有在封装衬底811的底面及其四个侧面上设置有安装用焊盘841的QFN (Quad flat no-lead package:四侧无引脚扁平封装) 结构。注意,该结构仅为一个例子,也可以采用QFP (Quad flat package:四侧引脚扁平封装) 及上述BGA等。

[0414] 图33C是仅示出透镜盖板821及透镜835的一部分的模块的立体图,图33D是该相机模块的截面图。将焊盘841的一部分用作电极焊盘861,电极焊盘861通过线871与图像传感器芯片851及IC芯片890所包括的电极电连接。

[0415] 通过将图像传感器芯片容纳于上述方式的封装中,可以轻松进行安装,从而可以将图像传感器芯片安装在各种半导体装置及电子设备中。

[0416] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0417] 实施方式7

[0418] 作为可以使用本发明的一个方式的摄像装置的电子设备,可以举出显示装置、个人计算机、具备记录媒体的图像存储装置及图像再现装置、移动电话、包括便携式的游戏机、便携式数据终端、电子书阅读器、拍摄装置诸如视频摄像机或数码相机等、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(汽车音响系统、数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)以及自动售货机等。图34A至图34F示出这些电子设备的具体例子。

[0419] 图34A是监控摄像机,该监控摄像机包括外壳951、透镜952及支撑部953等。作为在该监控摄像机中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使监控摄像机的工作高速化。注意,“监控摄像机”是一般名称,不局限于其用途。例如,具有监控摄像机的功能的装置被称为摄影机或视频摄像机。

[0420] 图34B是视频摄像机,该视频摄像机包括第一外壳971、第二外壳972、显示部973、操作键974、透镜975、连接部976等。操作键974及透镜975设置在第一外壳971中,显示部973设置在第二外壳972中。作为在该视频摄像机中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使视频摄像机的工作高速化。

[0421] 图34C是数码相机,该数码相机包括外壳961、快门按钮962、麦克风963、发光部967

以及透镜965等。作为在该数码相机中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使数码相机的工作高速化。

[0422] 图34D是手表型信息终端,该手表型信息终端包括外壳931、显示部932、腕带933、操作按钮935、表冠936以及相机939等。显示部932也可以为触摸面板。作为在该信息终端中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使手表型信息终端的工作高速化。

[0423] 图34E是便携式数据终端,该便携式数据终端包括外壳911、显示部912、相机919等。通过显示部912所具有的触摸面板功能可以输入且输出信息。作为在该便携式数据终端中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使便携式数据终端的工作高速化。

[0424] 图34F是移动电话,其外壳981包括显示部982、麦克风987、扬声器984、照相机989、输入输出端子986、操作用按钮985等。作为在该移动电话中用来取得图像的构件中的一个,可以具备本发明的一个方式的摄像装置。由此,可以使移动电话的工作高速化。

[0425] 本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0426] 符号说明

[0427] 10 摄像装置

[0428] 11 摄像电路

[0429] 12 图像处理电路

[0430] 13 主体

[0431] 14 控制器

[0432] 21 控制器

[0433] 22 图像处理区块

[0434] 23 选择器

[0435] 30 保持电路

[0436] 30A 扫描链寄存器部

[0437] 30B 寄存器部

[0438] 31 寄存器

[0439] 32 寄存器

[0440] 33 图像处理部

[0441] 34 开关部

[0442] 35 晶体管

[0443] 40 触发器电路

[0444] 41 晶体管

[0445] 42 电容器

[0446] 43 缓冲电路

[0447] 51 晶体管

[0448] 52 电容器

[0449] 53 晶体管

[0450] 54 反相器

[0451]	55	晶体管
[0452]	56	电容器
[0453]	57	晶体管
[0454]	61	晶体管
[0455]	62	晶体管
[0456]	63	晶体管
[0457]	64	晶体管
[0458]	65	晶体管
[0459]	66	晶体管
[0460]	67	晶体管
[0461]	68	晶体管
[0462]	69	晶体管
[0463]	70	晶体管
[0464]	71	晶体管
[0465]	83	电容器
[0466]	86	电容器
[0467]	90	锁存电路
[0468]	91	反相器
[0469]	92	反相器
[0470]	120	像素
[0471]	120a	像素
[0472]	120b	像素
[0473]	120c	像素
[0474]	120d	像素
[0475]	121	像素阵列
[0476]	122	栅极驱动器
[0477]	123	CDS电路
[0478]	124	A/D转换电路
[0479]	125	源极驱动器
[0480]	131	光电转换元件
[0481]	141	晶体管
[0482]	142	晶体管
[0483]	143	晶体管
[0484]	144	晶体管
[0485]	145	晶体管
[0486]	146	晶体管
[0487]	147	晶体管
[0488]	161	布线
[0489]	162	布线

[0490]	163	布线
[0491]	169	布线
[0492]	171	布线
[0493]	171a	导电层
[0494]	171b	导电层
[0495]	172	布线
[0496]	173	布线
[0497]	180	绝缘层
[0498]	180a	绝缘层
[0499]	180b	绝缘层
[0500]	181a	绝缘层
[0501]	181b	绝缘层
[0502]	181e	绝缘层
[0503]	181i	绝缘层
[0504]	181j	绝缘层
[0505]	181k	绝缘层
[0506]	182	导电体
[0507]	182a	导电体
[0508]	182b	导电体
[0509]	191	布线
[0510]	201	晶体管
[0511]	202	晶体管
[0512]	203	晶体管
[0513]	204	晶体管
[0514]	215	衬底
[0515]	220	绝缘层
[0516]	230	氧化物半导体层
[0517]	230a	氧化物半导体层
[0518]	230b	氧化物半导体层
[0519]	230c	氧化物半导体层
[0520]	240	导电层
[0521]	250	导电层
[0522]	260	绝缘层
[0523]	270	导电层
[0524]	271	导电层
[0525]	272	导电层
[0526]	273	导电层
[0527]	280	绝缘层
[0528]	300	导电体

[0529]	301	导体
[0530]	331	区域
[0531]	332	区域
[0532]	402	连接部
[0533]	402a	金属层
[0534]	402b	金属层
[0535]	403	连接部
[0536]	403a	金属层
[0537]	403b	金属层
[0538]	561	光电转换层
[0539]	562	透光导电层
[0540]	563	半导体层
[0541]	564	半导体层
[0542]	565	半导体层
[0543]	566	电极
[0544]	566a	导电层
[0545]	566b	导电层
[0546]	567	隔壁
[0547]	568	空穴注入阻挡层
[0548]	569	电子注入阻挡层
[0549]	588	布线
[0550]	600	单晶硅衬底
[0551]	620	p ⁺ 区域
[0552]	630	p ⁻ 区域
[0553]	640	n型区域
[0554]	650	p ⁺ 区域
[0555]	660	活性层
[0556]	810	封装衬底
[0557]	811	封装衬底
[0558]	820	玻璃盖板
[0559]	821	透镜盖板
[0560]	830	粘合剂
[0561]	835	透镜
[0562]	840	凸块
[0563]	841	焊盘
[0564]	850	图像传感器芯片
[0565]	851	图像传感器芯片
[0566]	860	电极焊盘
[0567]	861	电极焊盘

[0568]	870	布线
[0569]	871	布线
[0570]	880	通孔
[0571]	885	焊盘
[0572]	890	IC芯片
[0573]	911	外壳
[0574]	912	显示部
[0575]	919	照相机
[0576]	931	外壳
[0577]	932	显示部
[0578]	933	腕带
[0579]	935	按钮
[0580]	936	表冠
[0581]	939	照相机
[0582]	951	外壳
[0583]	952	透镜
[0584]	953	支撑部
[0585]	961	外壳
[0586]	962	快门按钮
[0587]	963	麦克风
[0588]	965	透镜
[0589]	967	发光部
[0590]	971	外壳
[0591]	972	外壳
[0592]	973	显示部
[0593]	974	按钮
[0594]	975	透镜
[0595]	976	连接部
[0596]	981	外壳
[0597]	982	显示部
[0598]	984	扬声器
[0599]	985	按钮
[0600]	986	输入输出端子
[0601]	987	麦克风
[0602]	989	照相机
[0603]	1100	层
[0604]	1200	层
[0605]	1300	层
[0606]	1400	层

- [0607] 1530 遮光层
- [0608] 1540 微透镜阵列
- [0609] 1550a 光学转换层
- [0610] 1550b 光学转换层
- [0611] 1550c 光学转换层

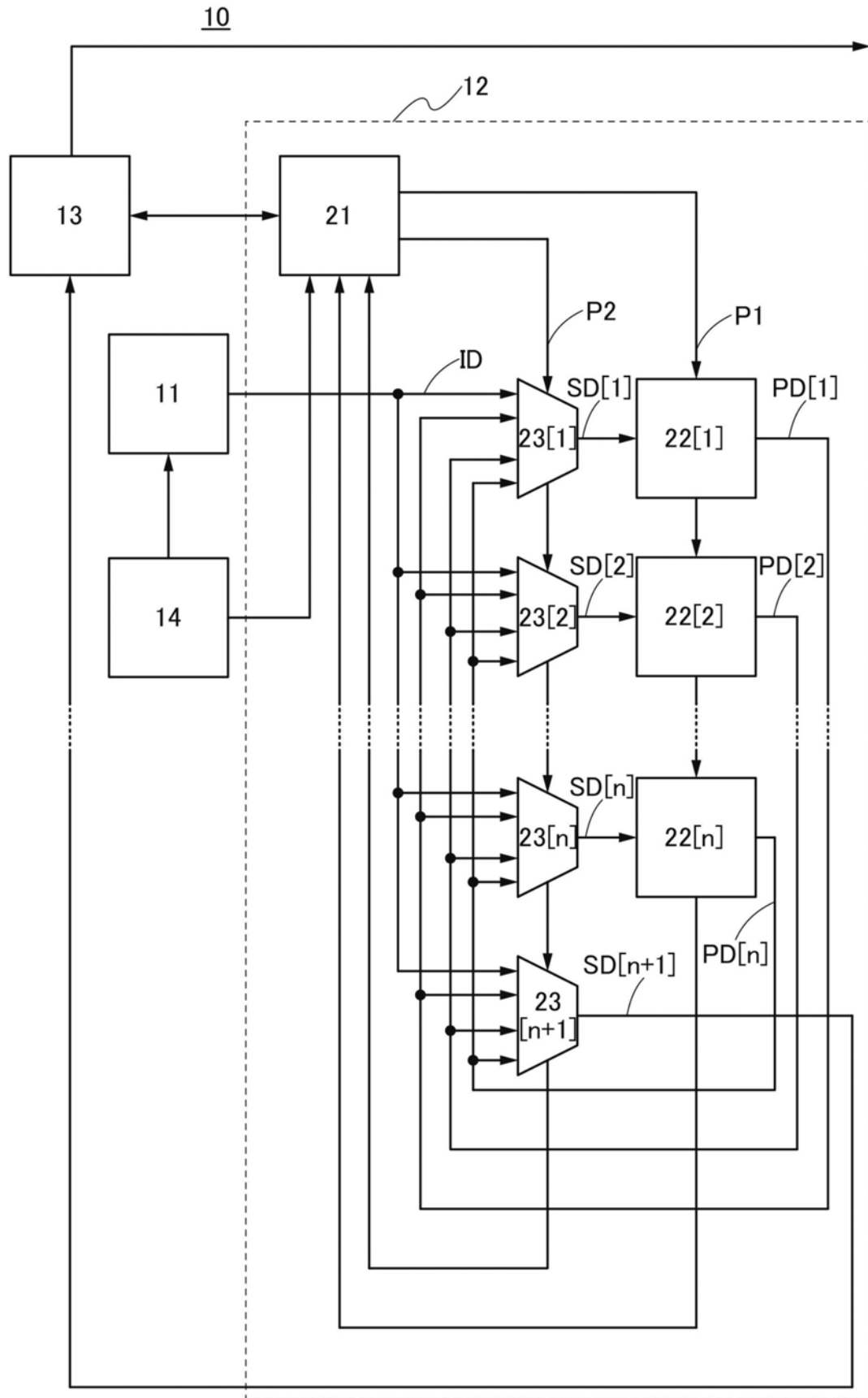


图1

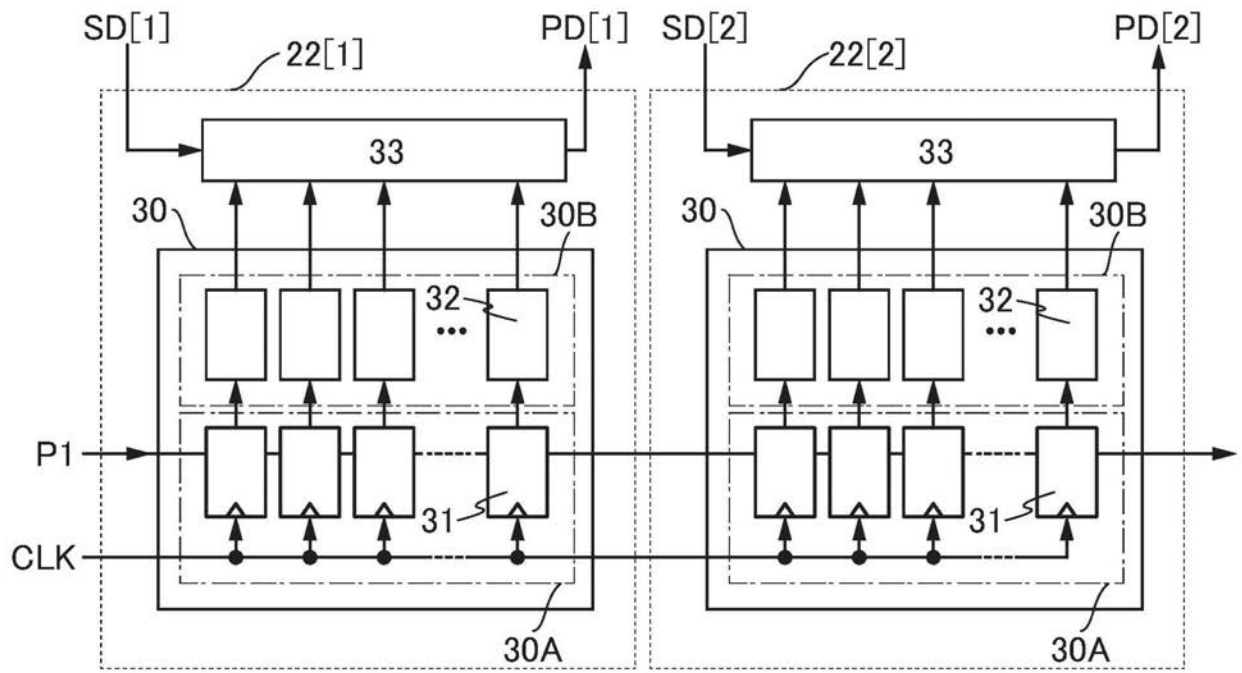


图2A

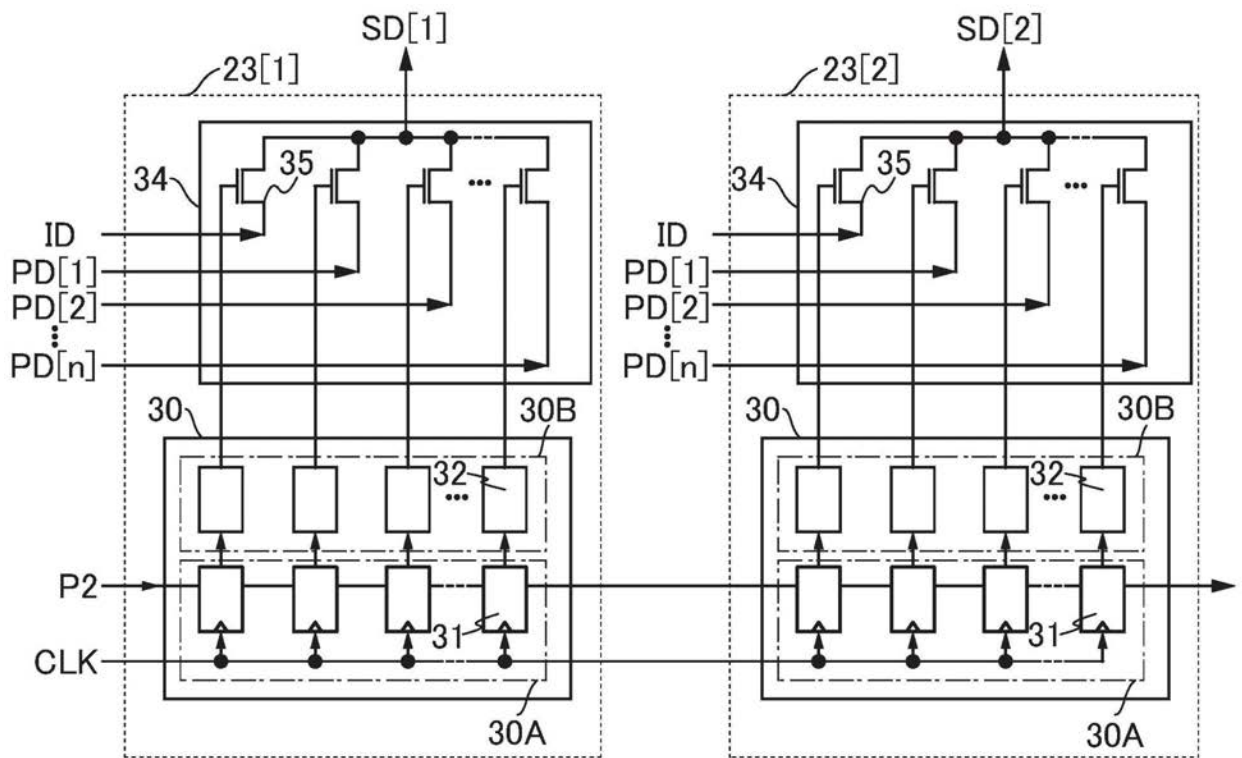


图2B

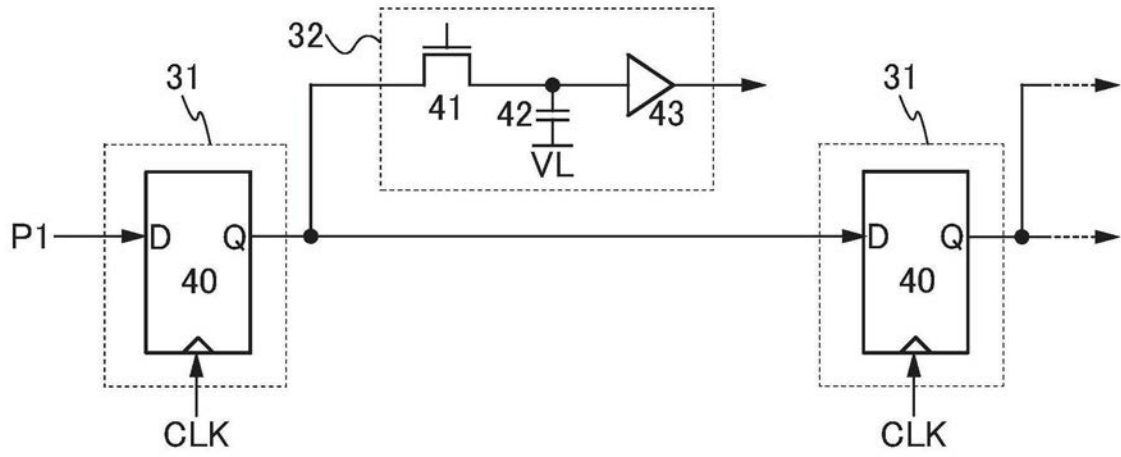


图3A

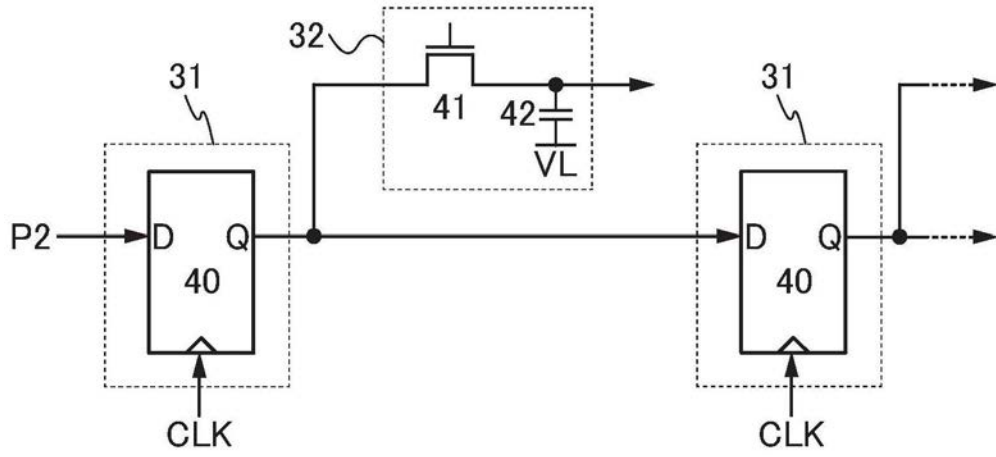


图3B

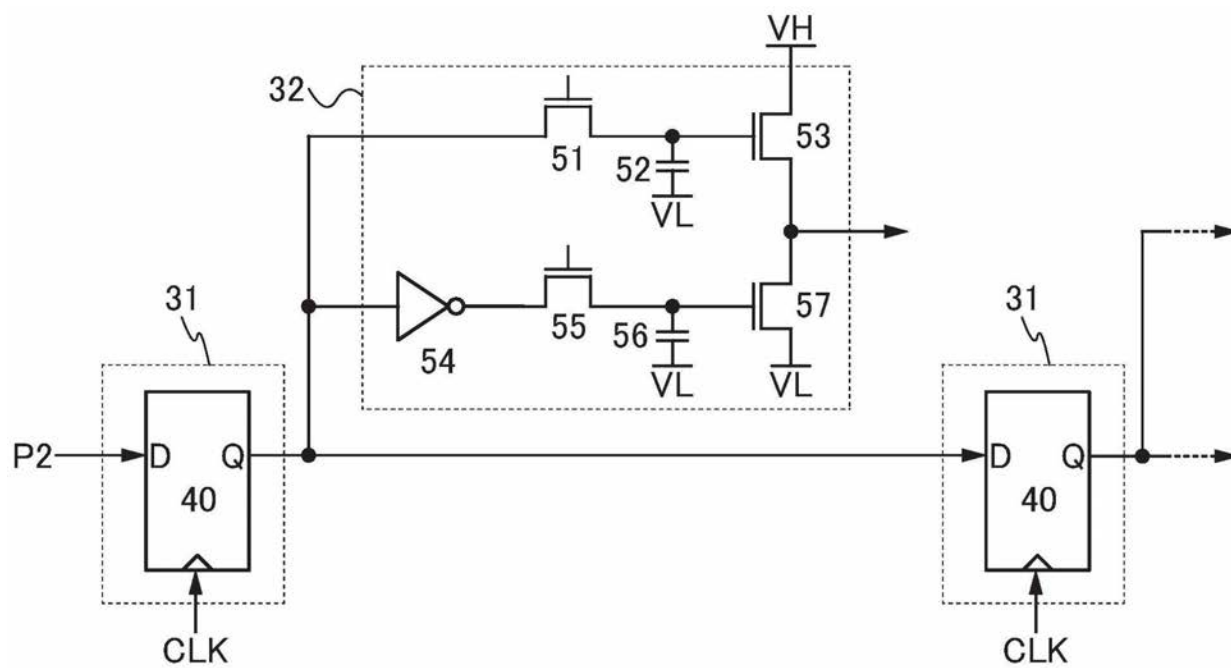


图3C

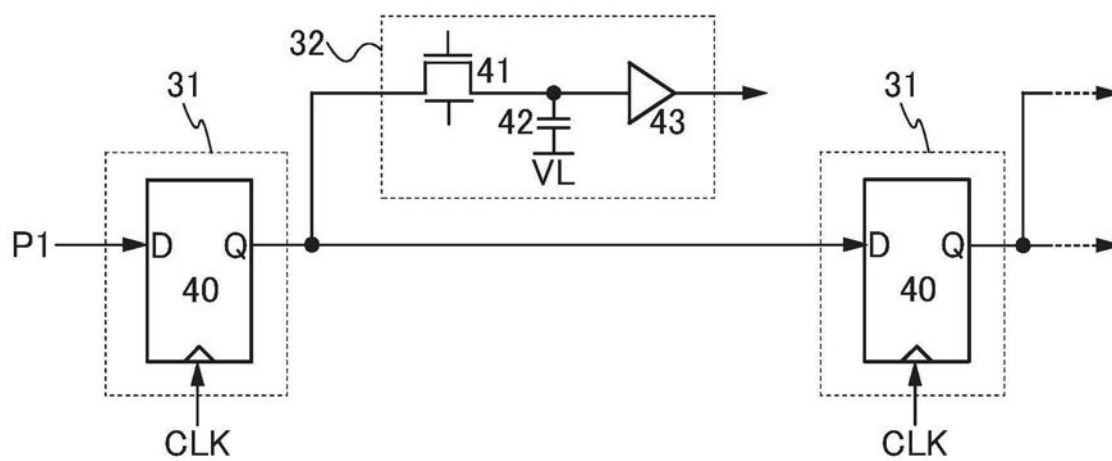


图4A

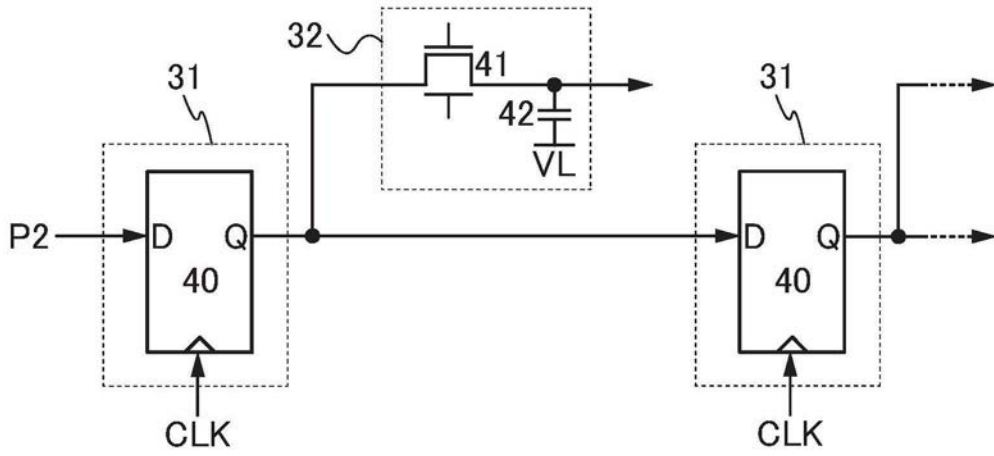


图4B

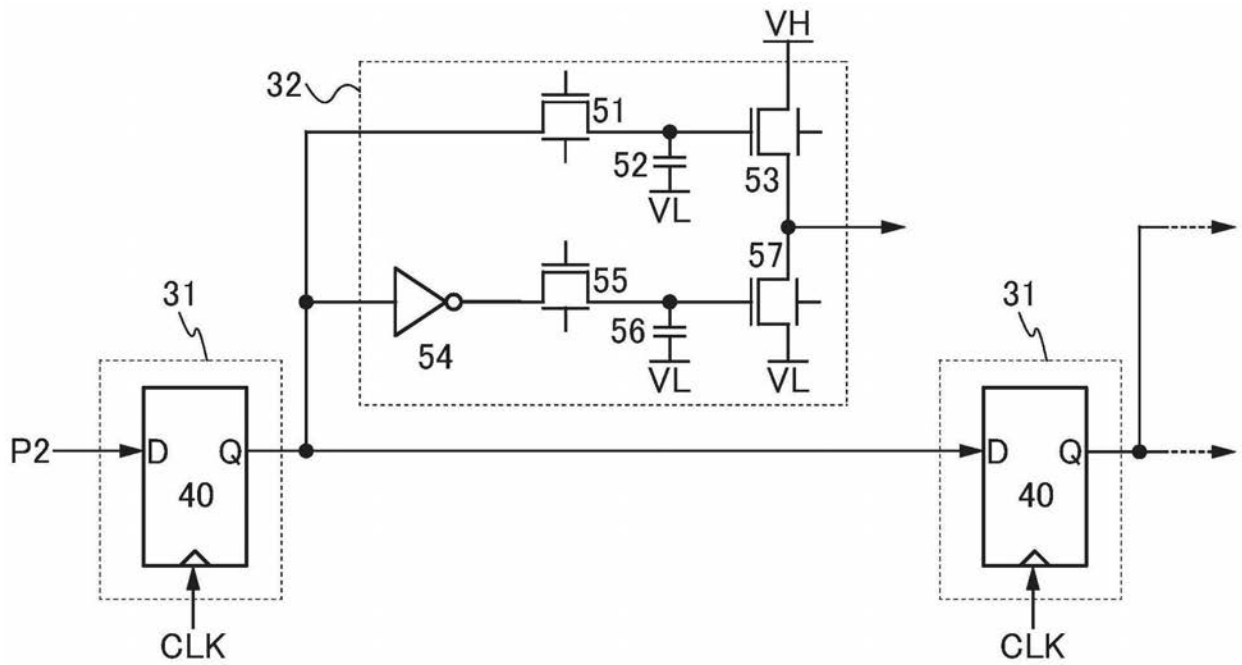


图4C

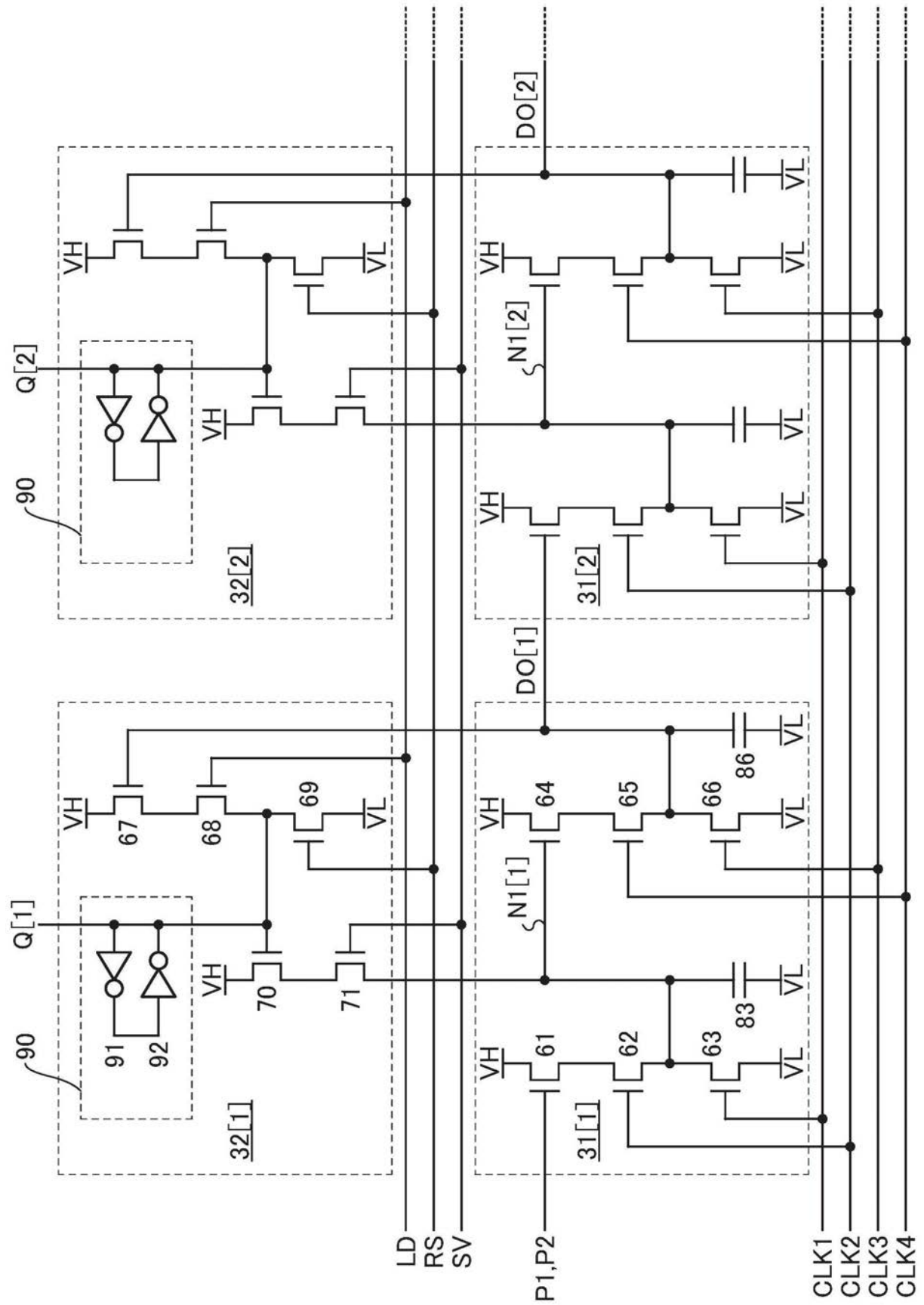


图5

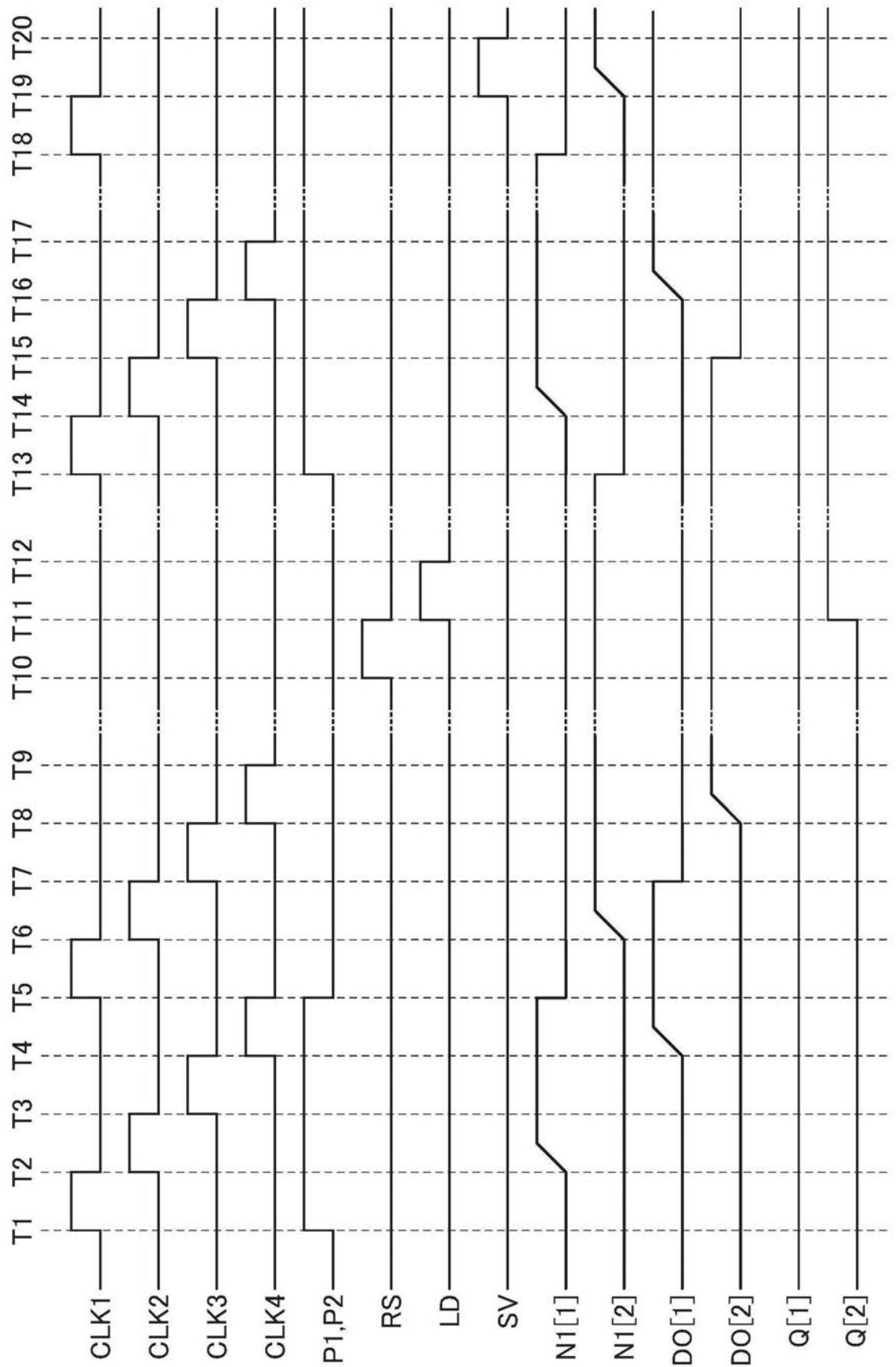


图6

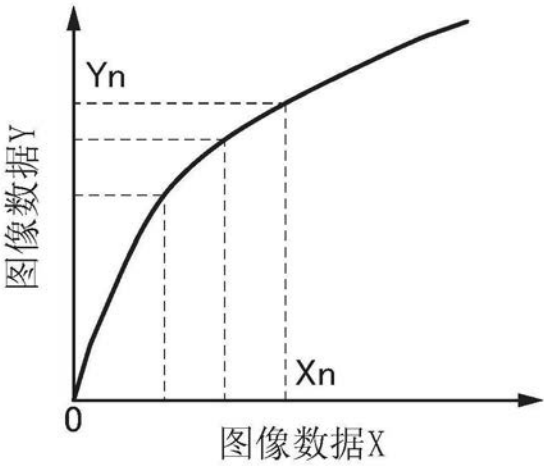


图7A

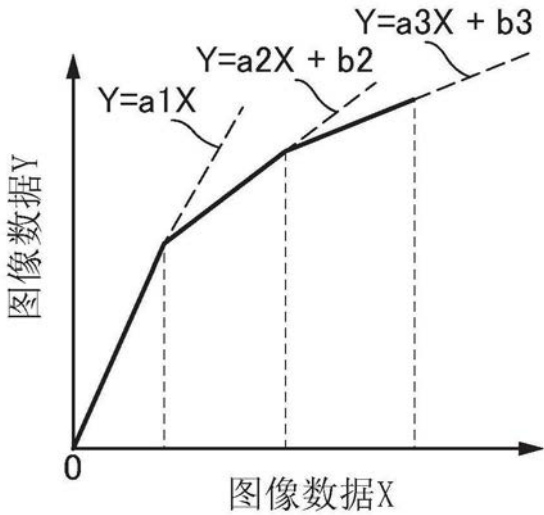


图7B

11

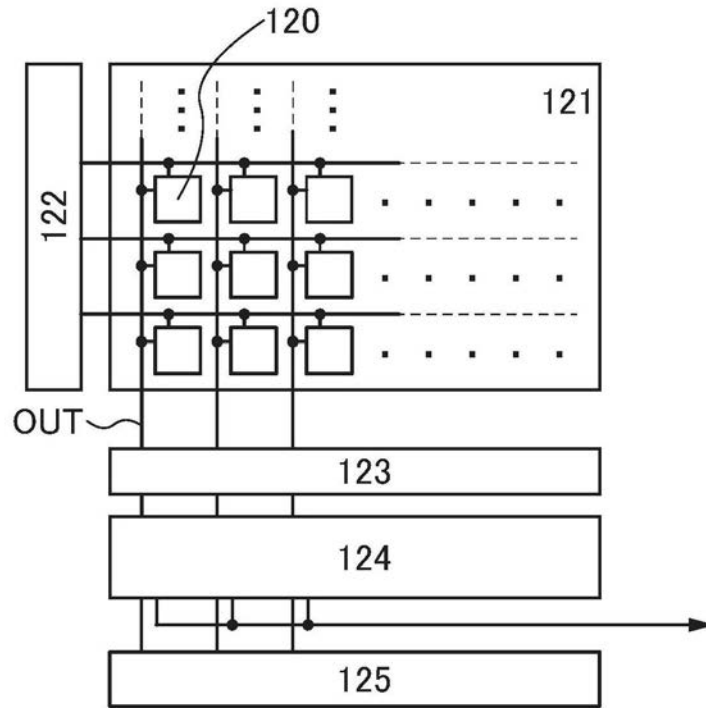


图8

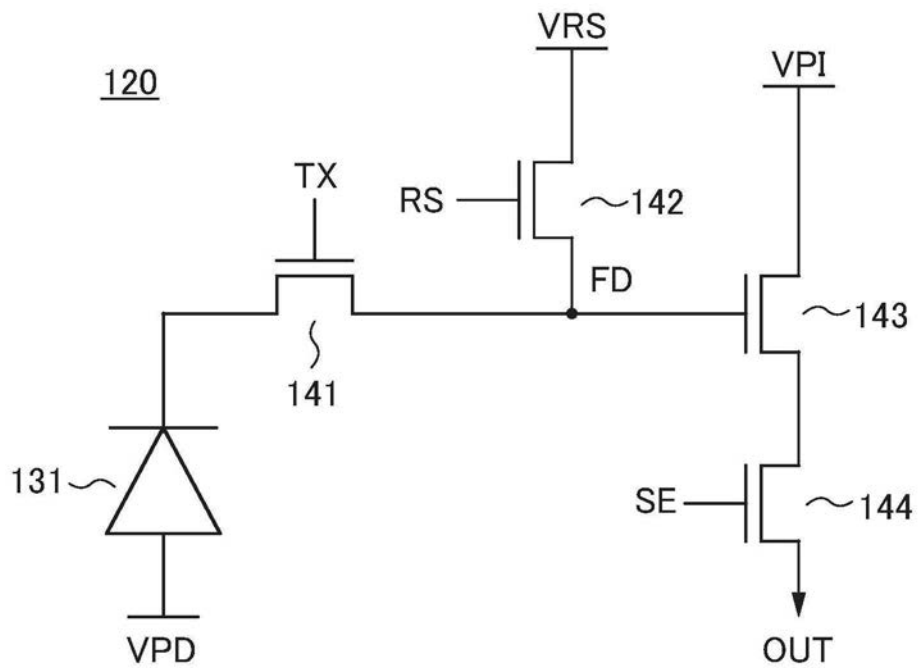


图9

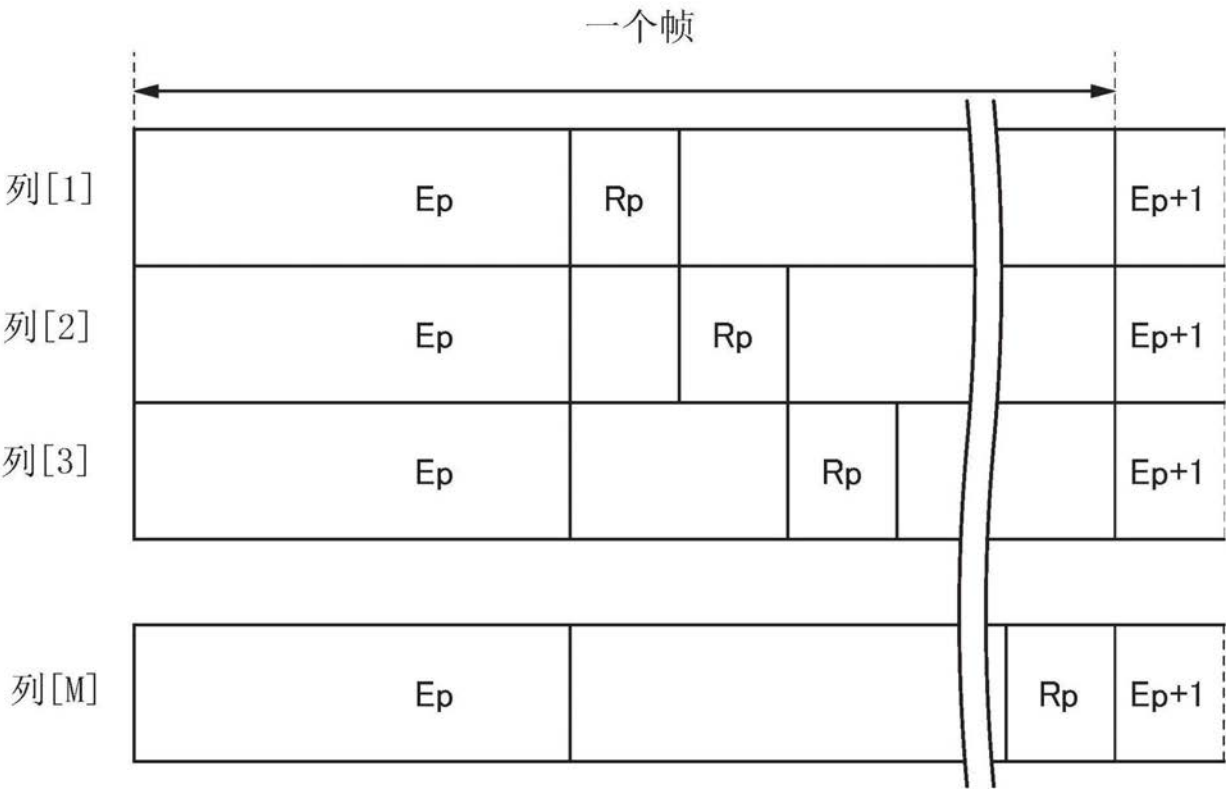


图10A

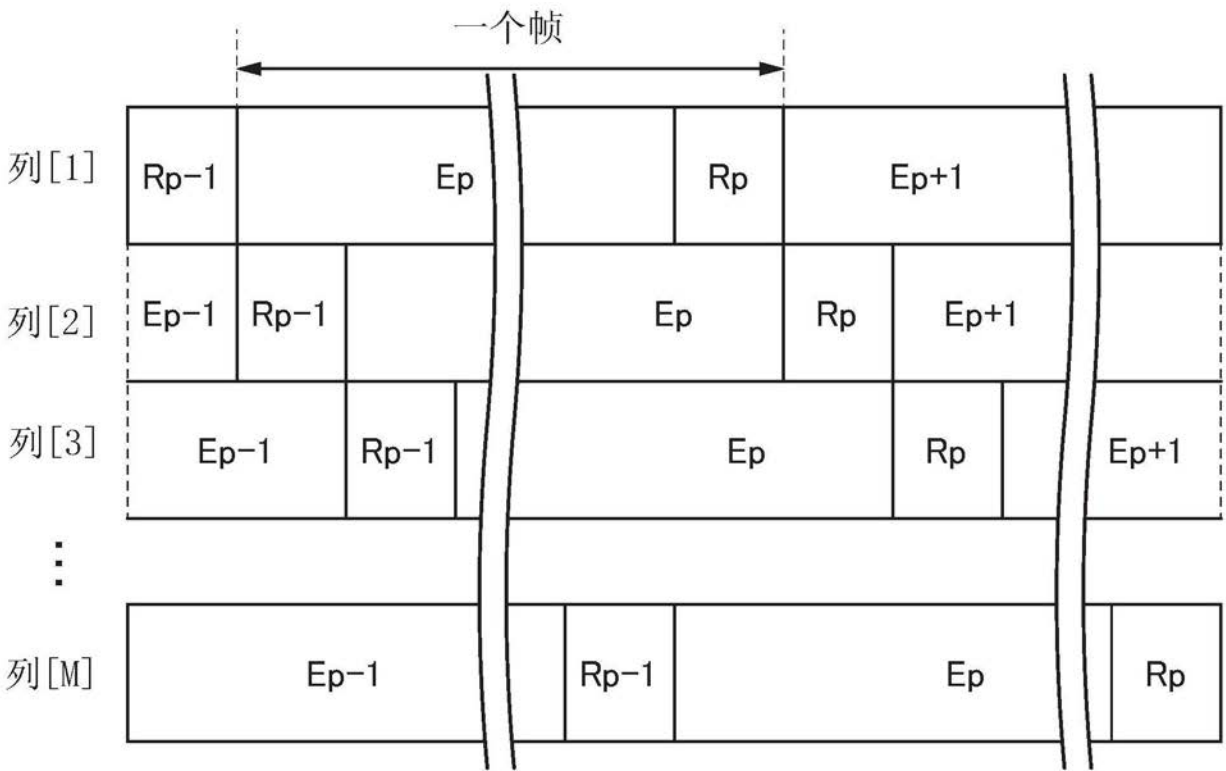


图10B

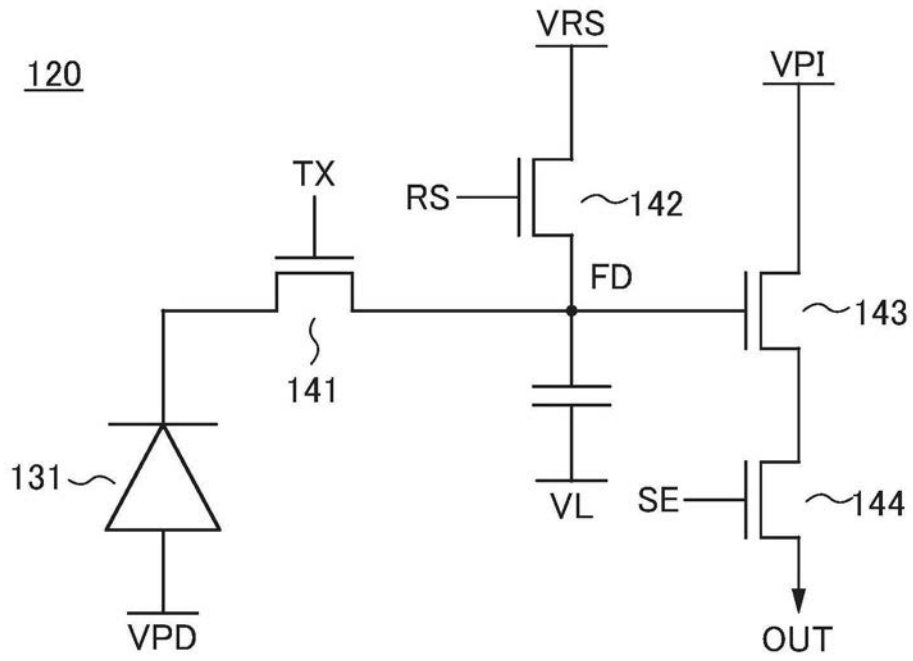


图11A

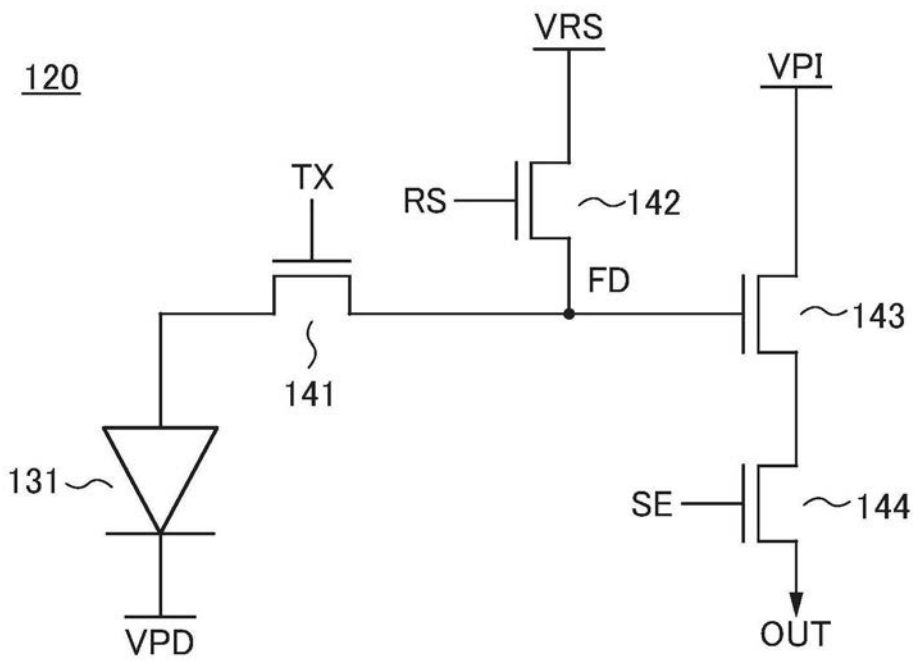


图11B

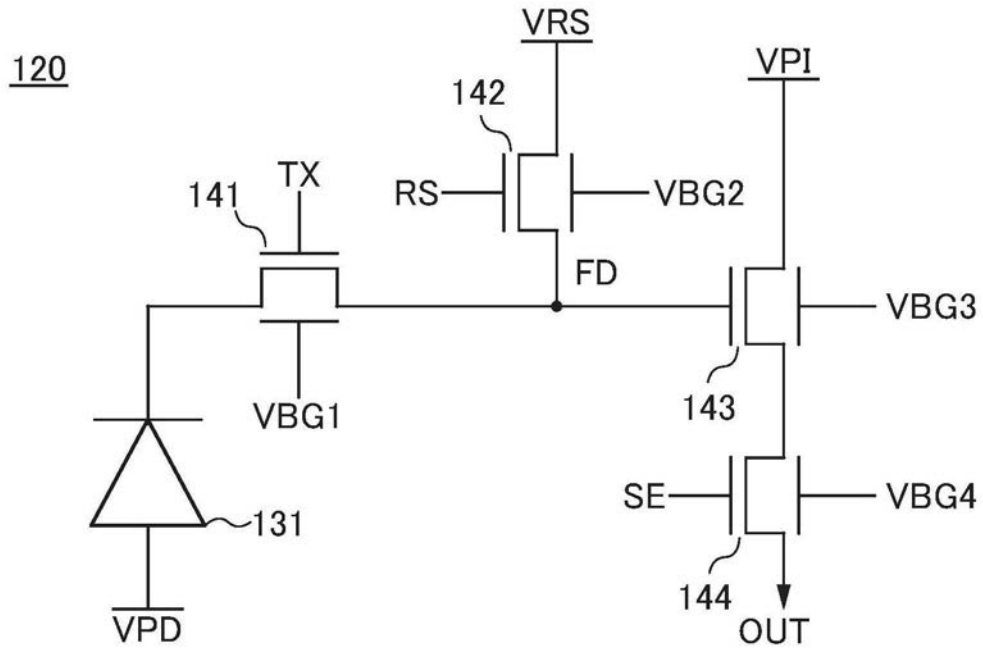


图12A

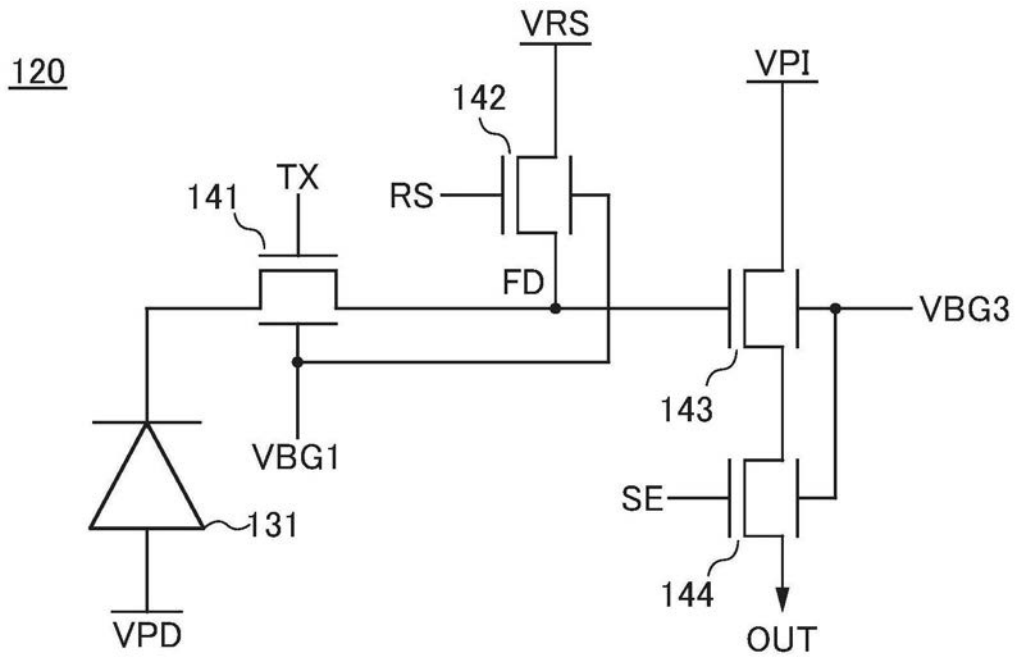


图12B

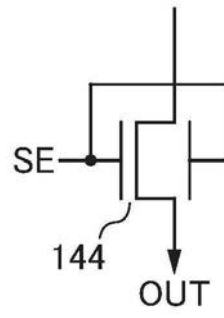


图12C

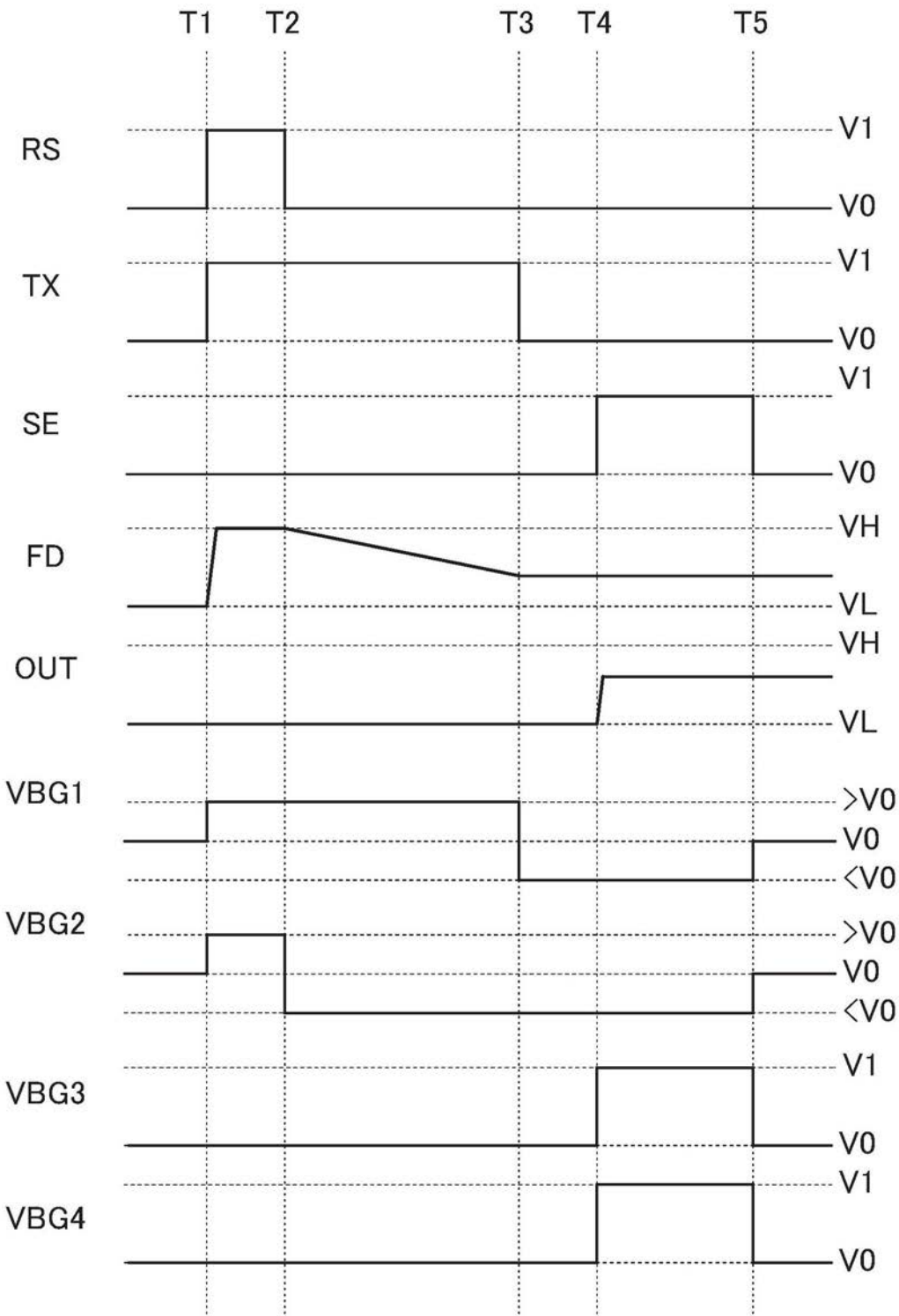


图13

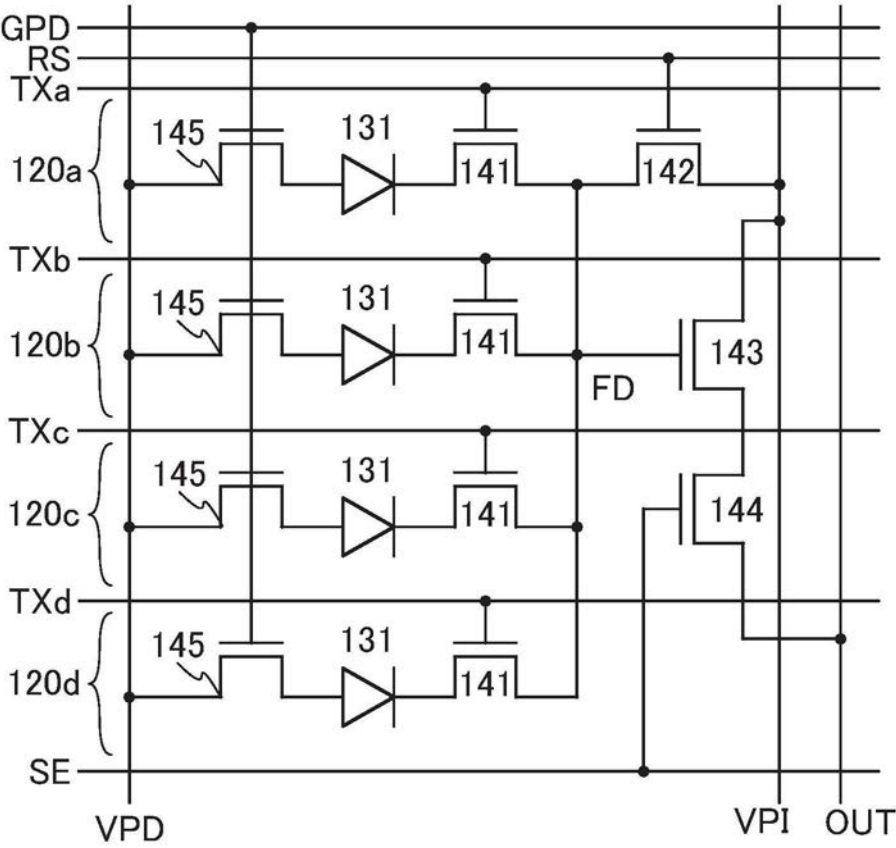


图14A

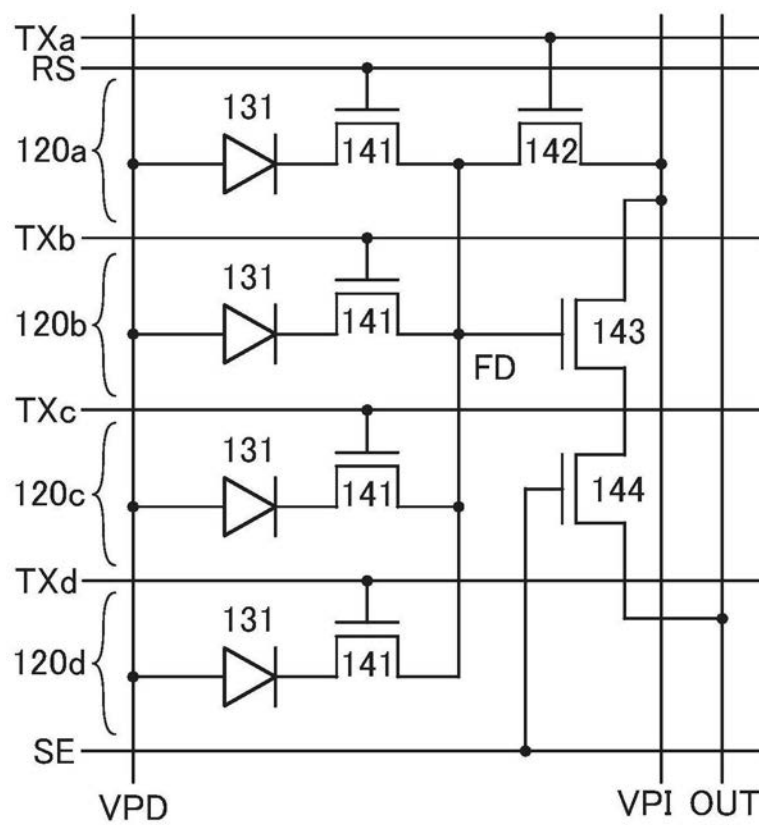


图14B

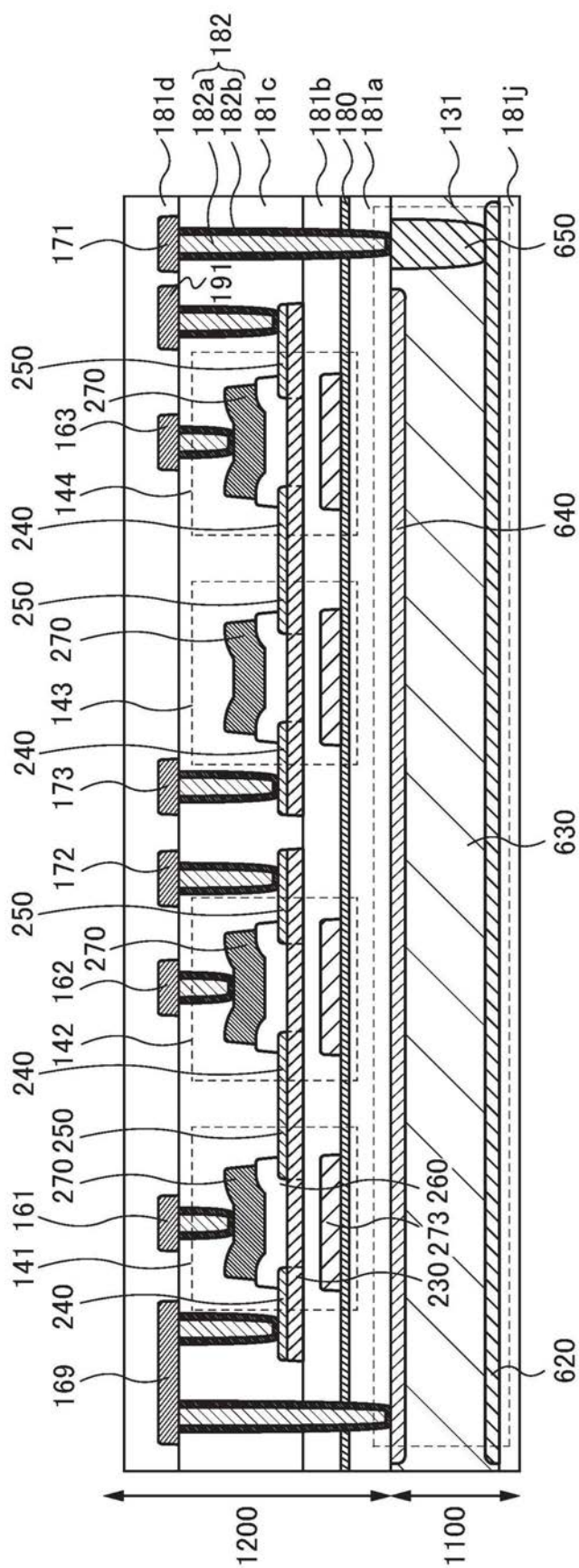


图15

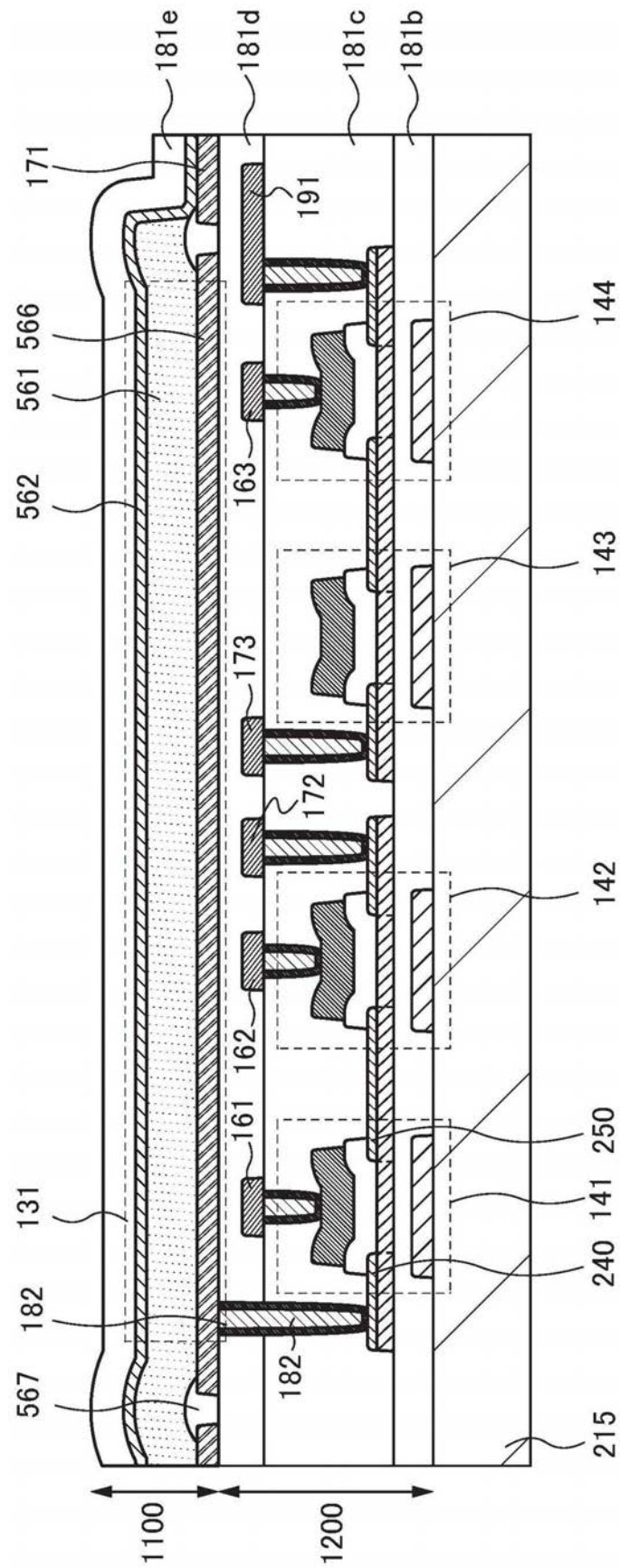


图16

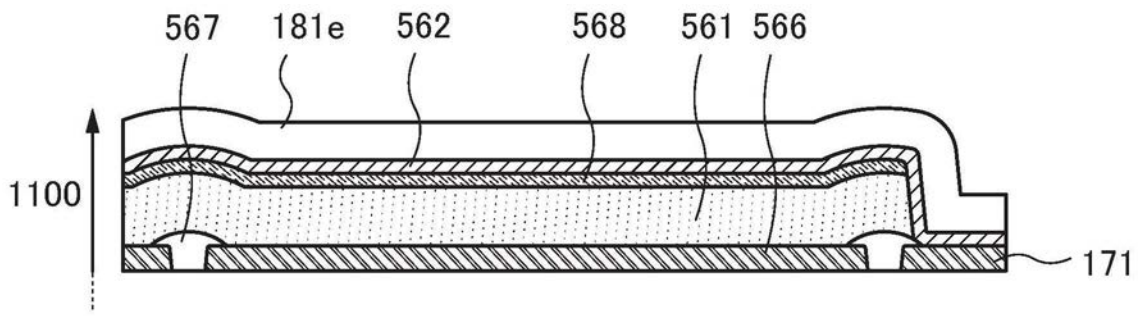


图17A

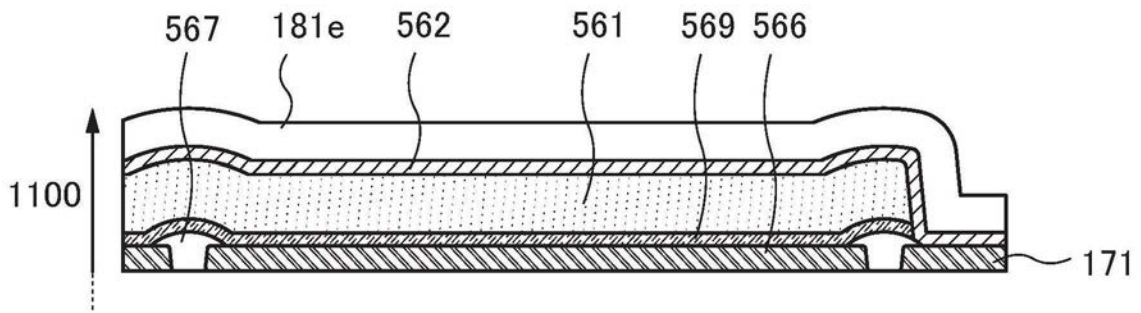


图17B

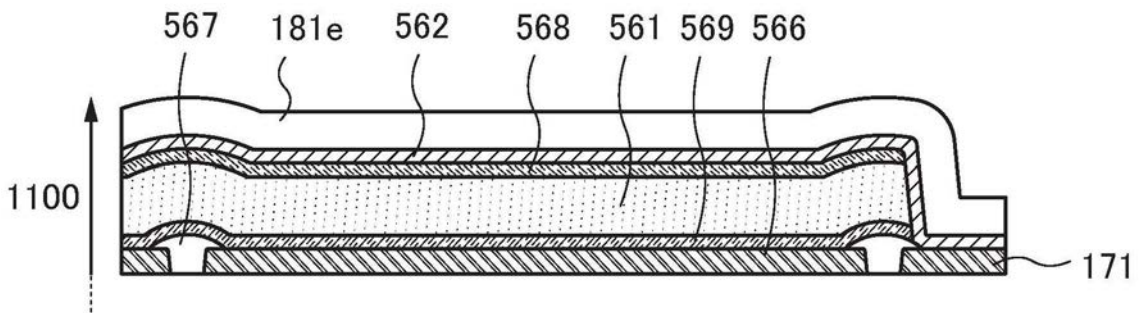


图17C

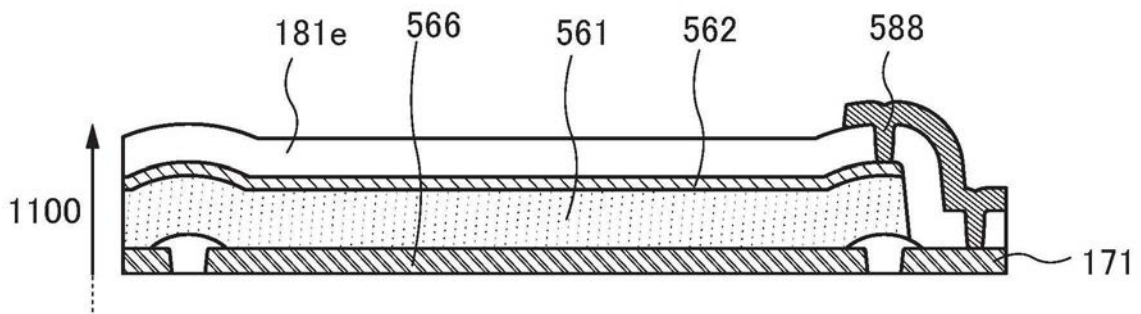


图17D

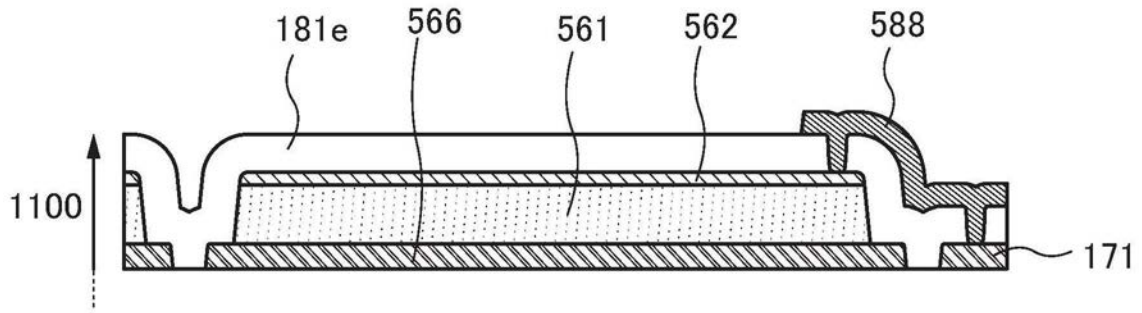


图17E

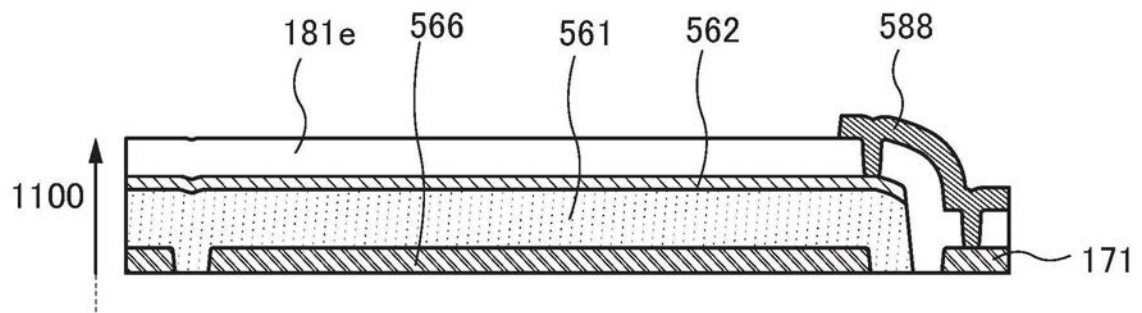


图18A

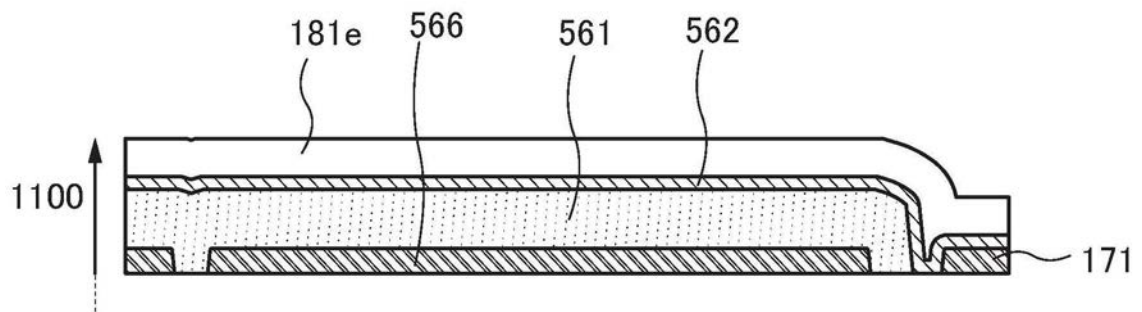


图18B

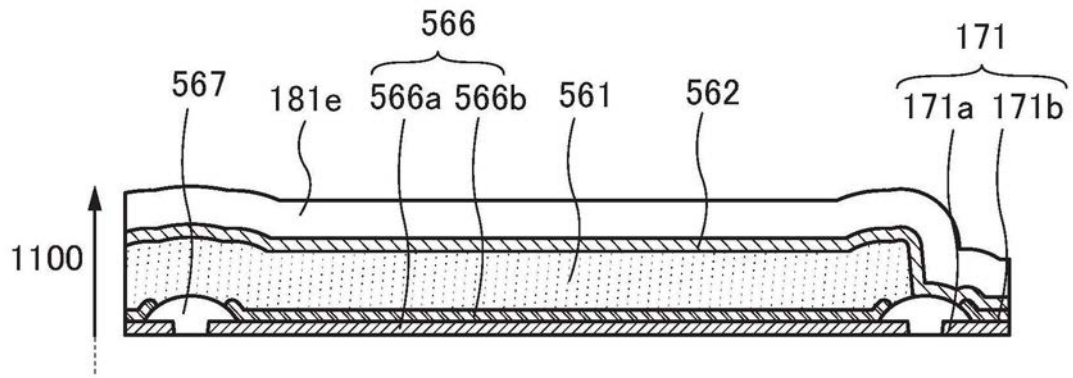


图18C

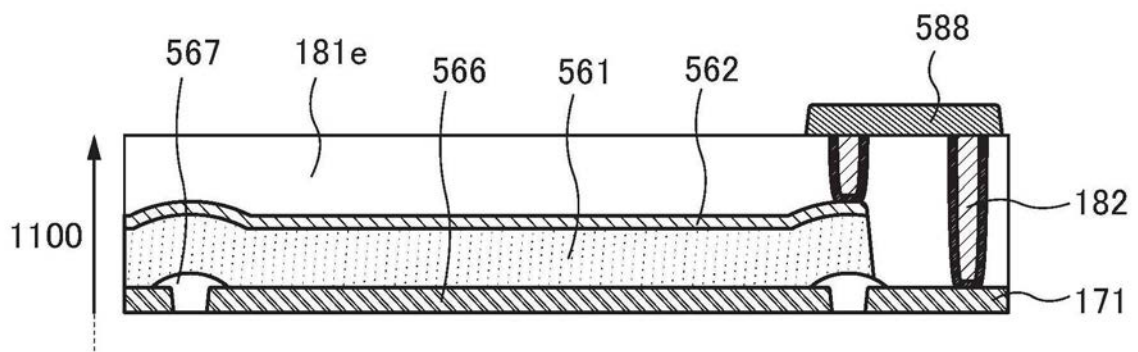


图18D

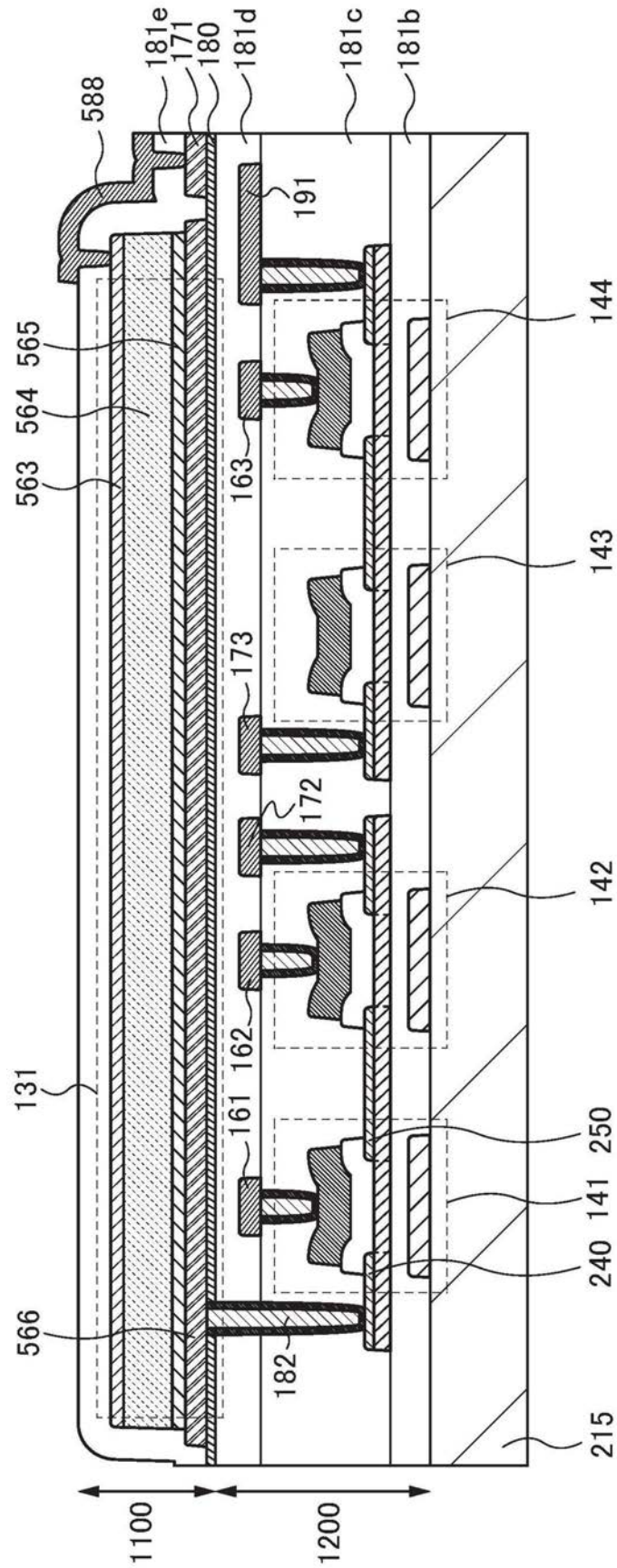


图19

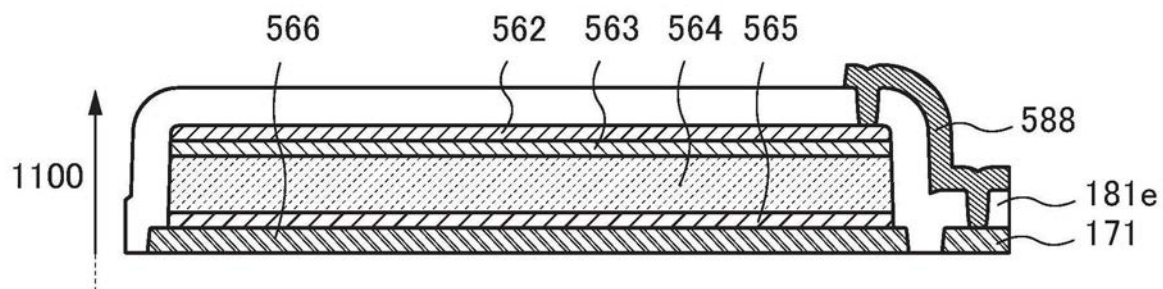


图20A

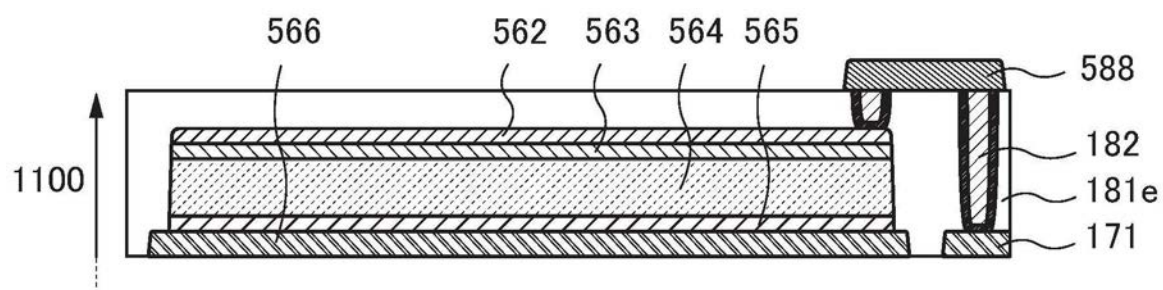


图20B

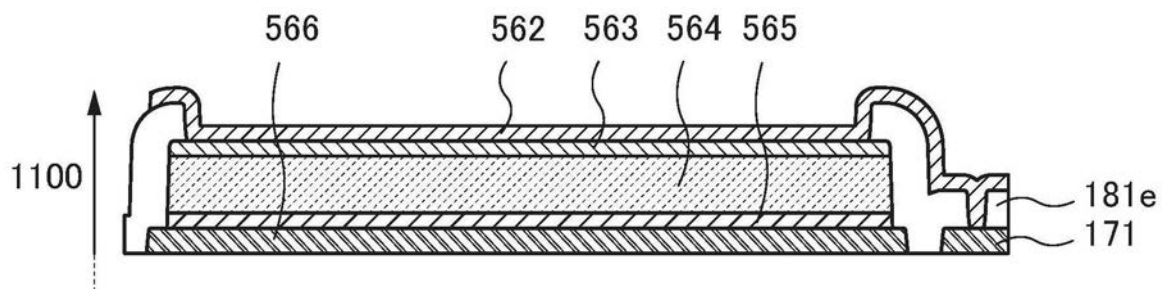


图20C

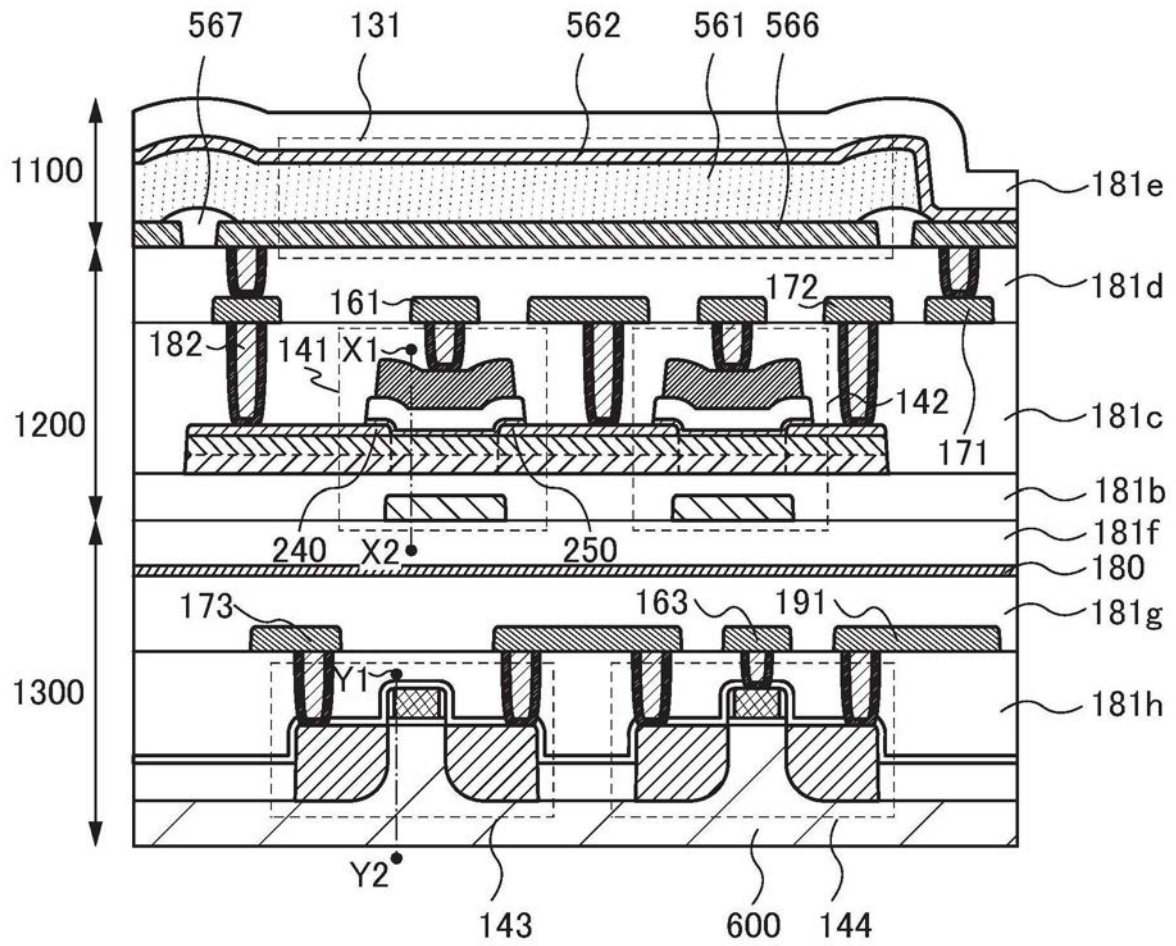


图21A

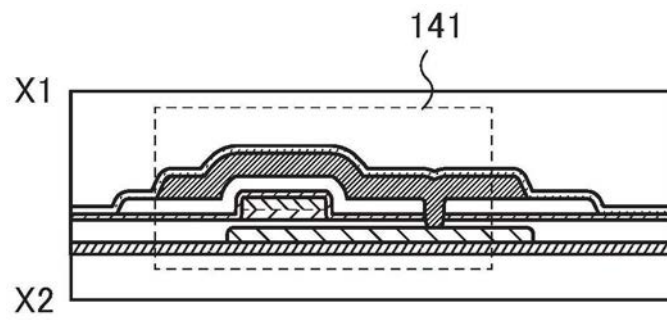


图21B

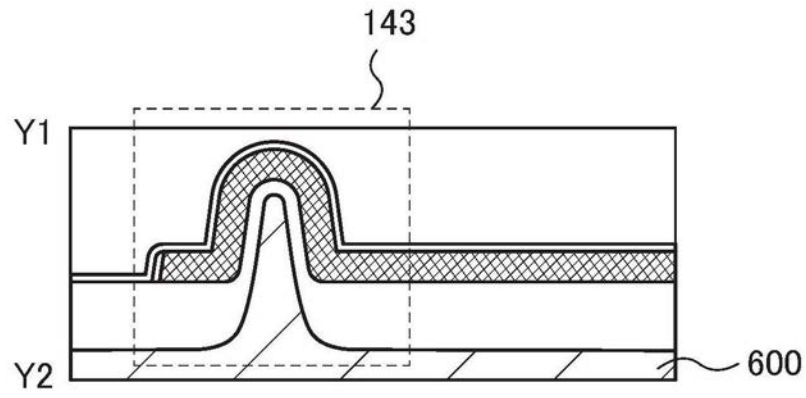


图21C

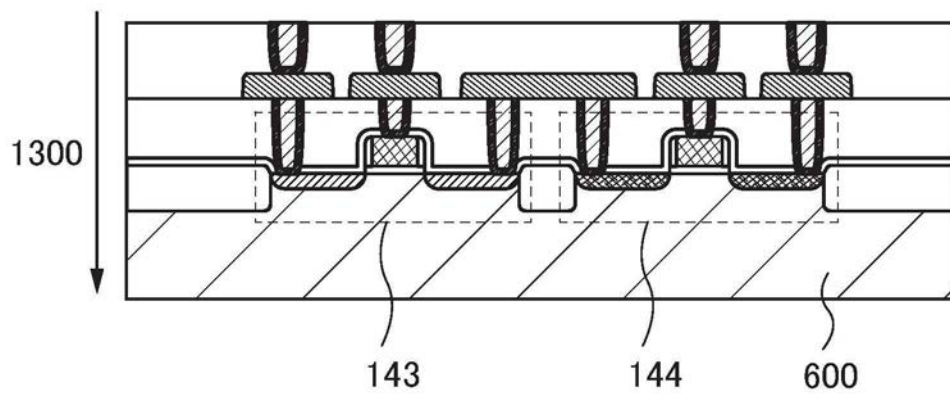


图22A

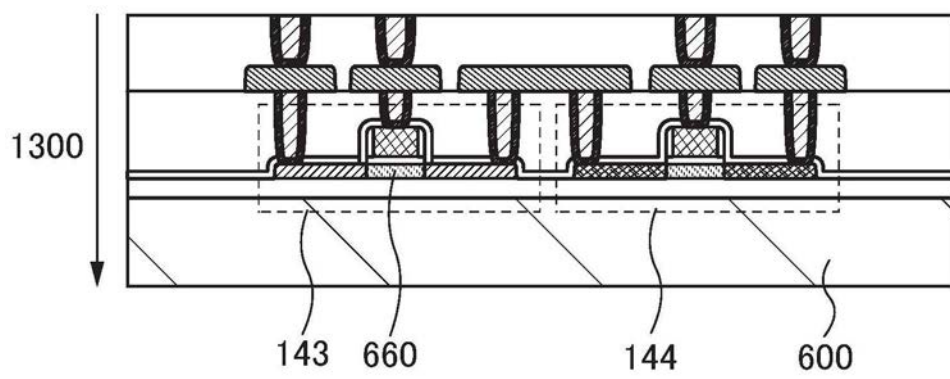


图22B

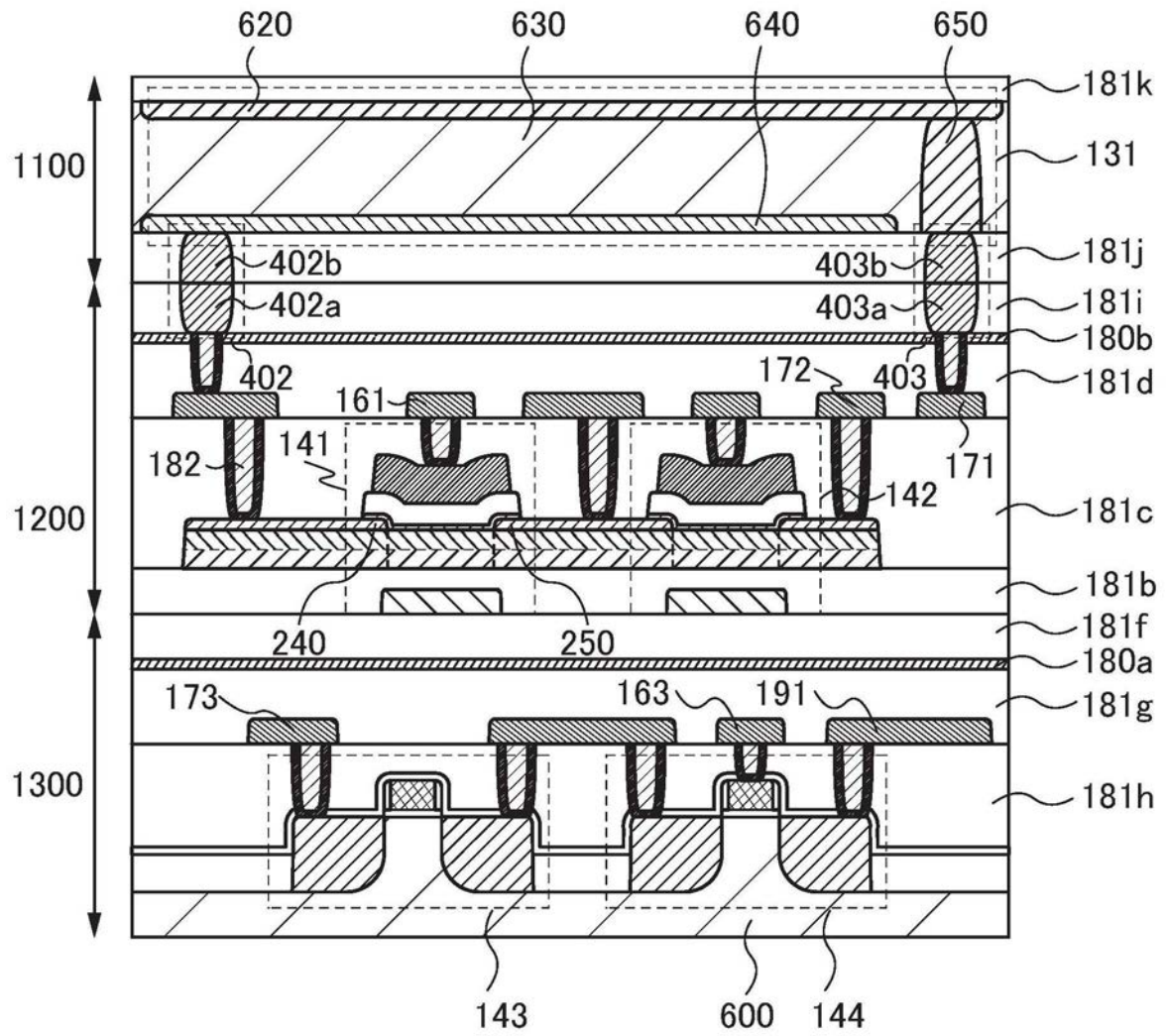


图23

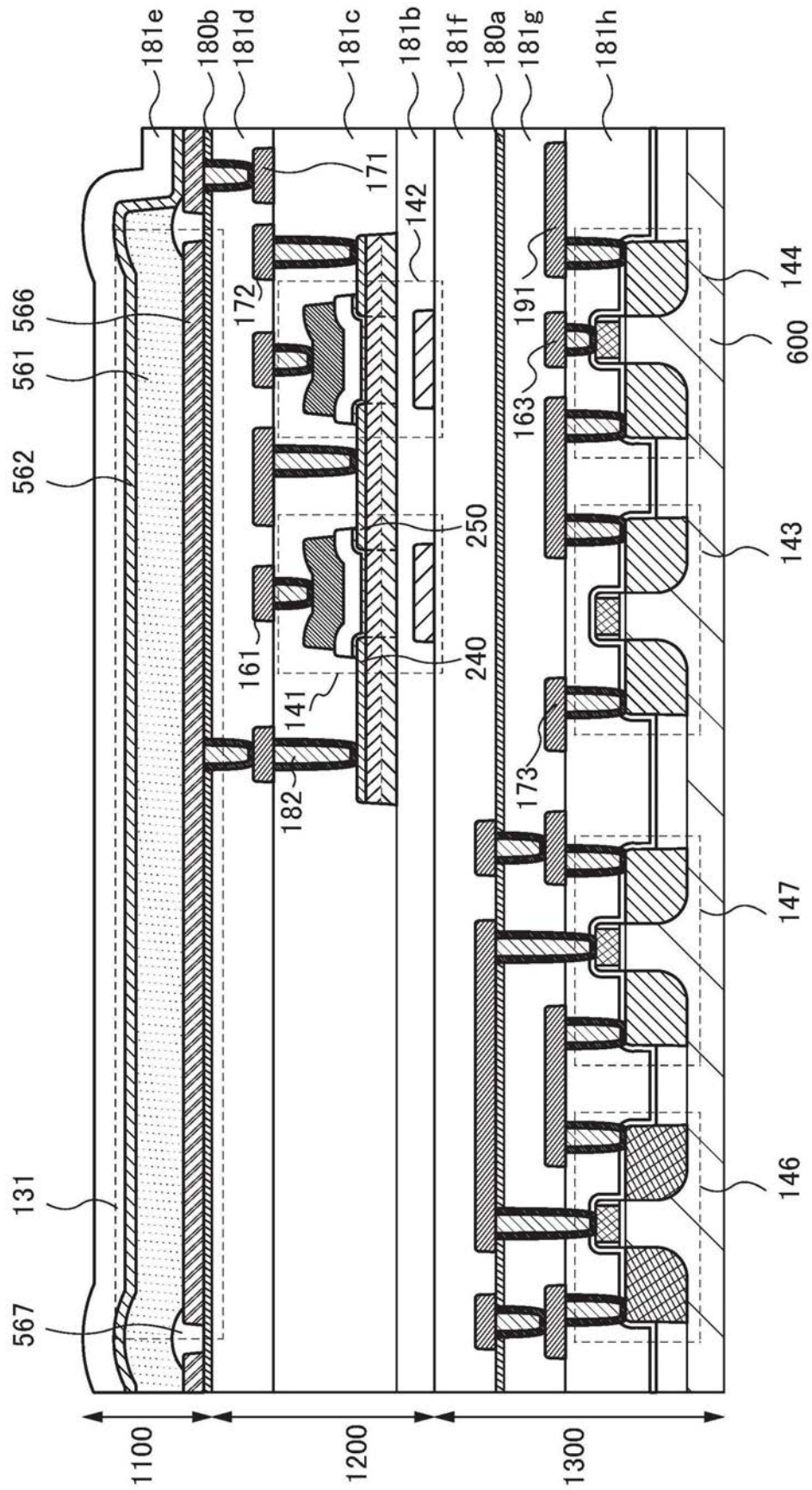


图24

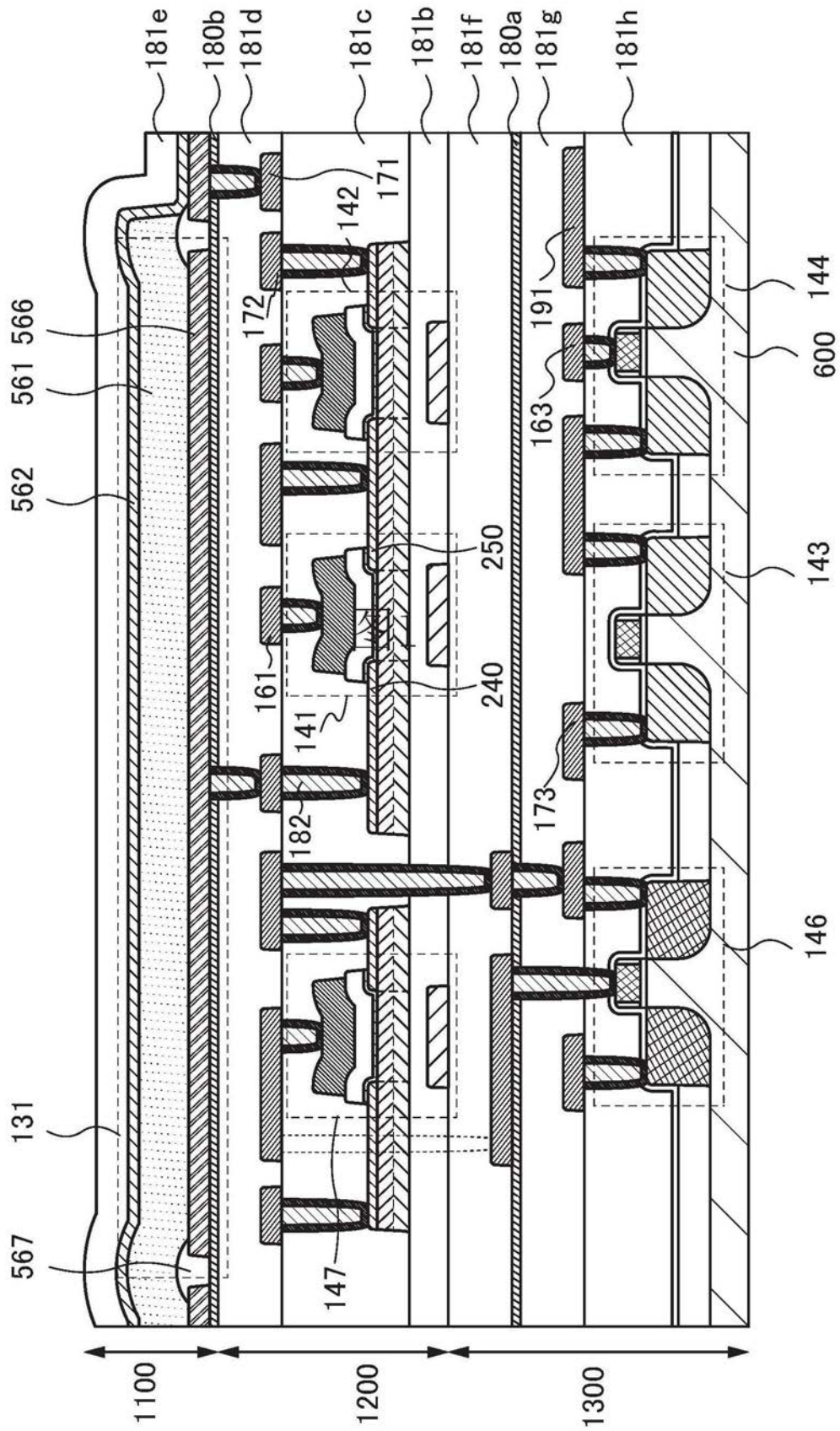


图25

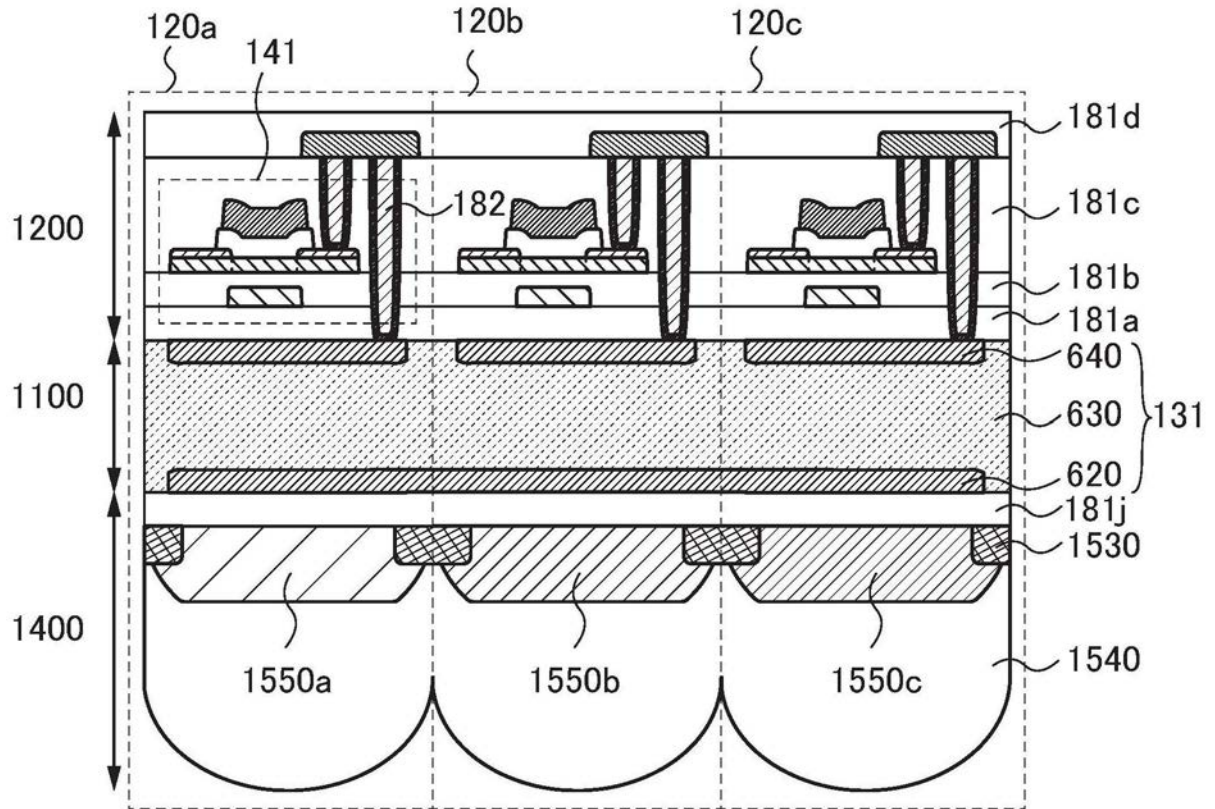


图26

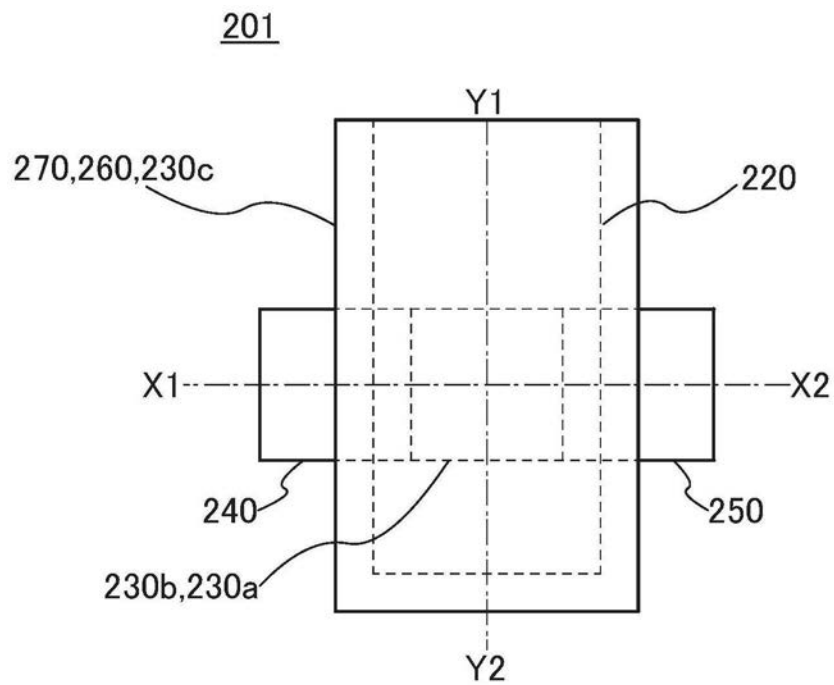


图27A

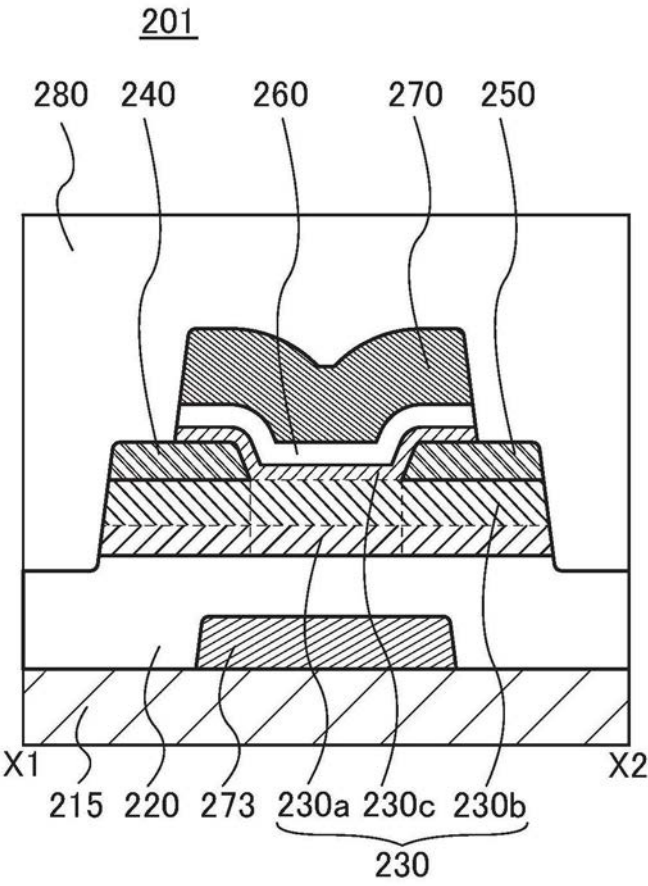


图27B

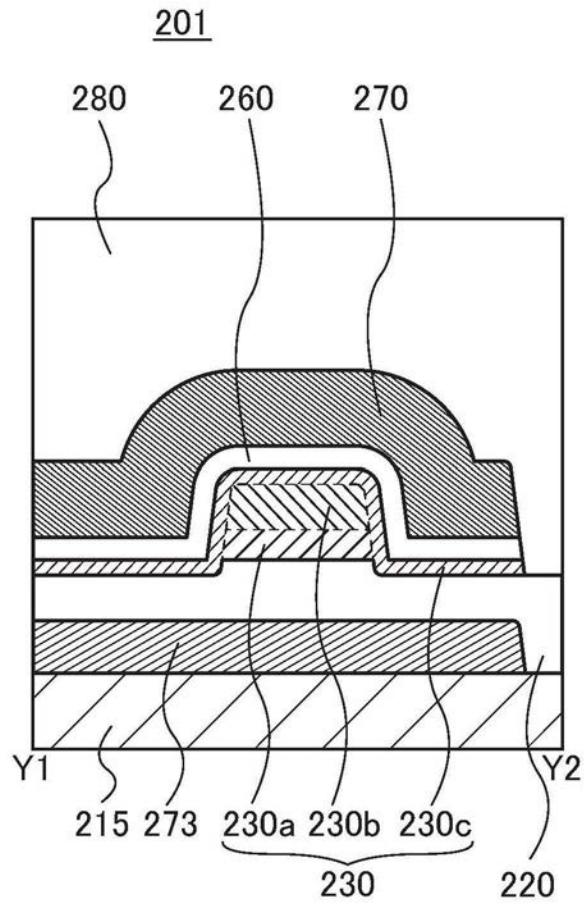


图27C

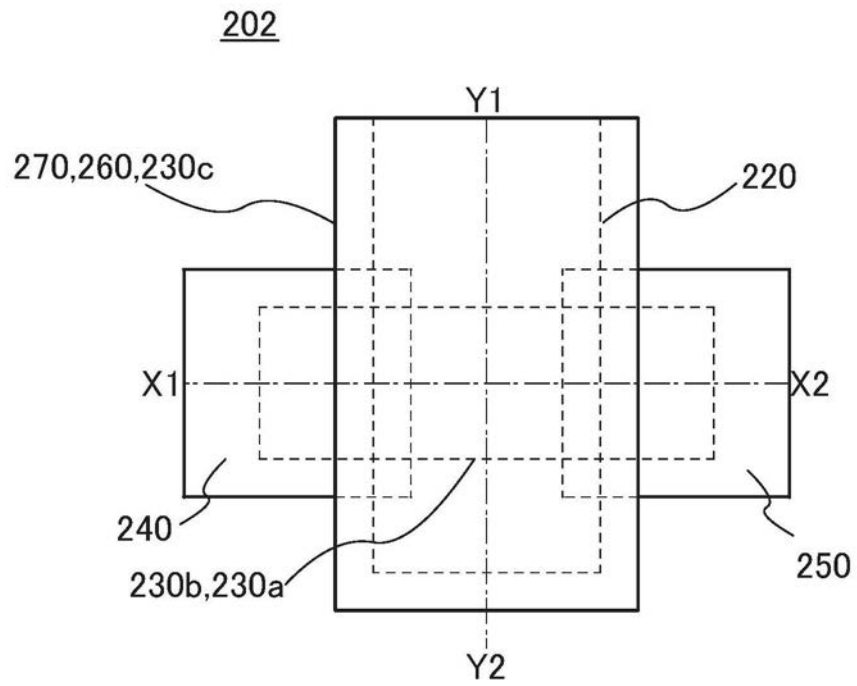


图28A

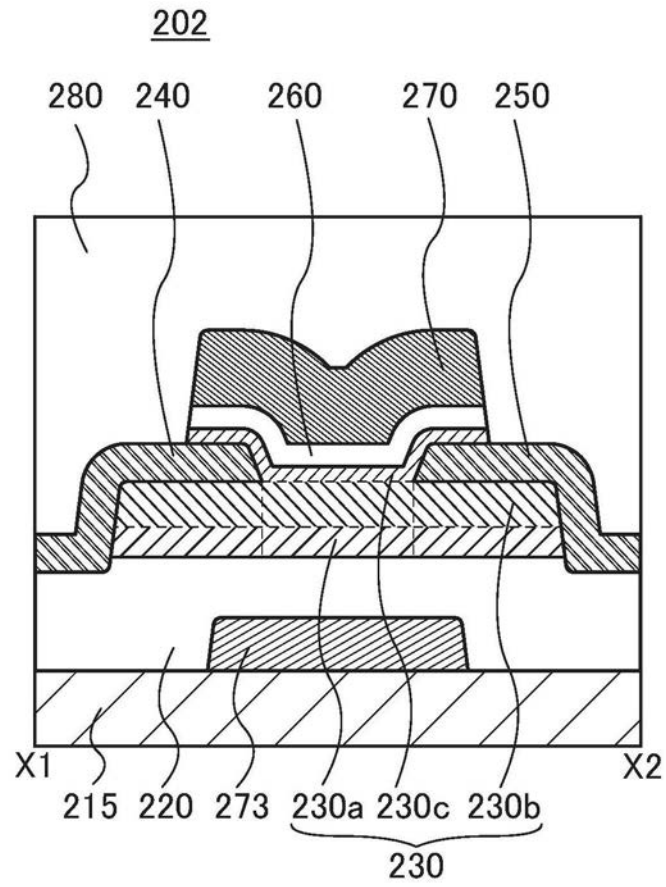


图28B

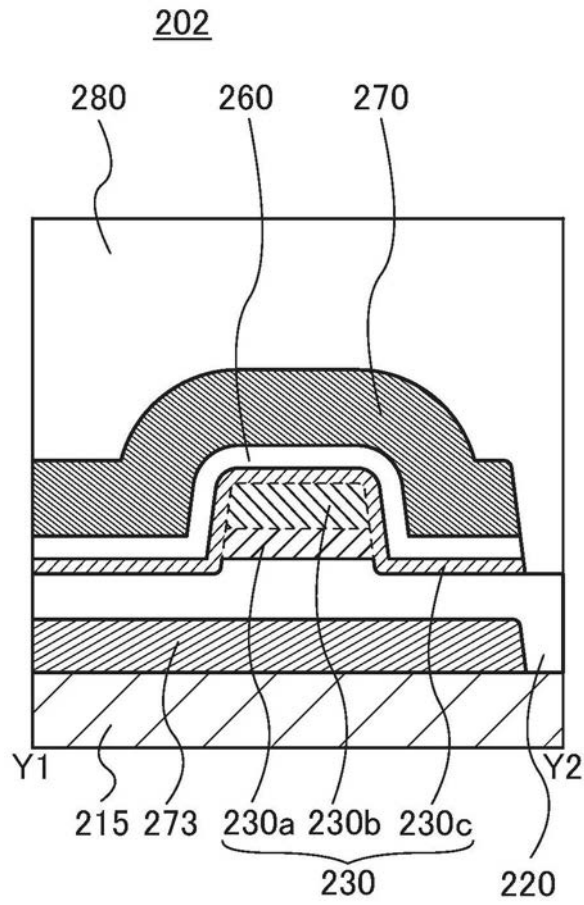


图28C

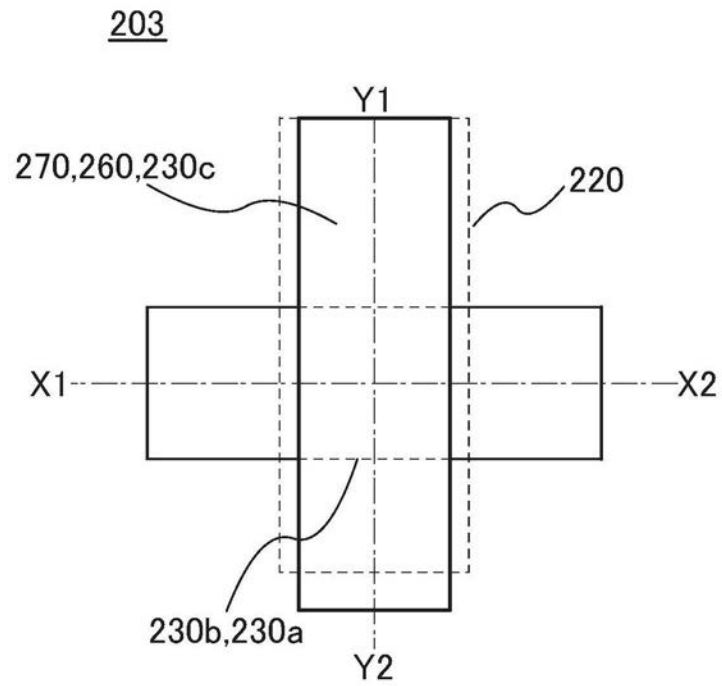


图29A

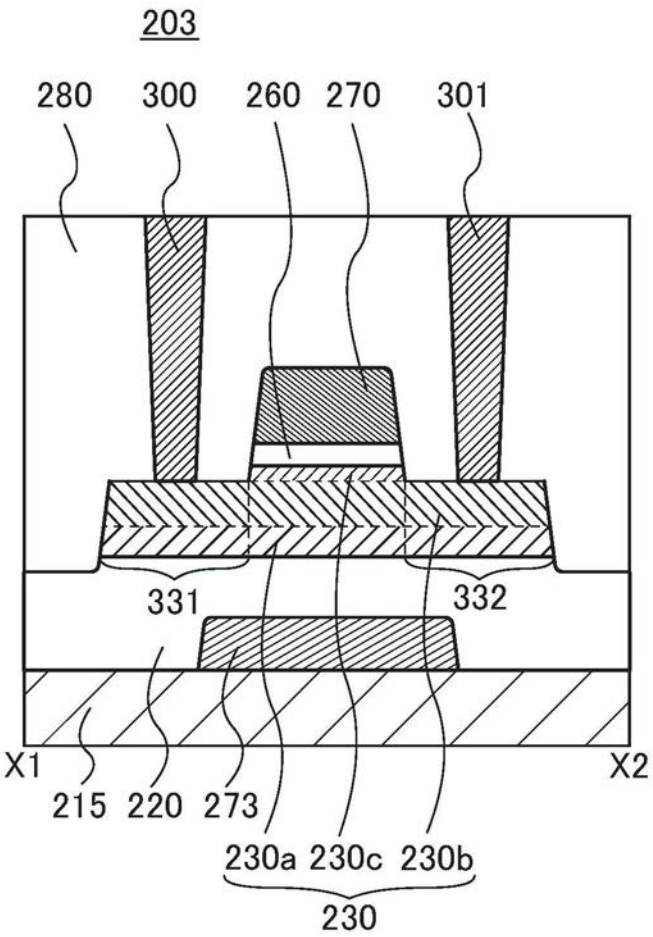


图29B

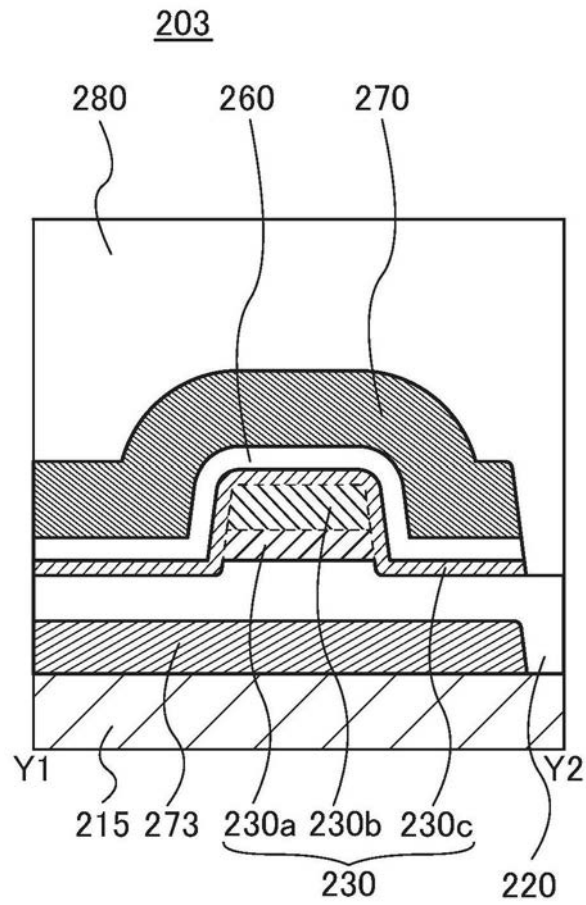


图29C

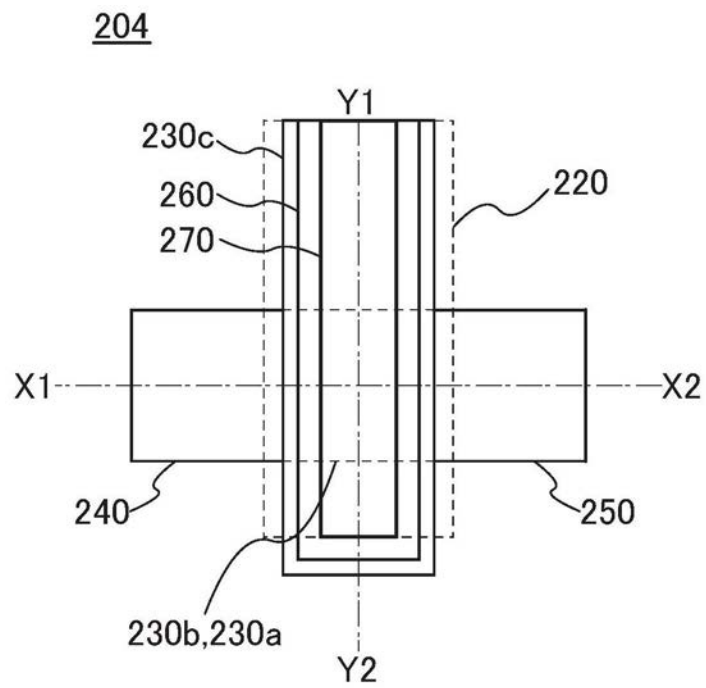


图30A

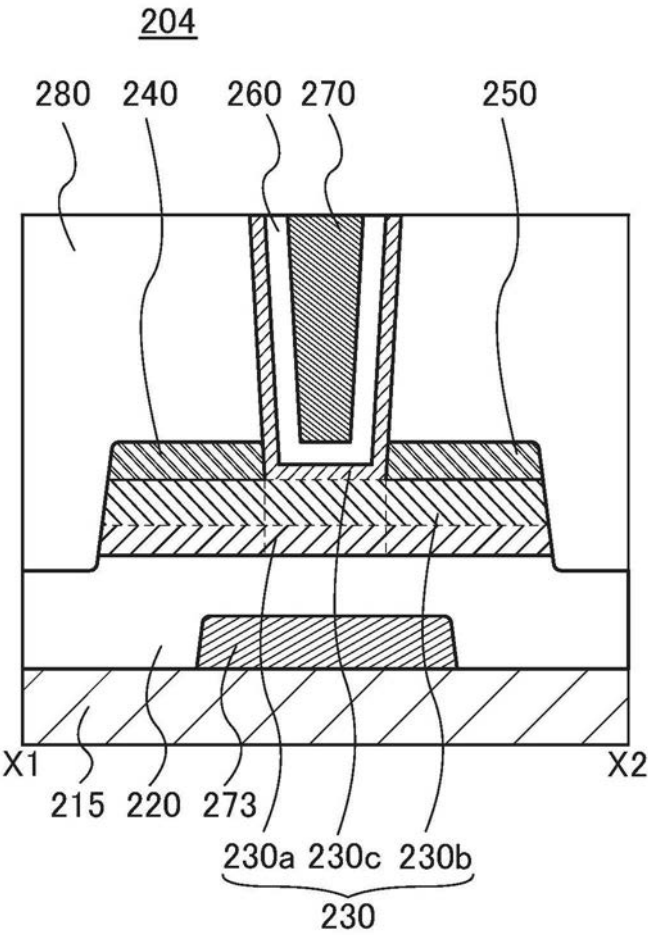


图30B

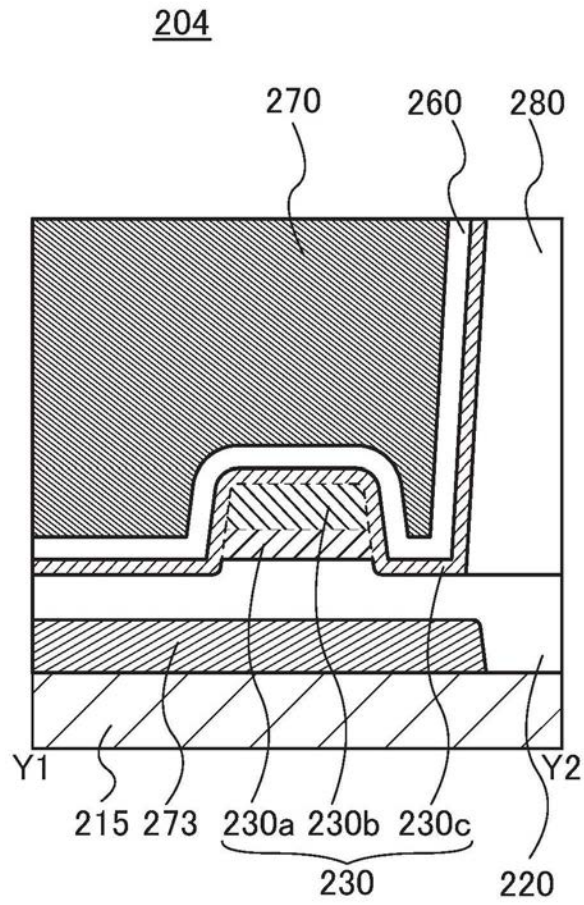


图30C

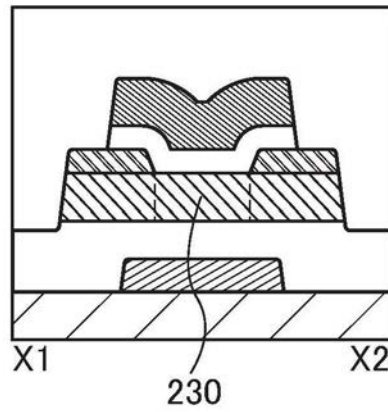


图31A

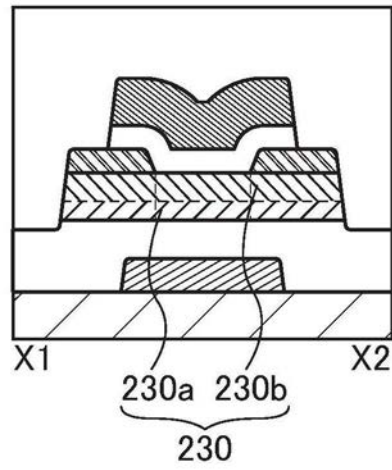


图31B

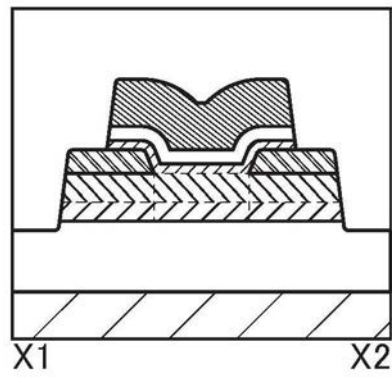


图31C

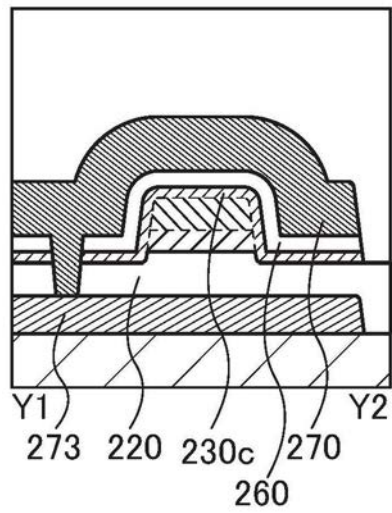


图31D

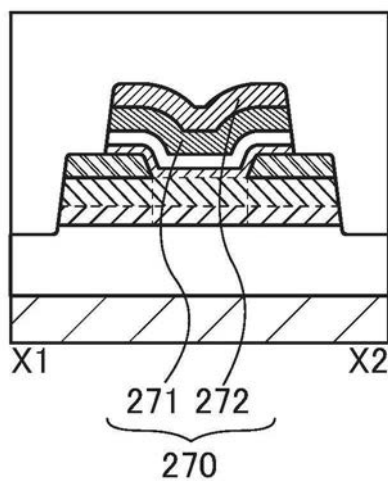


图31E

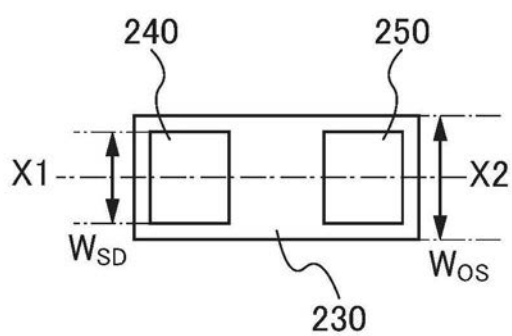


图31F

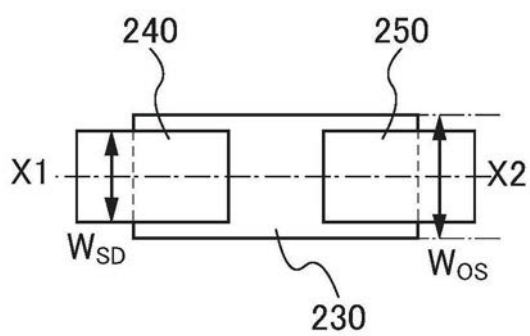


图31G

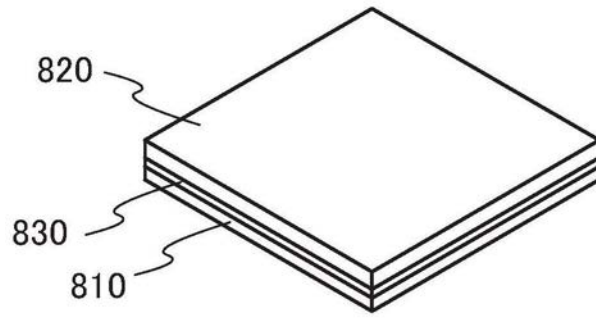


图32A

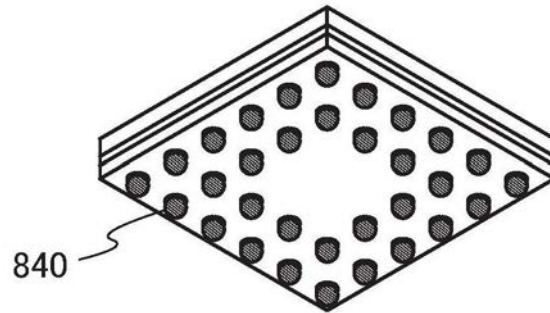


图32B

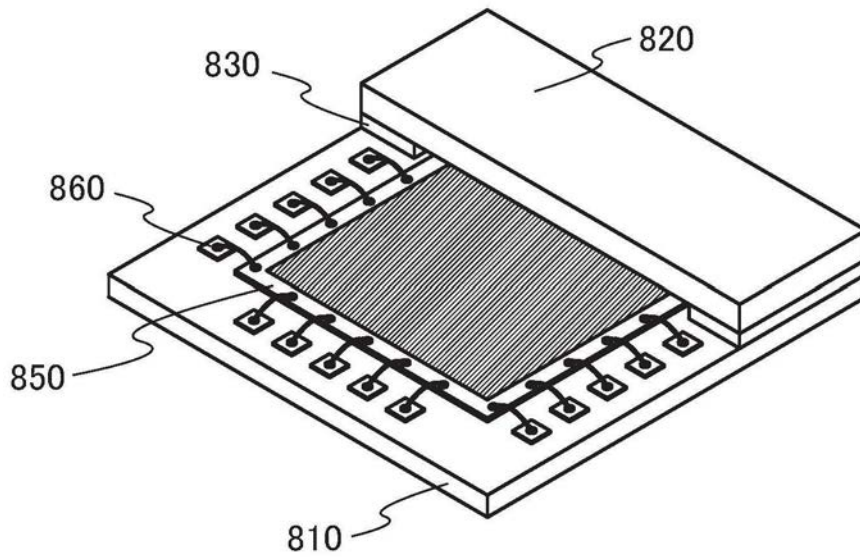


图32C

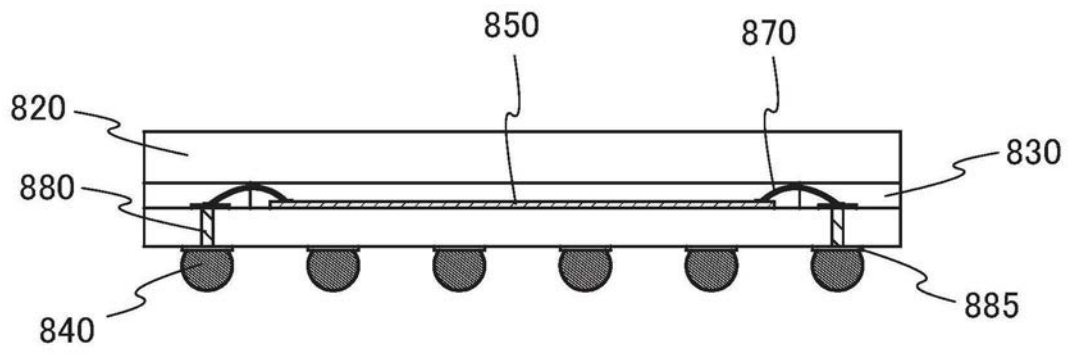


图32D

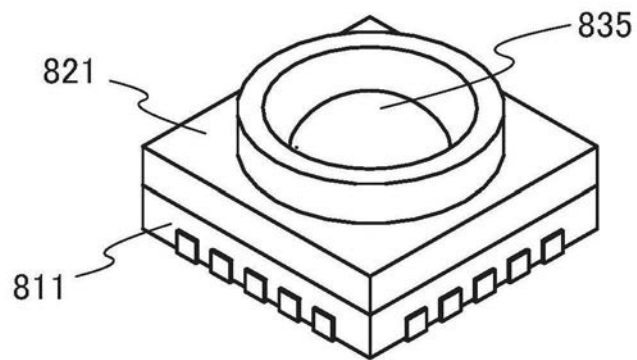


图33A

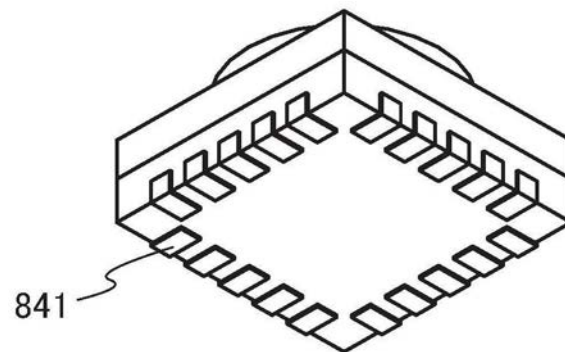


图33B

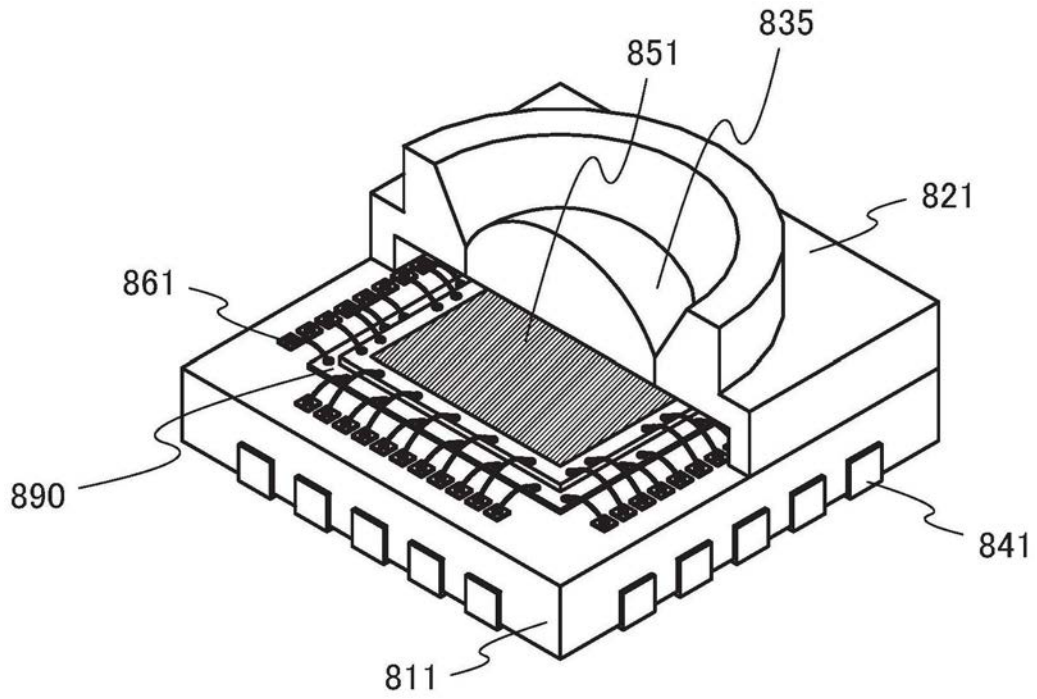


图33C

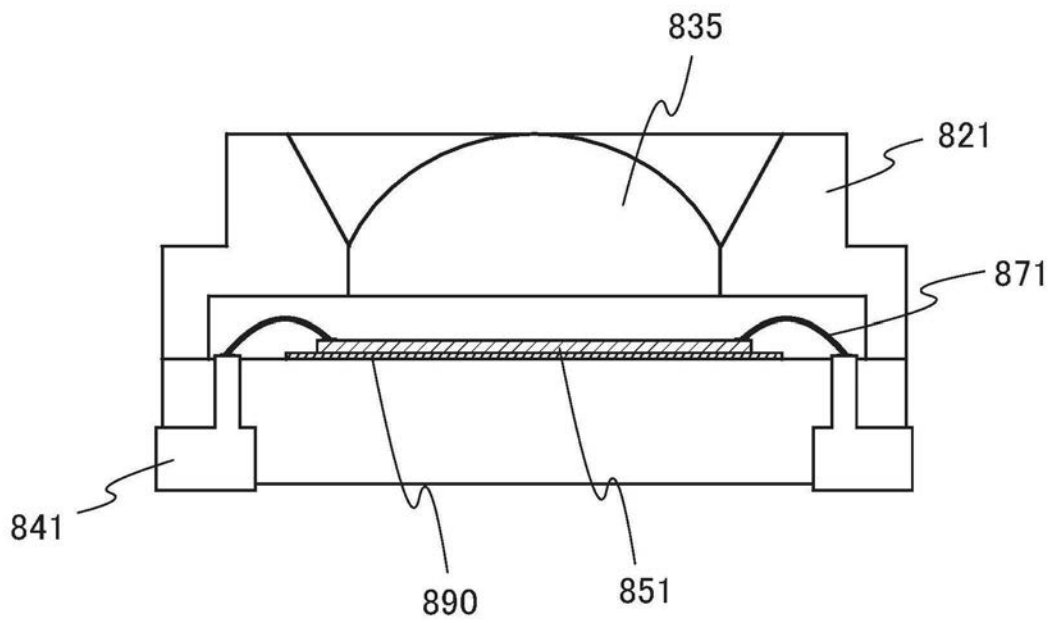


图33D

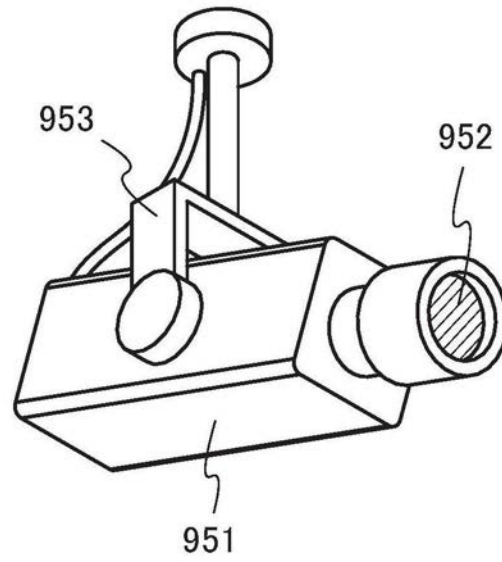


图34A

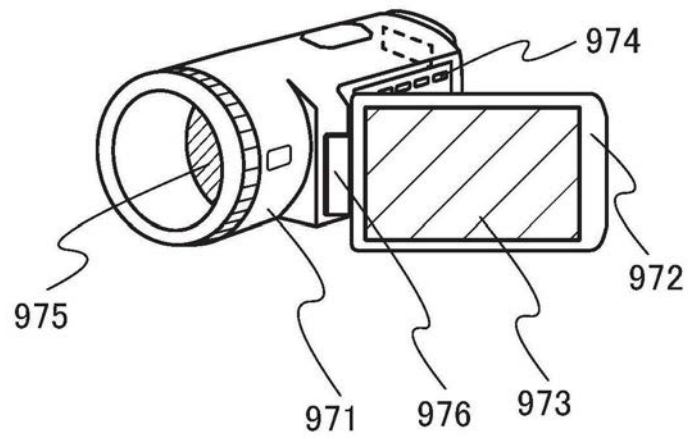


图34B

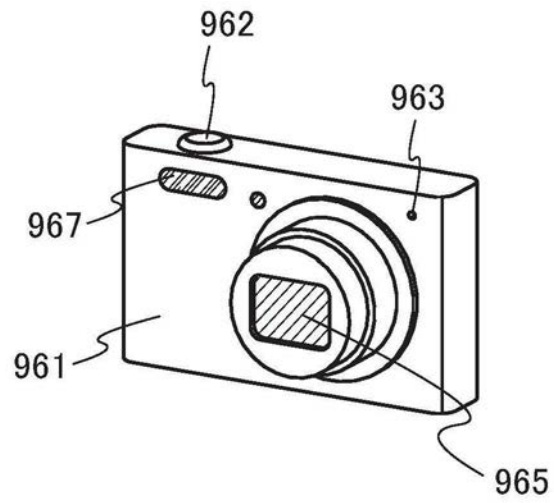


图34C

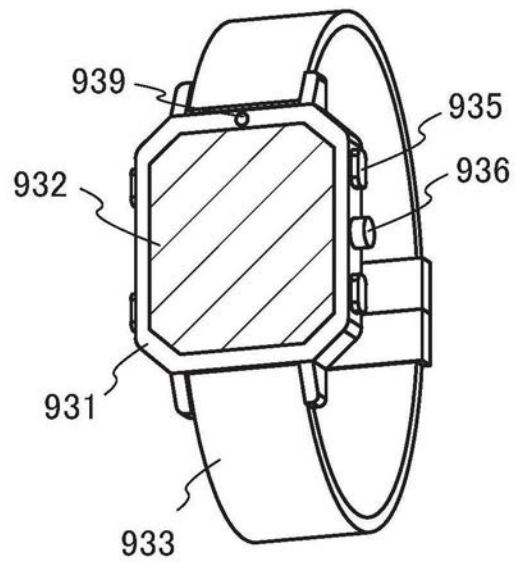


图34D

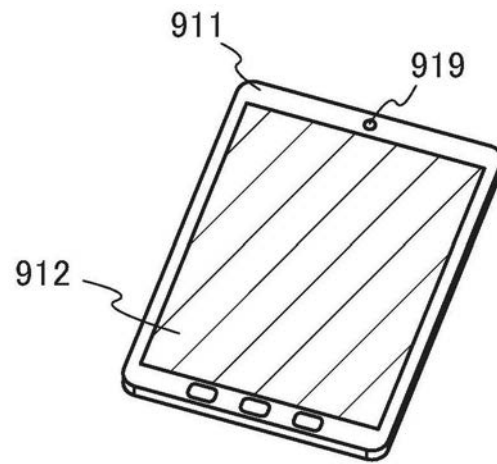


图34E

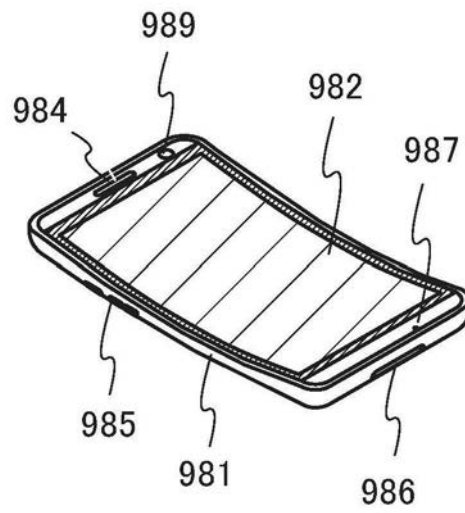


图34F