

**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(51) Int. Cl.<sup>6</sup>  
H01J 31/15

(11) 공개번호 특2001-0016823  
(43) 공개일자 2001년03월05일

(21) 출원번호	10-1999-0031976
(22) 출원일자	1999년08월04일
(71) 출원인	한국전자통신연구원 정선종 대전 유성구 가정동 161번지
(72) 발명자	송윤호 대전광역시서구정림동641강변들보람아파트101-604 이진호 대전광역시유성구어은동99한빛아파트130-403 강승열 서울특별시은평구응암3동121-29번지 조경익 대전광역시유성구어은동99한빛아파트119-1201
(74) 대리인	전영일

**심사청구 : 있음**

**(54) 2극형 전계 에미터를 가진 전계 방출 디스플레이**

**요약**

본 발명은 전계 방출 소자(field emission device, field emitter)를 평판 디스플레이(flat panel display) 장치에 응용한 전계 방출 디스플레이(Field Emission Display: FED)에 관한 것이다.

본 발명에 의한, 2극형 전계 에미터를 가진 전계 방출 디스플레이는, 서로 평행하게 진공 패키징된 상판과 하판을 구비한 2극형 전계 에미터를 가진 전계 방출 디스플레이에 있어서,

상기 하판은, 행렬 어드레싱을 가능하게 하는 금속으로 이루어진 행 신호선들 및 열 신호선들과; 상기 임의의 행 신호선과 열 신호선으로 이루어진 픽셀 내에 위치한 막 형의 전계 에미터; 및 상기 행 신호선과 열 신호선, 및 전계 에미터에 각각 접속된 적어도 3개의 단자들을 구비하여, 상기 행 신호선과 열 신호선에 각각 인가되는 스캔신호와 데이터신호에 따라 상기 전계 에미터를 구동하는 스위칭수단을 포함하고,

상기 상판은, 상기 전계 에미터에 대향하여 상기 전계 에미터로부터 방출되는 전자를 고에너지로 가속시키는 아노드전극을 포함한다.

**대표도**

**도4**

**명세서**

**도면의 간단한 설명**

도 1은 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구성을 보여주는 개략도,

도 2는 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 하판 구성을 보여주는 개략도,

도 3은 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 상판 구성을 보여주는 개략도,

도 4는 본 발명의 한 실시예에 따른 2극형 전계 에미터를 가진 전계 방출 디스플레이의 하판 구성을 보여주는 개략도,

도 5 내지 도 10은 본 발명의 한 실시예에 따른 2극형 전계 에미터를 가진 전계 방출 디스플레이의 하판 픽셀의 스위칭소자를 도시한 회로도,

도 11은 본 발명의 한 실시예에 따른 2극형 전계 에미터를 가진 전계 방출 디스플레이의 하판 픽셀구조를 도시한 단면도이다.

※ 도면의 주요부분에 대한 부호의 설명 ※

41R : 행 신호선 41C : 열 신호선

42 : 전계 에미터 43 : 스위칭수단  
 51,61,71,81,91,101 : 트랜지스터  
 72,82,92,102 : 고전압 트랜지스터 62, 83, 103 : 저항체  
 110 : 유리기판 111 : 공통채널  
 112 : 공통소스 113 : 공통드레인  
 114 : 제1게이트절연막 115 : 제1게이트  
 116 : 제2게이트절연막 117 : 제2게이트  
 118 : 저항층 119 : 전계 에미터

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 전계 방출 소자(field emission device, field emitter)를 평판 디스플레이(flat panel display) 장치에 응용한 전계 방출 디스플레이(Field Emission Display: FED)에 관한 것이다.

전계 방출 디스플레이(FED)는 전계 에미터를 가진 하판(lower plate)과 형광체(phosphor)를 가진 상판(upper plate)을 서로 평행하게 좁은 간격(2 mm 이내)으로 진공패키징(vacuum packaging)하여 제작한다. 하판의 전계 에미터로부터 방출된 전자는 상판의 형광체에 충돌하는데, 이때 형광체의 음극 발광(cathodeluminescence)으로 화상을 표시한다. 이러한 전계 방출 디스플레이는 최근 종래의 브라운관(cathode ray tube: CRT)을 대체할 수 있는 평판 디스플레이로서 크게 연구 개발되고 있다.

전계 방출 디스플레이 하판의 핵심 구성 요소인 전계 에미터는 소자 구조, 에미터 물질, 에미터 모양에 따라 전자 방출 효율이 크게 달라진다. 현재 전계 방출 소자의 구조는 크게 캐소드(또는 에미터)와 아노드로 구성된 2극형(diode type)과, 캐소드와 게이트와 아노드로 구성된 3극형(triode type)으로 분류할 수 있다. 에미터 물질로는 주로 금속, 실리콘, 다이아몬드, 다이아몬드상 카본(diamond like carbon), 탄소 나노튜브(carbon nanotube) 등이 사용되고 있으며, 일반적으로 금속과 실리콘은 3극형 구조로, 다이아몬드 또는 탄소 나노튜브 등은 2극형 구조로 제작되고 있다.

2극형 전계 에미터는 3극형에 비해서 전자 방출의 제어성 및 저전압 구동 측면에서는 불리하지만, 제작 공정이 간단하고 또한 전자 방출의 신뢰성이 높다는 장점을 가진다.

도 1은 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구성을 도시한 개략도이다.

종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이는, 전계 에미터물질을 포함하는 하판(13)과 형광체를 포함하는 상판(16)으로 이루어진다.

하판(13)은, 유리기판(10B) 상에 띠 형태로 배열된 금속전극(11)과, 금속전극(11)의 일부 위에 막(film) 형태로 도포된 전계 에미터물질(12)을 포함한다. 상판(16)은, 유리기판(10A) 상에 띠 형태로 배열된 투명전극(14)과, 투명전극(14)의 일부 위에 도포된 빨강(R), 녹색(G), 파랑색(B)의 형광체(phosphor)(15)를 포함한다. 스페이서(spacer)(17)를 지지대로 하여 상, 하판(13, 16)의 구성 요소를 서로 마주보게 하면서 평행하게 진공 패키징한다.

도 1에서 하판의 금속전극(11)과 투명전극(14)는 각각 전계 방출소자의 캐소드전극과 아노드전극 역할을 하며, 서로 교차되도록 정렬하여 교차영역을 하나의 픽셀(pixel)로 정의한다.

상기와 같이 구성된 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구동을 설명하면 다음과 같다.

하판(13)은 도 2에 도시된 바와 같이 행 신호선(row signal bus)(21R)에 막 형의 전계 에미터(22)가 연결되어 있고, 상판(16)은 도 3에 도시된 바와 같이 열 신호선(column signal bus)(31C)에 형광체(32)가 연결되어 있다. 이때, 행 신호선과 열 신호선은 상, 하판의 정렬 방향에 따라 서로 달라질 수도 있다.

따라서, 디스플레이 구동은 행렬(matrix) 형태로 이루어지며, 디스플레이 신호는 하판의 행 신호선(21R)과 상판의 열 신호선(32C)에 의해 각 픽셀에 어드레싱(addressing)된다. 보다 상세하게 설명하면, 행 신호에 의해 하나의 행이 선택되면 열 신호가 순차적 또는 동시에 입력되어 그 행의 모든 픽셀이 어드레싱되고, 이어 다음 행의 신호가 순차적 또는 교차적으로 입력된다.

또한, 전자 방출에 필요한 전기장(electric field)은 행 신호선과 열 신호선의 전압차에 의해 결정되며, 통상 전계 에미터 물질에 1 V/ $\mu\text{m}$  이상의 전기장이 인가되면 전계 에미터에서 전자 방출이 일어난다.

이와 같이 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이에서 사용되는 2극형 전계 에미터는 원추형 3극형 전계 에미터와는 달리 게이트와 게이트 절연막이 필요없기 때문에, 그 구조가 간단하고 제작 공정이 용이하다는 장점을 가진다. 또한, 2극형 전계 에미터는 전자 방출시 스퍼터링 효과에 의한 전계 에미터의 파괴 확률이 매우 낮기 때문에 소자의 신뢰성이 높을 뿐만 아니라, 3극형 전계 에미터에서 크게 문제가 되는 게이트 및 게이트 절연체의 파괴 현상이 전혀 없다는 장점을 가지기도 한다.

그러나, 2극형 전계 에미터를 가진 전계 방출 디스플레이는, 상당한 간격(통상 200 $\mu\text{m}$  ~ 2mm임)으로 떨어진 상판과 하판의 각 전극(하판의 금속전극과 상판의 투명전극)을 통해 전자방출에 필요한 높은 전기장을 인가하여야 하기 때문에, 높은 전압의 디스플레이신호가 필요하게 되며, 이에 따라 고가의 고전압 구동회

로가 요구되는 문제점이 있었다.

특히, 상판의 투명전극인 아노드전극이 디스플레이의 신호선인 동시에 전자의 가속전극으로 사용되기 때문에 저전압 구동이 거의 불가능하다. 즉, 전계 방출 디스플레이에서 형광체를 발광시키는 데에는 통상 200 eV 이상의 고에너지 전자가 필요하기 때문에 아노드 전극에 200 V 이상의 전압을 인가하여야만 한다. 또한, 2극형 전계 에미터는 주로 박막형으로 구성되어 있기 때문에 전자 방출 특성이 매우 불안정하고, 균일성과 신뢰성이 떨어지는 단점을 가진다.

또한, 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이는 각 픽셀이 전기적으로 서로 고립되어 있지 않기 때문에 디스플레이 화면이 대면적화, 고해상도화될수록 디스플레이 신호의 크로스-토크(cross-talk)가 크게 발생하는 문제점이 있다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 저전압으로 구동 가능한 2극형 전계 에미터를 가진 전계 방출 디스플레이를 제공하기 위한 것이다. 본 발명의 다른 목적은 대면적화 및 고해상도화가 가능한 성능 향상된 2극형 전계 에미터를 가진 전계 방출 디스플레이를 제공하기 위한 것이다.

### **발명의 구성 및 작용**

상기한 목적을 달성하기 위한 본 발명에 따르면, 유리기판의 일부 위에 빨강(R), 녹색(G), 파랑색(B)의 형광체를 가진 상판과, 유리기판의 일부 위에 행 및 열 신호선을 포함하는 하판이 서로 평행하게 진공 패키징된 2극형 전계 에미터를 가진 전계 방출 디스플레이가 제공된다.

이러한 2극형 전계 에미터를 가진 전계 방출 디스플레이에서, 상기 하판은, 행렬 어드레싱을 가능하게 하는 금속으로 이루어진 행 신호선들 및 열 신호선들과; 상기 임의의 행 신호선과 열 신호선으로 정의되어진 픽셀 내에 위치한 막 형의 전계 에미터; 및 상기 행 신호선과 열 신호선, 및 전계 에미터에 각각 접속된 적어도 3개의 단자들을 구비하여, 상기 행 신호선과 열 신호선에 각각 인가되는 스캔신호와 데이터신호에 따라 상기 전계 에미터를 구동하는 스위칭수단을 포함한다. 상기 상판은, 상기 전계 에미터에 대향하여 상기 전계 에미터로부터 방출되는 전자를 고에너지로 가속시키는 아노드전극을 포함한다.

양호하게는, 상기 막 형의 전계 에미터는 다이아몬드, 다이아몬드상 카본, 또는 카본 나노튜브로 이루어진다.

보다 양호하게는, 상기 스위칭수단은, 하나의 픽셀을 정의하는 행 신호선 및 열 신호선과 게이트단자 및 소스단자가 각각 연결되고, 상기 전계 에미터와 드레인단자가 접속된 트랜지스터로 이루어진다. 또한, 상기 스위칭수단은, 상기 트랜지스터의 드레인단자와 소스단자가 접속되고, 상기 전계 에미터와 드레인단자가 접속되며, 별도의 게이트단자를 구비한 고전압 트랜지스터를 더 포함할 수도 있다. 상기 스위칭수단은, 상기 트랜지스터의 드레인단자와 전계 에미터 사이에 접속된 저항체를 더 포함할 수도 있다.

보다 양호하게는, 상기 스위칭수단은, 상기 트랜지스터의 드레인단자와 소스단자가 접속되고, 상기 전계 에미터와 드레인단자가 접속되며, 열 신호선과 게이트단자가 접속된 고전압 트랜지스터를 더 포함할 수도 있다. 또한, 상기 고전압 트랜지스터의 드레인단자와 전계 에미터 사이에 접속된 저항체를 더 포함할 수도 있다.

보다 양호하게는, 상기 트랜지스터와 고전압 트랜지스터는 박막 트랜지스터이거나, 금속-산화물-반도체 전계효과 트랜지스터이다.

본 발명에 따른 전계 방출 디스플레이의 계조표현은 상기 열 신호선으로 인가되는 데이터신호의 펄스 진폭(pulse amplitude) 또는 펄스 폭(pulse width)을 변화시켜 얻는다.

또한, 본 발명에 따르면, 서로 평행하게 진공 패키징된 상판과 하판을 구비한 2극형 전계 에미터를 가진 전계 방출 디스플레이구조가 제공된다.

이러한 2극형 전계 에미터를 가진 전계 방출 디스플레이구조는, 유리로 이루어진 상기 하판의 일부 위에; 실리콘 박막으로 이루어진 공통채널과, 상기 공통채널의 양끝 영역에 형성된 공통소스 및 공통드레인과, 상기 공통채널과 공통소스와 공통드레인의 일부 위에 형성된 제1게이트 절연막과, 상기 공통채널과 제1게이트 절연막의 일부 위에 형성된 제1게이트를 구비한 제1박막트랜지스터와; 상기 제1게이트 절연막과 제1게이트 위에 형성된 제2게이트 절연막과, 상기 공통채널 및 제2게이트절연막의 일부 위에 상기 제1게이트와 수직적으로 중첩되지 않도록 형성된 제2게이트를 구비한 제2박막트랜지스터; 상기 공통드레인의 일부 위에 형성된 저항층; 및 상기 저항층 위에 형성된 박막형 전계 에미터를 포함하는 픽셀이 행렬로 배열된 구조이다.

양호하게는, 상기 공통채널은 비정질 실리콘 또는 다결정 실리콘박막으로 이루어지고, 상기 공통소스 및 공통드레인은 n형 실리콘박막 또는 금속으로 이루어지며, 상기 제1게이트 절연막 및 제2게이트 절연막은 산화막 또는 질화막으로 이루어진다.

보다 양호하게는, 상기 제1게이트 및 제2게이트는 n형 실리콘박막 또는 금속으로 이루어지고, 상기 저항층은 실리콘박막으로 이루어지며, 상기 박막형 전계 에미터는 카본 나노튜브로 이루어진다.

이하, 첨부된 도면을 참조하면서 본 발명의 한 실시예에 따른 "2극형 전계 에미터를 가진 전계 방출 디스플레이"를 보다 상세하게 설명하면 다음과 같다.

도 4는 본 발명의 한 실시예에 따른 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구성도이다. 2극형 전계 에미터를 가진 전계 방출 디스플레이는, 상판과 하판이 서로 평행하게 진공 패키징된다.

도 4를 참조하면, 하판은 행렬 어드레싱을 가능하게 하는 금속으로 이루어진 행 신호선(41R)들 및 열 신

호선(41C)들과; 상기 행 신호선(41R)들과 열 신호선(41C)들로 정의되어진 각 픽셀에 위치한 막 형의 전계 에미터(42); 및 상기 행 신호선(41R)과 열 신호선(41C), 및 전계 에미터(42)에 각각 접속된 적어도 3개의 단자들을 구비하여, 상기 행 신호선(41R)과 열 신호선(41C)에 인가되는 스캔(scan)신호 및 데이터(data)신호에 따라 상기 전계 에미터(42)를 구동하는 스위칭수단(43)을 포함한다.

도시되지 않은 상판은, 상기 전계 에미터(42)에 대항하여 상기 전계 에미터(42)로부터 방출되는 전자를 고에너지로 가속시키는 아노드전극을 포함한다.

상기와 같이 구성된 본 발명에 의한 전계 방출 디스플레이의 구동은 다음과 같이 이루어진다. 상판과 하판이 진공 패키징된 패널에서, 상판의 아노드전극(투명전극)에 고전압을 인가하여 하판의 전계 에미터(42)로부터 전자 방출을 유도함과 동시에 방출된 전자를 고에너지로 가속시킨다. 이 아노드전극의 일부 위에는 빨강(R), 녹색(G), 파랑색(B)의 형광체가 형성되어 있는 바, 전계 에미터(42)로부터 방출된 전자는 형광체에 충돌하여 원하는 화상이 얻어진다.

이때, 행 신호선과 열 신호선에 의해 정의된 각 픽셀에 위치한 스위칭수단(43)에 스캔(scan)신호 및 데이터(data)신호가 입력되면, 이 스위칭수단(43)이 막 형의 전계 에미터(42)로부터 방출되는 전자량을 제어한다. 즉, 본 발명에 따른 전계 방출 디스플레이의 계조 표현(gray representation)은 상기 스위칭수단(43)으로 인가되는 데이터(data)신호의 펄스 진폭(pulse amplitude) 또는 펄스 폭(pulse width)을 변화시킴으로써 얻을 수 있다.

상기 전계 에미터(42)는 다이아몬드, 다이아몬드상 카본, 탄소 나노튜브 등으로 이루어진 막 형(박막 또는 후막)으로 이루어지며, 스위칭수단(43)은 박막 트랜지스터(thin-film transistor) 또는 금속-산화물-반도체 전계효과트랜지스터(metal-oxide-semiconductor field effect transistor) 등으로 이루어진다. 스위칭수단(43)은 최소한 상기 행 신호선(41R) 및 열 신호선(41C)과 연결된 2개의 단자와, 상기 막형 전계 에미터(42)와 접속된 1개의 단자를 구비한다.

상기한 스위칭수단은 다양한 구조를 가질 수 있는 바, 도 5 내지 도 10은 다양한 스위칭수단의 실시예를 도시한 도면들이다.

도 5를 참조하면, 스위칭수단은 하나의 픽셀을 정의하는 행 신호선(41R) 및 열 신호선(41C)과 게이트단자(51G) 및 소스단자(51S)가 각각 연결되고, 상기 전계 에미터(42)와 드레인단자(51D)가 접속된 트랜지스터(51)로 이루어진다. 즉, 행 신호선(41R)을 통해 액티브 레벨의 스캔신호가 게이트단자(51G)로 입력되면, 트랜지스터(51)가 턴-온(turn-on)되어 동작한다. 이 상태에서 열 신호선(41C)을 통해 액티브 레벨의 데이터신호가 소스단자(51S)로 입력되면, 전계 에미터(42)에 구동신호가 인가되어 전계 에미터(42)로부터 전자가 방출된다.

도 6을 참조하면, 스위칭수단은 하나의 픽셀을 정의하는 행 신호선(41R) 및 열 신호선(41C)과 게이트단자(61G) 및 소스단자(61S)가 각각 연결되고, 상기 전계 에미터(42)와 드레인단자(61D)가 저항체(62)를 사이에 두고 접속된 트랜지스터(61)로 이루어진다.

도 7을 참조하면, 스위칭수단은 트랜지스터(71)와 고전압 트랜지스터(72)로 이루어진다. 트랜지스터(71)의 게이트단자(71G)는 행 신호선(41R)과 연결되고, 소스단자(71S)는 열 신호선(41C)과 연결된다. 트랜지스터(71)의 드레인단자(71D)와 고전압 트랜지스터(72)의 소스단자(72S)는 상호 접속된다. 고전압 트랜지스터(72)의 게이트단자(72G)는 별도로 마련되며, 고전압 트랜지스터(72)의 드레인단자(72D)는 전계 에미터(42)에 접속된다.

도 8을 참조하면, 스위칭수단은 트랜지스터(81)와, 고전압 트랜지스터(82), 및 저항체(83)로 구성된다. 트랜지스터(81)의 게이트단자(81G)는 행 신호선(41R)과 접속되고 소스단자(81S)는 열 신호선(41C)과 접속된다. 트랜지스터(81)의 드레인단자(81D)는 고전압 트랜지스터(82)의 소스단자(82S)와 상호 접속된다. 고전압 트랜지스터(82)의 게이트단자(82G)는 별도로 마련되며, 드레인단자(82D)는 저항체(83)를 통해 전계 에미터(42)에 접속된다.

도 9를 참조하면, 스위칭수단은 트랜지스터(91)와, 고전압 트랜지스터(92)로 구성된다. 트랜지스터(91)의 게이트단자(91G)는 행 신호선(41R)과 접속되고, 소스단자(91S)는 열 신호선(41C)과 접속된다. 트랜지스터(91)의 드레인단자(91D)는 고전압 트랜지스터(92)의 소스단자(92S)와 상호 접속된다. 고전압 트랜지스터(92)의 게이트단자(92G)는 열 신호선(41C)과 접속되며, 드레인단자(92D)는 전계 에미터(42)에 접속된다.

도 10을 참조하면, 스위칭수단은 트랜지스터(101)와, 고전압 트랜지스터(102), 및 저항체(103)로 구성된다. 트랜지스터(101)의 게이트단자(101G)는 행 신호선(41R)과 접속되고, 소스단자(101S)는 열 신호선(41C)과 접속된다. 트랜지스터(101)의 드레인단자(101D)는 고전압 트랜지스터(102)의 소스단자(102S)와 상호 접속된다. 고전압 트랜지스터(102)의 게이트단자(102G)는 열 신호선(41C)과 접속되며, 드레인단자(102D)는 저항체(103)를 통해 전계 에미터(42)에 접속된다.

도 11은 본 발명의 한 실시예에 따른 2극형 전계 에미터를 가진 전계 방출 디스플레이의 하판구조를 도시한 단면도이다.

도 11에서는 하나의 픽셀을 도시하고 있는 바, 전계 방출 디스플레이의 하판은 이러한 픽셀이 행렬 형태로 배열되어 있는 구조이다.

하나의 픽셀은, 제1박막트랜지스터와, 제2박막트랜지스터, 저항층, 및 막형의 전계 에미터로 크게 구분할 수 있다.

상기 제1박막트랜지스터는, 유기기관(110)의 일부 위에 형성되고 실리콘 박막으로 이루어진 공통채널(111)과, 상기 공통채널(111)의 양끝 영역에 형성된 공통소스(112) 및 공통드레인(113)과, 상기 공통채널(111)과 공통소스(112)와 공통드레인(113)의 일부 위에 형성된 제1게이트 절연막(114)과, 상기 공통채널(111)과 제1게이트 절연막(114)의 일부 위에 형성된 제1게이트(115)를 구비한다.

상기 제2박막트랜지스터는, 제1게이트 절연막(114)과 제1게이트(115) 위에 형성된 제2게이트 절연막(116)과, 공통채널(111) 및 제2게이트절연막(116)의 일부 위에 제1게이트(115)와 수직적으로 중첩되지 않도록 형성된 제2게이트(117)를 구비한다.

상기 저항층(118)은 공통드레인(113)의 일부 위에 형성되며, 전계 에미터(119)는 저항층(118) 위에 형성된다.

여기서, 공통채널(111)은 비정질 실리콘 또는 다결정 실리콘박막으로 이루어진다. 공통소스(112) 및 공통드레인(113)은 n형 실리콘 박막 또는 금속으로 이루어진다. 또한, 제1게이트 절연막(114) 및 제2게이트 절연막(116)은 산화막 또는 질화막으로 이루어진다. 또한, 제1게이트(115) 및 제2게이트(117)는 n형 실리콘 박막 또는 금속으로 이루어지고, 저항층(118)은 실리콘 박막으로 이루어지며, 전계 에미터(119)는 카본 나노튜브로 이루어진다.

위에서 양호한 실시예에 근거하여 이 발명을 설명하였지만, 이러한 실시예는 이 발명을 제한하려는 것이 아니라 예시하려는 것이다. 이 발명이 속하는 분야의 숙련자에게는 이 발명의 기술사상을 벗어남이 없이 위 실시예에 대한 다양한 변화나 변경 또는 조절이 가능함이 자명할 것이다. 그러므로, 이 발명의 보호 범위는 첨부된 청구범위에 의해서만 한정될 것이며, 위와 같은 변화에나 변경에 또는 조절예를 모두 포함하는 것으로 해석되어야 할 것이다.

### **발명의 효과**

이상과 같이 본 발명에 의하면, 전계 방출 디스플레이의 하판을, 유리기관 상에 행렬 어드레싱을 가능하게 하는 행렬 신호선과 상기 행렬 신호선에 의해 정의되는 각 픽셀을 전계 에미터와 스위칭수단으로 구성하고, 디스플레이의 스캔신호 및 데이터신호를 각 픽셀의 스위칭수단으로 입력하여 전계 에미터를 구동함으로써 디스플레이 행렬구동전압을 크게 감소시킬 수 있으며, 이에 따라 저가의 저전압 구동회로를 사용할 수 있는 장점을 가진다.

또한, 본 발명에서는 각 픽셀이 반도체 스위칭수단에 의해 전기적으로 서로 고립되어 있기 때문에 디스플레이 신호의 크로스-토크를 크게 억제할 수 있고, 더불어 전계 방출 전류가 전계 에미터에 연결된 반도체 스위칭수단에 의해 제어되기 때문에 매우 안정된 전자 방출을 얻을 수 있다. 따라서, 고화질의 전계 방출 디스플레이를 제조할 수 있을 것으로 기대된다.

### **(57) 청구의 범위**

#### **청구항 1**

서로 평행하게 진공 패키징된 상판과 하판을 구비한 2극형 전계 에미터를 가진 전계 방출 디스플레이에 있어서,

상기 하판은, 행렬 어드레싱을 가능하게 하는 금속으로 이루어진 행 신호선들 및 열 신호선들과; 상기 임의의 행 신호선과 열 신호선으로 정의되어진 픽셀 내에 위치한 막 형의 전계 에미터; 및 상기 행 신호선과 열 신호선, 및 전계 에미터에 각각 접속된 적어도 3개의 단자들을 구비하여, 상기 행 신호선과 열 신호선에 각각 인가되는 스캔신호와 데이터신호에 따라 상기 전계 에미터를 구동하는 스위칭수단을 포함하고,

상기 상판은, 상기 전계 에미터에 대향하여 상기 전계 에미터로부터 방출되는 전자를 고에너지로 가속시키는 아노드전극을 포함하는 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 2**

제1항에 있어서, 상기 막 형의 전계 에미터는 다이아몬드로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 3**

제1항에 있어서, 상기 막 형의 전계 에미터는 다이아몬드상 카본으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 4**

제1항에 있어서, 상기 막 형의 전계 에미터는 카본 나노튜브로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 5**

제1항에 있어서, 상기 스위칭수단은,

하나의 픽셀을 정의하는 행 신호선 및 열 신호선과 게이트단자 및 소스단자가 각각 연결되고, 상기 전계 에미터와 드레인단자가 접속된 트랜지스터로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 6**

제5항에 있어서, 상기 스위칭수단은, 상기 트랜지스터의 드레인단자와 전계 에미터 사이에 접속된 저항층을 더 포함한 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### **청구항 7**

제5항에 있어서, 상기 스위칭수단은,

상기 트랜지스터의 드레인단자와 소스단자가 접속되고, 상기 전계 에미터와 드레인단자가 접속되며, 별도의 게이트단자를 구비한 고전압 트랜지스터를 더 포함한 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 8

제7항에 있어서, 상기 스위칭수단은, 상기 고전압 트랜지스터의 드레인단자와 전계 에미터 사이에 접속된 저항체를 더 포함한 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 9

제5항에 있어서, 상기 스위칭수단은,

상기 트랜지스터의 드레인단자와 소스단자가 접속되고, 상기 전계 에미터와 드레인단자가 접속되며, 열 신호선과 게이트단자가 접속된 고전압 트랜지스터를 더 포함한 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 10

제9항에 있어서, 상기 스위칭수단은, 상기 고전압 트랜지스터의 드레인단자와 전계 에미터 사이에 접속된 저항체를 더 포함한 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 11

제5항 내지 제10항 중 어느 한 항에 있어서,

상기 트랜지스터와 고전압 트랜지스터는, 박막 트랜지스터인 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 12

제5항 내지 제10항 중 어느 한 항에 있어서,

상기 트랜지스터와 고전압 트랜지스터는, 금속-산화물-반도체 전계효과 트랜지스터인 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 13

제1항에 있어서, 디스플레이의 계조표현은 상기 열 신호선으로 인가되는 데이터신호의 펄스 진폭(pulse amplitude) 또는 펄스 폭(pulse width)을 변화시켜 얻는 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 14

서로 평행하게 진공 패키징된 상판과 하판을 구비한 2극형 전계 에미터를 가진 전계 방출 디스플레이에 있어서,

유리로 이루어진 상기 하판의 일부 위에;

실리콘 박막으로 이루어진 공통채널과, 상기 공통채널의 양끝 영역에 형성된 공통소스 및 공통드레인과, 상기 공통채널과 공통소스와 공통드레인의 일부 위에 형성된 제1게이트 절연막과, 상기 공통채널과 제1게이트 절연막의 일부 위에 형성된 제1게이트를 구비한 제1박막트랜지스터와;

상기 제1게이트 절연막과 제1게이트 위에 형성된 제2게이트 절연막과, 상기 공통채널 및 제2게이트 절연막의 일부 위에 상기 제1게이트와 수직적으로 중첩되지 않도록 형성된 제2게이트를 구비한 제2박막트랜지스터;

상기 공통드레인의 일부 위에 형성된 저항층; 및

상기 저항층 위에 형성된 박막형 전계 에미터를 포함하는 픽셀이 행렬로 배열되는 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 15

제14항에 있어서, 상기 공통채널은 비정질 실리콘으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 16

제14항에 있어서, 상기 공통채널은 다결정 실리콘박막으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 17

제14항에 있어서, 상기 공통소스 및 공통드레인은 n형 실리콘박막으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

#### 청구항 18

제14항에 있어서, 상기 공통소스 및 공통드레인은 금속으로 이루어진 것을 특징으로 하는 2극형 전계 에

미터를 가진 전계 방출 디스플레이.

**청구항 19**

제14항에 있어서, 상기 제1게이트 절연막 및 제2게이트 절연막은 산화막 또는 질화막으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

**청구항 20**

제14항에 있어서, 상기 제1게이트 및 제2게이트는 n형 실리콘박막으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

**청구항 21**

제14항에 있어서, 상기 제1게이트 및 제2게이트는 금속으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

**청구항 22**

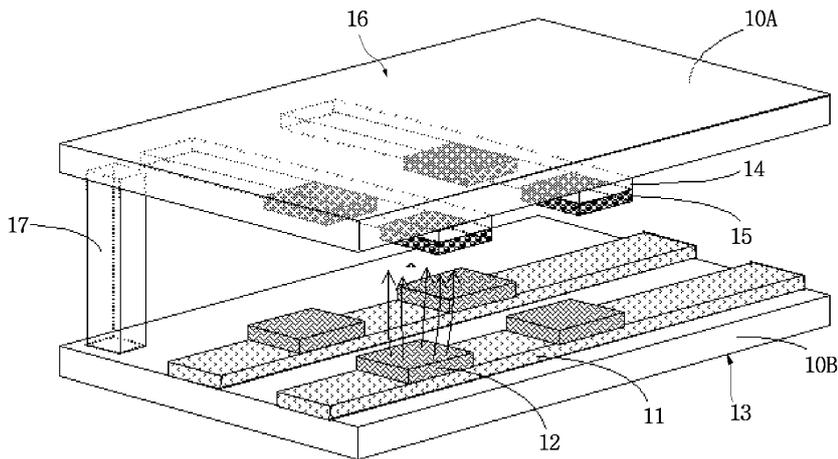
제14항에 있어서, 상기 저항층은 실리콘 박막으로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

**청구항 23**

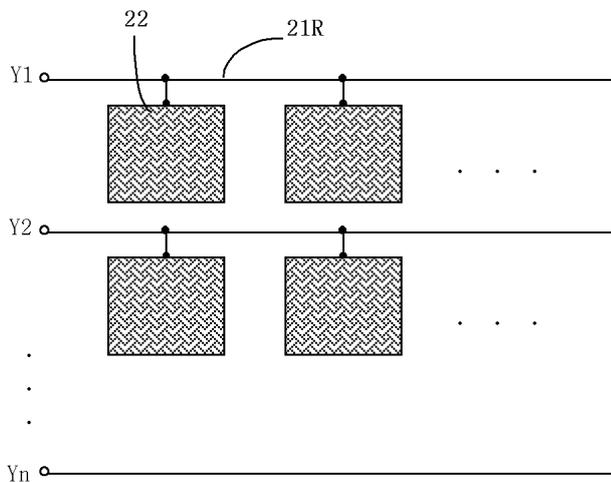
제14항에 있어서, 상기 박막형 전계 에미터는 카본 나노튜브로 이루어진 것을 특징으로 하는 2극형 전계 에미터를 가진 전계 방출 디스플레이.

**도면**

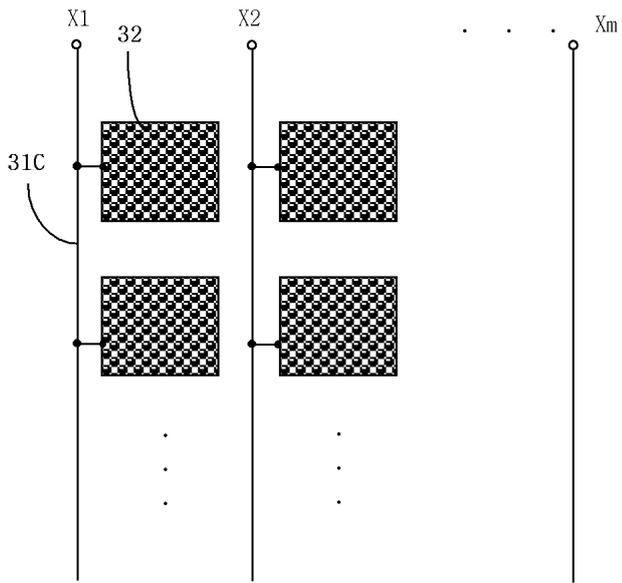
**도면1**



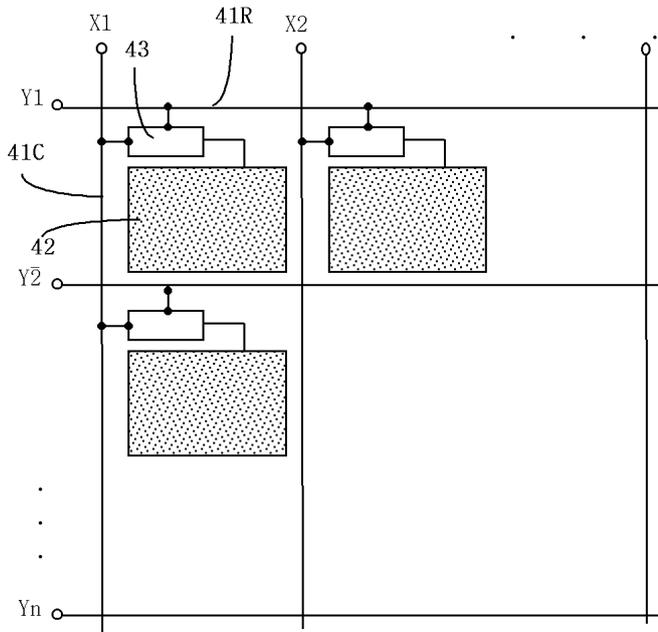
**도면2**



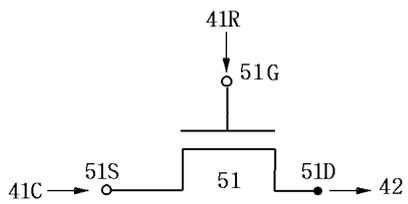
도면3



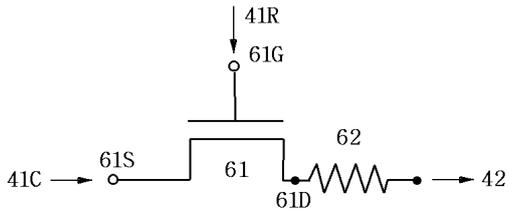
도면4



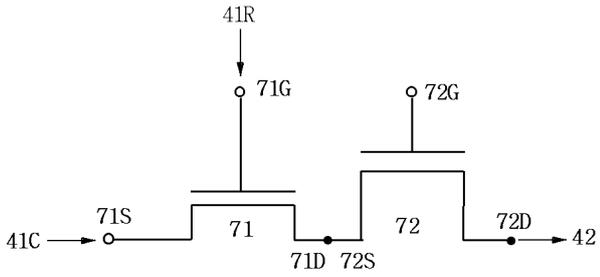
도면5



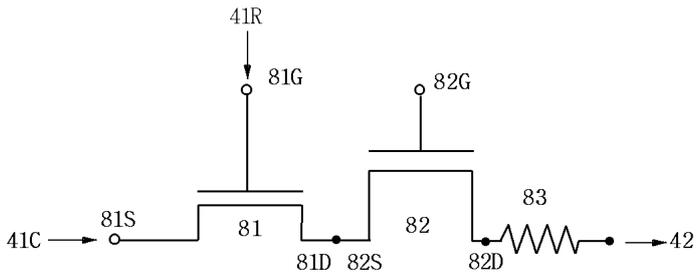
도면6



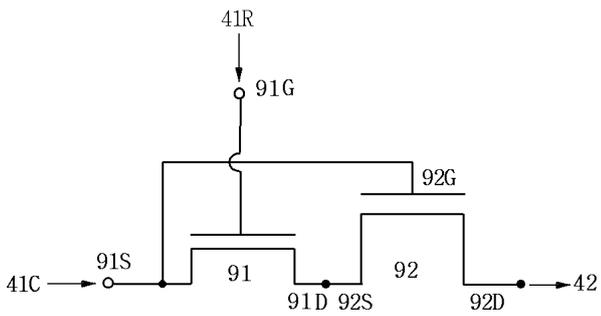
도면7



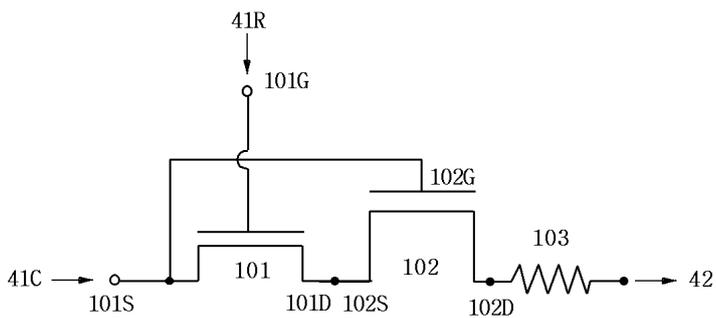
도면8



도면9



도면10



도면11

