

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/322

(45) 공고일자 1998년12월01일

(11) 등록번호 특0151990

(24) 등록일자 1998년06월24일

(21) 출원번호 특1994-038975

(65) 공개번호 특1996-026414

(22) 출원일자 1994년12월29일

(43) 공개일자 1996년07월22일

(73) 특허권자 포항종합제철주식회사 김만제  
경북 포항시 괴동동 1번지재단법인산업과학기술연구소 신창식  
경북 포항시 효자동 산 32번지

(72) 발명자 김광일  
경북 포항시 효자동 산 32번지 산업과학기술연구소내 권영규  
경북 포항시 효자동 산 32번지 산업과학기술연구소내 배영호  
경북 포항시 효자동 산 32번지 산업과학기술연구소내 이재희  
경북 포항시 효자동 산 32번지 산업과학기술연구소내 전준항, 손원, 김종윤

(74) 대리인

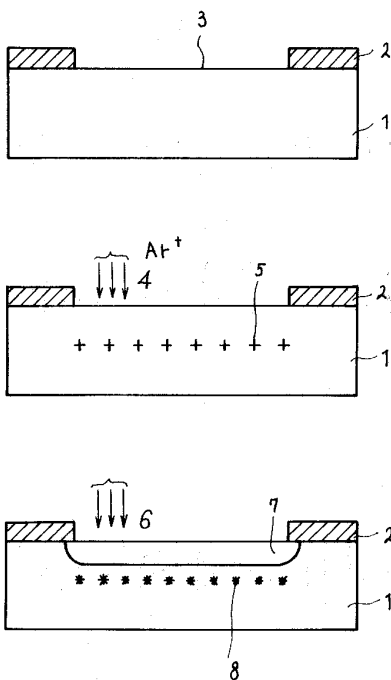
심사관 : 권인희

(54) 실리콘 기판내의 게터링층 형성방법

요약

반도체소자의 제조에 있어서, 실리콘 기판에 불순물 이온근처에 근접 게터링 층을 형성하는 방법이 제공된다. 이 방법은 실리콘기판에 SiO<sub>2</sub>산화막을 형성하고 불순물등이 주입될 이온주입 부위를 에칭으로 제거한 후, 불순물을 주입하기전에 그 불순물의 비정거리보다 수배이상 깊은 곳에 점결함층이 형성되도록 결함회복이 낮은 아르곤이온을 임계 도우즈량 미만으로 주입하므로써 근접 게터링층을 형성하고, 이 근접게터링층에 의해 불순물에 의해 형성된 점결함을 흡수하여 접합층의 전기적 특성을 개선시킨다.

대표도



명세서

## [발명의 명칭]

실리콘 기판내의 게터링층 형성방법

## [도면의 간단한 설명]

제1도(a)내지(c)는 본 발명에 의한 방법을 실시하기 위한 공정의 일예를 단계적으로 나타낸 공정개략도.

제2도는 본발명의 방법에 따라 제조된 기판의 깊이에 따른 면저항 분포와, 도우즈량이 보다 많은 경우에 형성된 점결함층의 단면 투과 전자 현미경 사진이다.

## \* 도면의 주요부분에 대한 부호의 설명

- |                           |                          |
|---------------------------|--------------------------|
| 1 : 실리콘기판                 | 2 : SiO <sub>2</sub> 산화막 |
| 3 : 이온주입 부위               | 4 : 아르곤 이온               |
| 5 : 아르곤 이온주입에 의해 형성된 점결함층 | 6 : 불순물 이온(붕소)           |
| 7 : 불순물 이온에 의한 접합영역       | 8 : 근접 게터링층              |

## [발명의 상세한 설명]

본발명은 반도체 소자의 제조방법에 관한 것이며, 보다 상세히는 반도체 소자 제조시 불순물이온이 분포한 위치와 근접한 위치에 게터링(gettering)층을 형성하는 방법에 관한 것이다.

최근 반도체소자의 고집적화에 따라 기판표면근처에 분포된 금속불순물을 제거하고, 불순물이온의 주입에 따라 형성된 결함 등을 제거함으로써 불순물이온이 주입된 영역의 전기적 특성을 개선시키고자 하는 노력이 계속되고 있다.

이같은 노력의 일환으로 종래에는 기판뒷면에 폴리실리콘층을 형성하거나 기판상에 세라믹입자 등을 분사시켜 기판내에 금속불순물을 제거하기 위한 게터링 방법이 사용되어 왔으나, 이는 불순물(dopant)이온의 주입에 따라 형성된 결함은 제거하지 못하는 문제점을 갖고 있는 것이다.

이외에도 고에너지로 기판내에 실리콘 이온 등을 주입하여 근접 게터링층을 형성하는 방법이 사용되기도 하였으나 이때 결함층이 너무 크거나 혹은 쉽게 소멸되어 게터링 층으로서의 역할을 제대로 수행하지 못하는 문제점이 있는 것이다.

이에 본 발명의 목적은 상기와 같은 종래의 문제점을 해결한 보다 개선된 게터링층 형성방법을 제공하는 데 있다.

나아가 본 발명의 목적은 기판내에 아르곤이온을 고에너지로 임계농도미만으로 주입하여 적정깊이에 점결함층을 형성한 후 불순물이온을 주입함으로써, 기판의 표면근방에서는 높은 면 저항값을 나타내고, 어느 정도의 깊이에서는 많은 점결함들이 기판내부에 분포하고 있어서, 깊이 조정으로 근접 게터링층으로서의 역할을 충분히 할 수 있는 게터링층 형성방법을 제공하고자 하는데 있다.

본 발명에 의하면, 실리콘 기판상에 SiO<sub>2</sub> 산화막을 형성한 후, 이온이 주입되는 부위를 에칭하는 단계;

상기 이온주입부위를 통해 고에너지 아르곤(Ar)이온을  $1 \times 10^{15} / \text{cm}^2$  미만의 도우즈량으로 주입하여 점 결함층을 형성하는 단계;

상기 이온주입 부위를 통해 기판내에 불순물(dopant)을 주입하는 단계; 및 질소 분위기하에서 고온으로 급속 열처리하는 단계; 를 포함하는 실리콘기판내 근접 게터링층 형성방법이 제공된다.

이하 본 발명에 대하여 상세히 설명한다.

통상 반도체소자 제조시에는 실리콘 기판의 표면에 SiO<sub>2</sub>산화막을 형성한 후, 이온 주입부위를 에칭하고 그 이온 주입부위를 통해 불순물(dopant)을 주입하여 기판에 확산시키게 된다.

이 불순물은 반도체 소자의 필요한 전기적 성질을 얻기 위하여 의도적으로 주입하는 것이나 이 불순물에 의해 형성된 점결함은 반도체 소자의 전기적특성에 나쁜 영향을 미치므로 본 발명에서는 불순물 이온 분포 근접위치에 게터링층을 형성함으로써 불순물에 의해 형성된 점결함을 흡수하여 반도체 소자의 전기적 특성을 향상시키고자 하는 것이다.

본 발명의 방법에 의하면, 실리콘 기판에 통상의 방법으로 SiO<sub>2</sub>산화막을 형성한 후 불순물이 주입되는 부위를 에칭제거 하고, 이어서 이 불순물 주입부위를 통해 불순물을 주입하기 전에 불순물의 비정거리보다 수배이상 깊은 위치에 점결함층이 형성되도록 1MeV이상의 고에너지로 아르곤 이온을 도우즈량  $1 \times 10^{15} / \text{cm}^2$  미만으로 이온 주입하는 단계를 포함한다.

이같이 주입된 아르곤 이온에 의해 형성된 점결함층은 이후에 주입되는 불순물에 의해 형성된 점결함을 흡수하는 근접 게터링층을 형성하므로써 전기적 특성을 좋게하는데 크게 기여하게 된다.

이때 아르곤 이온의 사용은 다른 이온에 비하여 결함회복이 늦어 이에 의해 형성된 근접 게터링층이 쉽게 소멸되지 않는 장점이 있는 것이다.

본 발명의 발명에 사용될 수 있는 아르곤 이온은 주입에너지에서 점결함층을 형성할 수 있는 정도의 양으로 주입하는 것이 바람직하다.

본 발명의 방법에서 실리콘 기판에의 SiO<sub>2</sub>산화막형성, 불순물이 주입되는 부위의 에칭 제거 및 불순물이나 아르곤이온의 주입은 이 분야에서 공지된 어떠한 방법이라도 이용가능한 것이며, 본 발명의 열처리 역시

램프 가열법 등을 포함하여 이 분야에서 공지된 방법을 이용할 수 있다.

이하, 본 발명의 실시예를 첨부도면을 참조하여 설명한다.

#### [실시예]

본 실시예에서는 p-형 실리콘 기판을 사용하였으나, 이는 결코 본발명의 범위를 한정하는 것이 아니며, 본 발명은 n-형 실리콘기판에도 적용가능한 것이다.

#### [발명에]

제1도는 본 발명의 방법을 실시하기 위한 공정의 일예를 개략적으로 나타낸 것이다. 제1도(a)에 도시한 바와 같이 p형 실리콘 기판(1)  $\text{SiO}_2$ 산화막(2)을 형성한 후 불순물 주입부위를 에칭으로 제거하여 이온주입 부위(3)을 형성하였다. 이후 상기 이온주입부위(3)를 통해 가속전압 1MeV에서 아르곤 이온(4)을 이온 임프랜테이션(ion implantation)법을 사용하여 주입하였으며, 이때 도우즈량은  $1 \times 10^{14} / \text{cm}^2$ 였다.(제1도(b)참조)

제1도(b)에서(5)는 아르곤이온 주입에 의해 형성된 점결함층을 나타낸다. 그 후 제1도(c)에서와 같이, 불순물이온 붕소(B)(6)을 주입하는바, 이 역시 이온 임프랜테이션법에 의하였다.

불순물이온 주입이 끝난 실리콘 기판을 램프가열 방식에 의한 금속열처리 장치로 질소 분위기하에서 1100℃의 온도에서 10초간 열처리 하였으며, 제1도 (c)는 열처리후 기판내에 접합영역(7)과 근접 게터링층(8)이 형성된 것을 보여준다.

#### [비교예]

상기 발명예에서와 같은 절차에 따라 접합영역을 형성하되, 아르곤 이온을 가속전압 1MeV에서 도우즈량  $1 \times 10^{15} / \text{cm}^2$ 으로 주입한후 1100℃에서 램프 가열 방식에 의해 열처리를 하였다. 이 역시 이온 임프랜테이션법에 의하였다.

상기 발명예에서 얻은 점결함층이 형성된 기판에 대한 면 저항 분포를 구하고, 발명예에서 얻은 기판 및 비교예에서 얻은 기판을 투과전자현미경 관찰하였다. 이때 본 발명의 방법으로 얻은 기판(A)에서는 단면 투과 전자현미경 관찰에서 결함이 관찰되지 않았다. 그러나 제2도에 의하면 많은 점결함들이 기판내부에 분포하고 있어서 깊이 조정에 의해 근접게터링층으로서의 역할을 충분히 할수 있음을 알 수 있다.

이는 비교예의 방법으로 얻은 기판(B)내부에 너무 많은 결함이 관찰되어서 표면쪽으로 분해되어 전기적으로 특성이 나쁘게 되는 것과 같은 기능성을 배제하고 근접 게터링층을 형성할 수 있도록 개선이 이루어짐을 알 수 있다. 또한, 고농도의 아르곤 이온주입에 의해 형성된 시료 B는 많은 전위환등이 관찰되나 본 발명에서는 관찰되지 않고, 면저항 분포도로부터 많은 안정된 점결함층이 존재하는 게터링층을 얻을 수 있는 것이다.

상기한 바와같이, 본 발명의 방법에 의하면, 기판내에 아르곤이온을 고에너지로 임계농도미만인 저농도로 이온주입하여 적정깊이에 점결함층을 형성하여 게터링층을 형성함으로써, 기판의 표면근방에서는 높은 면저항값을 갖게하고 어느 정도의 깊이에서는 많은 점결함들이 기판내부에 분포하도록하여 불순물 주입으로 형성된 점결함을 흡수하여 반도체소자의 전기적 특성을 개선시킬 수 있는 것이다.

### (57) 청구의 범위

#### 청구항 1

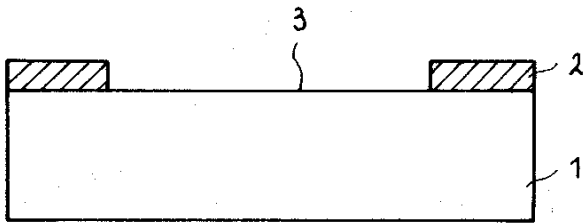
반도체 소자의 제조방법에 있어서, 실리콘기판에  $\text{SiO}_2$ 산화막을 형성한 후 주입되는 부위를 에칭제거하는 단계; 상기 이온주입 부위를 통해 불순물(dopant)이온을 주입하기 전에 그 불순물의 비정거리 보다 수배 이상 깊은 곳에 점결함층을 형성하도록  $1 \times 10^{15} / \text{cm}^2$ 미만의 도우즈량의 아르곤이온을 1MeV이상의 고에너지로 이온주입하는 단계; 상기 이온주입 부위를 통해 기판내에 불순물을 주입하는 단계; 및 질소분위기하에서 상기에서 얻은 결과물을 급속 열처리하여 접합층을 형성하는 단계; 를 포함하는 실리콘 기판내의 근접 게터링층 형성방법.

#### 청구항 2

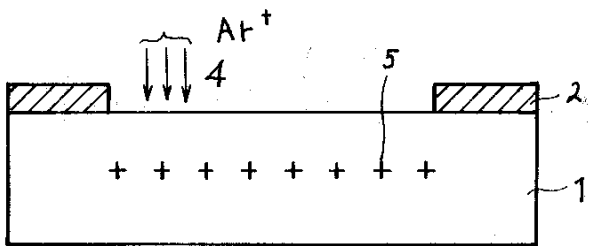
1항에 있어서, 상기 아르곤 이온은 가속전압 1MeV에서 도우즈량이  $1 \times 10^{14} / \text{cm}^2$ 으로 기판내에 주입됨을 특징으로 하는 방법.

### 도면

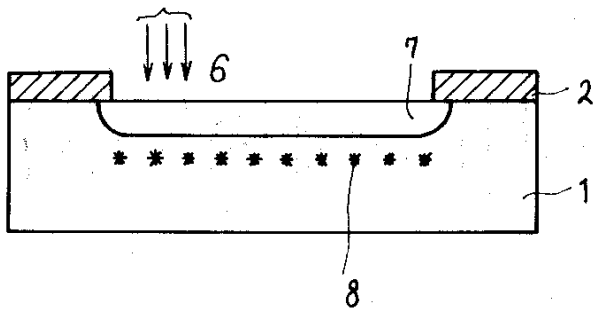
도면 1a



도면 1b



도면 1c



도면2

