

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5945582号
(P5945582)

(45) 発行日 平成28年7月5日(2016.7.5)

(24) 登録日 平成28年6月3日(2016.6.3)

(51) Int.Cl.		F I			
H03K	5/00	(2006.01)	H03K	5/00	S
H03K	5/131	(2014.01)	H03K	5/13	A

請求項の数 8 外国語出願 (全 14 頁)

(21) 出願番号	特願2014-231265 (P2014-231265)	(73) 特許権者	514288853
(22) 出願日	平成26年11月14日 (2014.11.14)		上海兆芯集成电路有限公司
(65) 公開番号	特開2016-5267 (P2016-5267A)		中華人民共和国上海市張江高科技園區金科 路2537號301室
(43) 公開日	平成28年1月12日 (2016.1.12)	(74) 代理人	100077838
審査請求日	平成26年11月14日 (2014.11.14)		弁理士 池田 憲保
(31) 優先権主張番号	14/306,567	(74) 代理人	100082924
(32) 優先日	平成26年6月17日 (2014.6.17)		弁理士 福田 修一
(33) 優先権主張国	米国 (US)	(74) 代理人	100129023
			弁理士 佐々木 敬
		(72) 発明者	李 永勝
			アメリカ合衆国, カリフォルニア 945 39, フレモント, ヴィア サン ルイス レイ, 42042

最終頁に続く

(54) 【発明の名称】 ホールドタイム最適化回路およびその受信機

(57) 【特許請求の範囲】

【請求項1】

補正パルス信号に対応して調整された遅延時間、クロック信号を遅延させて、遅延クロック信号を発生させる遅延制御回路、および

前記遅延クロック信号に対応してサンプリングされたデータ信号の遷移エッジと前記遅延クロック信号の遷移エッジに対応して前記補正パルス信号を発生させる補正回路を含み、

前記データ信号は、ビットを含み、且つ、前記補正回路は、グリッチ発生回路を含んでおり、

更に、前記グリッチ発生回路は、

前記ビットの立ち上がりエッジに対応して第1の検出信号を発生させる立ち上がりエッジ検出器、

前記ビットの立ち下がりエッジに対応して第2の検出信号を発生させる立ち下がりエッジ検出器、

前記第1の検出信号を受信する第1の入力端子、前記遅延クロック信号を受信する第2の入力端子、および出力端子を有する第1のANDゲート、

前記第2の検出信号を受信する第1の入力端子、前記遅延データ信号を受信する第2の入力端子、および出力端子を有する第2のANDゲート、ならびに

前記第1のANDゲートの前記出力端子に接続された第1の入力端子、前記第2のANDゲートの出力端子に接続された第2の入力端子、および補正パルス信号を出力する出力

端子を有する第 1 の O R ゲートを含むホールドタイム最適化回路。

【請求項 2】

前記立ち上がりエッジ検出器は、

前記ビットを受信する入力端子、および出力端子を有する第 2 のインバータ、ならびに前記ビットを受信する第 1 の入力端子、前記第 2 のインバータの前記出力端子に接続された第 2 の入力端子、および前記第 1 の検出信号を出力する出力端子を有する第 3 の A N D ゲートを含む請求項 1 に記載のホールドタイム最適化回路。

【請求項 3】

立ち下がりエッジ検出器は、

前記ビットを受信する入力端子、および出力端子を有する第 3 のインバータ、ならびに前記ビットを受信する第 1 の入力端子、前記第 3 のインバータの出力端子に接続された第 2 の入力端子、および前記第 2 の検出信号を出力する出力端子を有する N O R ゲートを含む請求項 1 に記載のホールドタイム最適化回路。

10

【請求項 4】

補正パルス信号に対応して調整された遅延時間、クロック信号を遅延させて、遅延クロック信号を発生させる遅延制御回路、および

前記遅延クロック信号に対応してサンプリングされたデータ信号の遷移エッジと前記遅延クロック信号の遷移エッジに対応して前記補正パルス信号を発生させる補正回路を含み、

前記データ信号は、前記遅延クロック信号によってサンプリングされ、且つ、前記補正回路は、複数のグリッチ発生回路を含んでおり、

20

前記各グリッチ発生回路は、

各ビットの立ち上がりエッジに対応して第 1 の検出信号を発生させる立ち上がりエッジ検出器、

前記各ビットの立ち下がりエッジに対応して第 2 の検出信号を発生させる立ち下がりエッジ検出器、

前記第 1 の検出信号を受信する第 1 の入力端子、前記遅延クロック信号を受信する第 2 の入力端子、および出力端子を有する第 1 の A N D ゲート、

前記第 2 の検出信号を受信する第 1 の入力端子、前記遅延データ信号を受信する第 2 の入力端子、および出力端子を有する第 2 の A N D ゲート、ならびに

30

前記第 1 の A N D ゲートの前記出力端子に接続された第 1 の入力端子、前記第 2 の A N D ゲートの出力端子に接続された第 2 の入力端子、および出力端子を有する第 1 の O R ゲートを含むホールドタイム最適化回路。

【請求項 5】

前記補正回路は、第 2 の O R ゲートを更に含み、前記第 2 の O R ゲートは、前記グリッチ発生回路の全ての前記第 1 の O R ゲートの前記出力端子にそれぞれ接続された複数の入力端子、および

前記補正パルス信号を出力する出力端子を有する請求項 4 に記載のホールドタイム最適化回路。

【請求項 6】

40

前記遅延制御回路は、

制御ノードに接続された第 1 の端子、および直流 (D C) 電圧源に接続された第 2 の端子を有する第 1 のスイッチ、

電流源に接続された第 1 の端子、および前記制御ノードに接続された第 2 の端子を有する第 2 のスイッチ、

前記制御ノードに接続された第 1 の端子、および接地電圧に接続された第 2 の端子を有するコンデンサ、ならびに

前記クロック信号を制御ノードの制御電圧によって決まる前記遅延時間、遅延させて、前記遅延クロック信号を発生させる電圧制御遅延 (V C D) 回路を含む請求項 1 に記載のホールドタイム最適化回路。

50

【請求項 7】

前記ホールドタイム最適化回路がオンにされたとき、前記第 1 のスイッチは、閉状態から開状態に切り換えられて、開状態に維持され、前記第 2 のスイッチが高論理レベルと等しい前記補正パルス信号を受信する毎に、前記第 2 のスイッチは閉状態になり、前記第 2 のスイッチが低論理レベルと等しい前記補正パルス信号を受信する毎に、前記第 2 のスイッチは開状態になる請求項 6 に記載のホールドタイム最適化回路。

【請求項 8】

前記遅延制御回路は、

デジタルナンバーを数え、高論理レベルと等しい前記補正パルス信号を受信する毎に、前記デジタルナンバーを増加させるカウンタ、および

前記クロック信号を前記デジタルナンバーによって決まる前記遅延時間、遅延させて、前記遅延クロック信号を発生させるデジタル制御遅延 (D C D) 回路を含む請求項 1 に記載のホールドタイム最適化回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ホールドタイム最適化回路に関し、特に、ホールドタイム最適化回路およびホールドタイム最適化回路を含む受信機に関するものである。

【背景技術】

【0002】

デジタル回路では、「ホールドタイム」は、クロックイベントが発生した後（例えば、クロックイベントは、クロック信号の立ち上がりエッジまたは立ち下がりエッジのような遷移エッジを意味する）、データ信号が確実に保持されなければならない最小限の時間を意味する。しかしながら、ホールドタイムを最適に設定することは設計者にとっては難しいことである。ホールドタイムが不十分な場合、デジタル回路は、誤ったデータサイクルでサンプリングデータをキャプチャする可能性がある。反対に、ホールドタイムが長過ぎる場合には、デジタル回路のセットアップ時間とサイクル時間は、遅延し、デジタル回路の速度が減速される可能性がある。

【発明の概要】

【0003】

好適な実施形態では、本発明は、ホールドタイム最適化回路に関し、補正パルス信号に対応して調整された遅延時間、クロック信号を遅延させて、遅延クロック信号を発生させる遅延制御回路、および遅延クロック信号に対応してサンプリングされたデータ信号の遷移エッジと遅延クロック信号の遷移エッジに対応して補正パルス信号を発生させる補正回路を含む。

【0004】

いくつかの実施形態では、データ信号は、ビットを含み、補正回路は、グリッチ発生回路を含む。いくつかの実施形態では、グリッチ発生回路は、ビットの立ち上がりエッジに対応して第 1 の検出信号を発生させる立ち上がりエッジ検出器、ビットの立ち下がりエッジに対応して第 2 の検出信号を発生させる立ち下がりエッジ検出器、第 1 の検出信号を受信する第 1 の入力端子、遅延クロック信号を受信する第 2 の入力端子、および出力端子を有する第 1 の AND ゲート、第 2 の検出信号を受信する第 1 の入力端子、遅延データ信号を受信する第 2 の入力端子、および出力端子を有する第 2 の AND ゲート、および第 1 の AND ゲートの出力端子に接続された第 1 の入力端子、第 2 の AND ゲートの出力端子に接続された第 2 の入力端子、および補正パルス信号を出力する出力端子を有する第 1 の OR ゲートを含む。いくつかの実施形態では、立ち上がりエッジ検出器は、ビットを受信する入力端子、および出力端子を有する第 2 のインバータ、ビットを受信する第 1 の入力端子、第 2 のインバータの出力端子に接続された第 2 の入力端子、および第 1 の検出信号を出力する出力端子を有する第 3 の AND ゲートを含む。いくつかの実施形態では、立ち下がりエッジ検出器は、ビットを受信する入力端子、および出力端子を有する第 3 のインバ

10

20

30

40

50

ータ、およびビットを受信する第1の入力端子、第3のインバータの出力端子に接続された第2の入力端子、および第2の検出信号を出力する出力端子を有するNORゲートを含む。いくつかの実施形態では、データ信号は、複数のビットを含み、補正回路は、複数のグリッチ発生回路を含む。いくつかの実施形態では、各グリッチ発生回路は、各ビットの立ち上がりエッジに対応して第1の検出信号を発生させる立ち上がりエッジ検出器、各ビットの立ち下がりエッジに対応して第2の検出信号を発生させる立ち下がりエッジ検出器、第1の検出信号を受信する第1の入力端子、遅延クロック信号を受信する第2の入力端子、および出力端子を有する第1のANDゲート、第2の検出信号を受信する第1の入力端子、遅延データ信号を受信する第2の入力端子、および出力端子を有する第2のANDゲート、および第1のANDゲートの出力端子に接続された第1の入力端子、第2のANDゲートの出力端子に接続された第2の入力端子、および出力端子を有する第1のORゲートを含む。いくつかの実施形態では、補正回路は、第2のORゲートを更に含み、第2のORゲートは、グリッチ発生回路の全ての第1のORゲートの出力端子にそれぞれ接続された複数の入力端子、および補正パルス信号を出力する出力端子を有する。いくつかの実施形態では、立ち上がりエッジ検出器は、各ビットを受信する入力端子、および出力端子を有する第2のインバータ、各ビットを受信する第1の入力端子、第2のインバータの出力端子に接続された第2の入力端子、および第1の検出信号を出力する出力端子を有する第3のANDゲートを含む。いくつかの実施形態では、立ち下がりエッジ検出器は、各ビットを受信する入力端子、および出力端子を有する第3のインバータ、および各ビットを受信する第1の入力端子、第3のインバータの出力端子に接続された第2の入力端子、および第2の検出信号を出力する出力端子を有するNORゲートを含む。いくつかの実施形態では、遅延制御回路は、制御ノードに接続された第1の端子、および直流(DC)電圧源に接続された第2の端子を有する第1のスイッチ、電流源に接続された第1の端子、および制御ノードに接続された第2の端子を有する第2のスイッチ、制御ノードに接続された第1の端子、および接地電圧に接続された第2の端子を有するコンデンサ、およびクロック信号を制御ノードの制御電圧によって決まる遅延時間、遅延させて、遅延クロック信号を発生させる電圧制御遅延(VCD)回路を含む。いくつかの実施形態では、ホールドタイム最適化回路がオンにされたとき、第1のスイッチは、閉状態から開状態に切り換えられて、開状態に維持され、第2のスイッチが高論理レベルと等しい補正パルス信号を受信する毎に、第2のスイッチは閉状態になり、第2のスイッチが低論理レベルと等しい補正パルス信号を受信する毎に、第2のスイッチは開状態になる。いくつかの実施形態では、制御電圧が上昇した場合、遅延時間は、短縮される。いくつかの実施形態では、遅延制御回路は、デジタルナンバーを数え、高論理レベルと等しい補正パルス信号を受信する毎に、デジタルナンバーを増加させるカウンタ、およびクロック信号CLKをデジタルナンバーによって決まる遅延時間、遅延させて、遅延クロック信号を発生させるデジタル制御遅延(DCD)回路を含む。いくつかの実施形態では、デジタルナンバーが増加した場合、遅延時間は短縮される。

【0005】

もう1つの好適な実施形態では、本発明は、データ信号を遅延させて、遅延データ信号を発生させるデータ遅延回路、クロック信号を補正パルス信号に対応して調整された遅延時間、遅延させて、遅延クロック信号を発生させる遅延制御回路を含むホールドタイム最適化回路、および遅延データ信号の遷移エッジと遅延クロック信号の遷移エッジに対応して補正パルス信号を発生させる補正回路、および遅延データ信号を受信するデータ端子、遅延クロック信号を受信するクロック端子、およびサンプリング信号を出力する出力端子を有するDフリップフロップを含む受信機に関する。

【図面の簡単な説明】

【0006】

【図1】本発明の実施形態に係る、ホールドタイム最適化回路図である。

【図2A】本発明の実施形態に係る、補正回路の概略図である。

【図2B】本発明の実施形態に係る、グリッチ発生回路の概略図である。

10

20

30

40

50

【図 3】本発明の実施形態に係る、補正回路の概略図である。

【図 4 A】本発明の実施形態に係る、遅延制御回路の概略図である。

【図 4 B】本発明の実施形態に係る、制御電圧と遅延時間の関係図である。

【図 5 A】本発明の実施形態に係る、遅延制御回路の概略図である。

【図 5 B】本発明の実施形態に係る、デジタルナンバー (digital number) と遅延時間の関係図である。

【図 6】本発明の実施形態に係る、ホールドタイム最適化回路を含む受信機の概略図である。

【図 7 A】本発明の実施形態に係る、受信機の信号波形の概略図である。

【図 7 B】本発明の実施形態に係る、受信機の信号波形の概略図である。

10

【発明を実施するための形態】

【0007】

添付の図面とともに以下の本発明の様々な実施形態の詳細な説明を検討することで、本発明はより完全に理解できる。

【0008】

本発明の目的、特徴、及び効果をより詳細に理解させるため、以下好適な実施例と添付の図面により、本発明の技術的事項をより詳細に説明する。

【0009】

図 1 は、本発明の実施形態に係る、ホールドタイム最適化回路図である。図 1 に示されるように、ホールドタイム最適化回路 100 は、少なくとも補正回路 110 と遅延制御回路 170 を含む。ホールドタイム最適化回路 100 は、デジタル回路、例えば、データをサンプリングする低電力デジタル集積回路などに用いられることができる。このデジタル回路のデータ信号 DA とクロック信号 CLK は、ホールドタイム最適化回路 100 に印加されることがある。遅延制御回路 170 は、クロック信号 CLK を遅延時間、遅延させて、遅延クロック信号 CLKD を発生させることができる。即ち、クロック信号 CLK と遅延クロック信号 CLKD は、同じ波形であるが異なる位相を有することがある。補正回路 110 は、データ信号 DA と遅延クロック信号 CLKD に対応して補正パルス信号 CP を発生させる。遅延制御回路 170 の遅延時間は、補正パルス信号 CP に対応して最適化される。このようなフィードバック経路を用いることによって、遅延クロック信号 CLKD とデータ信号 DA 間のホールドタイムは、それに対応して微調整される。ホールドタイム最適化回路 100 の詳細の構造と動作は、以下の実施形態に説明される。以下の実施形態は例に過ぎず、本発明を限定するものではないことは理解できるであろう。本発明は種々の方式で実施され得る。

20

30

【0010】

図 2 A は、本発明の実施形態に係る、補正回路 210 の概略図である。図 2 A の実施形態では、データ信号 DA は、ビット DA ~ B0 を含み、補正回路 210 は、グリッチ発生回路 220 を含む。グリッチ発生回路 220 は、遅延クロック信号 CLKD とビット DA ~ B0 との間のタイミング関係を検出し、補正回路 210 は、それに対応して補正パルス信号 CP を発生させる。特に、補正パルス信号 CP は、上述のタイミング関係に対応して遅延クロック信号 CLKD とデータ信号 DA 間にホールドタイム違反があるかどうかを示す。例えば、ホールドタイムが不十分な場合、補正パルス信号 CP は、高論理レベルに上がり、ホールドタイムが十分な場合、補正パルス信号 CP は、低論理レベルに維持されることがある。

40

【0011】

図 2 B は、本発明の実施形態に係る、データ信号 DA が遅延クロック信号 CLKD の立ち上がりエッジでサンプリングされるグリッチ発生回路 220 の概略図である。図 2 B の実施形態では、グリッチ発生回路 220 は、立ち上がりエッジ検出器 231、立ち下がりエッジ検出器 232、第 1 のインバータ 241、第 1 の AND ゲート 251、第 2 の AND ゲート 252、および第 1 の OR ゲート 261 を含む。立ち上がりエッジ検出器 231 は、データ信号 DA の低論理レベルから高論理レベルの遷移を検出し、ビット DA ~ B0

50

に対応して第1の検出信号SD1を発生させる。立ち下がりエッジ検出器232は、データ信号DAの高論理レベルから低論理レベルの遷移を検出し、ビットDA~B0に対応して第2の検出信号SD2を発生させる。第1のインバータ241は、遅延クロック信号CLKDを受信する入力端子、および出力端子を有する。第1のANDゲート251は、第1の検出信号SD1を受信する第1の入力端子、第1のインバータ241の出力端子に接続された第2の入力端子、および出力端子を有する。第2のANDゲート252は、第2の検出信号SD2を受信する第1の入力端子、第1のインバータ241の出力端子に接続された第2の入力端子、および出力端子を有する。第1のORゲート261は、第1のANDゲート251の出力端子に接続された第1の入力端子、第2のANDゲート252の出力端子に接続された第2の入力端子、および補正パルス信号CPを出力する出力端子を有する。いくつかの実施形態では、立ち上がりエッジ検出器231は、第2のインバータ242と第3のANDゲート253を含む。第2のインバータ242は、ビットDA~B0を受信する入力端子、および出力端子を有する。第3のANDゲート253は、ビットDA~B0を受信する第1の入力端子、第2のインバータ242の出力端子に接続された第2の入力端子、および第1の検出信号SD1を出力する出力端子を有する。いくつかの実施形態では、立ち下がりエッジ検出器232は、第3のインバータ243とNORゲート263を含む。第3のインバータ243は、ビットDA~B0を受信する入力端子、および出力端子を有する。NORゲート263は、ビットDA~B0を受信する第1の入力端子、第3のインバータ243の出力端子に接続された第2の入力端子、および第2の検出信号SD2を出力する出力端子を有する。第1の検出信号SD1は、ビットDA~B0が立ち上がりエッジを有すると、高レベルパルスを有する。高レベルパルスの幅は、第2のインバータ242によって導入された回路遅延によって決まる。同様に、第2の検出信号SD2は、ビットDA~B0が立ち下がりエッジを有すると、高レベルパルスを有する。高レベルパルスの幅は、第3のインバータ243によって導入された回路遅延によって決まる。第1のANDゲート251は、ビットDA~B0が立ち上がりエッジと遅延クロック信号CLKDの立ち上がりエッジ間に差があるとき、高レベルパルスを出力する。第2のANDゲート252は、ビットDA~B0が立ち上がりエッジと遅延クロック信号CLKDの立ち上がりエッジ間に差があるとき、高レベルパルスを出力する。従って、補正パルス信号CPは、遅延クロック信号CLKDの立ち上がりエッジがビットDA~B0の遷移エッジ(立ち上がりエッジと立ち下がりエッジ)に後れるとき、即ち、ホールドタイムが不十分であるとき、高論理レベルにある。本発明のもう1つの実施形態では、データ信号DAが遅延クロック信号CLKDの立ち上がりエッジでサンプリングされるとき、第1のインバータ241は、省略され、第1のANDゲート251と第2のANDゲート252の第2の入力端子は、遅延クロック信号CLKDを受信するのに直接用いられる。図2Aと図2Bの回路構造では、遅延クロック信号CLKDとビットDA~B0との間にホールドタイム違反がある場合、補正パルス信号CPは、高論理レベルに上がる。ホールドタイム違反がない場合、補正パルス信号CPは、低論理レベルで維持される。補正回路210からの補正パルス信号CPをモニタリングすることによって、遅延制御回路170は、遅延クロック信号CLKD用に遅延時間、微調整することができるため、ホールドタイムの長さを最適化することができる。

【0012】

図3は、本発明の実施形態に係る、補正回路310の概略図である。図3の実施形態では、データ信号DAは、複数のビットDA~B0、DA~B1、...、およびDA~B9を含み、補正回路310は、複数のグリッチ発生回路220、221、...、および229を含む。グリッチ発生回路220、221、...、および229は、遅延クロック信号CLKDとビットDA~B0、DA~B1、...、およびDA~B9との間のタイミング関係をそれぞれ検出し、補正回路310は、それに対応して補正パルス信号CPを発生させる。各グリッチ発生回路220、221、...、および229は、図2Bのグリッチ発生回路とそれぞれ同様の回路構造を有する。DA~B0と遅延クロック信号CLKDは、グリッチ発生回路220に用いられ、DA~B1と遅延クロック信号CLKDは、グリッ

10

20

30

40

50

チ発生回路 221 に用いられ、... DA ~ B9 と遅延クロック信号 CLKD は、グリッチ発生回路 229 に用いられる。図 2A と図 2B の実施形態と主に異なることは、図 3 の補正回路 310 は、第 2 の OR ゲート 262 を更に含むことである。図 2 の OR ゲート 262 は、グリッチ発生回路 220、221、...、および 229 の全ての第 1 の OR ゲートの出力端子にそれぞれ接続された複数の入力端子を有する。第 2 の OR ゲート 262 は、補正パルス信号 CP を出力する出力端子を更に有する。図 3 の回路構造では、遅延クロック信号 CLKD とビット DA ~ B0、DA ~ B1、...、および DA ~ B9 のいずれかとの間にホールドタイム違反がある場合（例えば、ホールドタイムが不十分である場合）、補正パルス信号 CP は、同様に、高論理レベルに上がる。ホールドタイム違反がない場合、補正パルス信号 CP は、低論理レベルで維持される。補正回路 310 からの補正パルス信号 CP をモニタリングすることによって、遅延制御回路 170 は、遅延クロック信号 CLKD 用に遅延時間、微調整することができるため、1 つ以上のデータビットがホールドタイム最適化回路 100 に印加されても、ホールドタイムの長さを最適化することができる。図 3 では、10 個のデータビットを処理する 10 個のグリッチ発生回路があるが、これは、例に過ぎず、異なる数のデータビットを処理する異なる数のグリッチ発生回路を含む他の補正回路が他の実施形態に用いられてもよいことが理解されよう。補正回路 310 の他の特徴は、図 2A と図 2B の補正回路 210 の特徴と類似する。従って、2 つの実施形態は類似的なレベルのパフォーマンスを達成することができる。

【0013】

図 4A は、本発明の実施形態に係る、遅延制御回路 470 の概略図である。図 4A の実施形態では、遅延制御回路 470 は、第 1 のスイッチ 471、第 2 のスイッチ 472、電流源 473、直流 (DC) 電圧源 474、コンデンサ 475、および電圧制御遅延 (VCD) 回路 476 を含む。電流源 473 は電流源の電流出力端子で電流を出力する。DC 電圧源 474 は、正極と、接地電圧 VSS (例えば、0V) と接続された負極を有する。第 1 のスイッチ 471 は制御ノード NC に接続された第 1 の端子、および DC 電圧源 474 の正極に接続された第 2 の端子を有する。第 2 のスイッチ 472 は、電流源 473 の電流出力端子に接続された第 1 の端子、および制御ノード NC に接続された第 2 の端子を有する。コンデンサ 475 は、制御ノード NC に接続された第 1 の端子と、接地電圧 VSS に接続された第 2 の端子を有する。VCD 回路 476 は、クロック信号 CLK を遅延時間、遅延させて、遅延クロック信号 CLKD を発生させることができる。VCD 回路 476 は、当技術分野で周知の電圧制御遅延回路で実施されることがある。VCD 回路 476 の遅延時間は、制御ノード NC の制御電圧 VC によって決まる。制御電圧 VC は、補正パルス信号 CP によってさらに調整される。いくつかの実施形態では、遅延制御回路 470 は、以下のように動作される。初期のとき、第 1 のスイッチ 471 は、オンであり、DC 電圧源 474 がコンデンサ 475 の制御電圧 VC を初期値に充電する。ホールドタイム最適化回路 100 がオンにされたとき、第 1 のスイッチ 471 は、閉状態から開状態に切り換えられて、開状態に維持される。次いで、第 2 のスイッチ 472 は、電流源 473 の電流出力端子を制御ノード NC に選択的に接続し、制御ノード NC の制御電圧 VC を調整する。第 2 のスイッチ 472 が高論理レベルと等しい補正パルス信号 CP を受信する毎に、第 2 のスイッチ 472 は閉状態なり、コンデンサ 475 の制御電圧 VC は、電流源 473 によって充電される。それとは反対に、第 2 のスイッチ 472 が低論理レベルと等しい補正パルス信号 CP を受信する毎に、第 2 のスイッチ 472 は開状態になり、コンデンサ 475 の制御電圧 VC は、変えずに維持される。

【0014】

図 4B は、本発明の実施形態に係る、制御電圧 VC と遅延時間の関係図である。一般的に、制御電圧 VC が上昇した場合、遅延時間は、短縮される。いくつかの実施形態では、遅延時間は、制御電圧 VC と反比例する（例えば、 $\tau = k_1 / VC$ 、その中の k_1 は定数値である）が、この関係は、これらに限定されるものではない。いくつかの実施形態では、初期のホールドタイムは、可能な限り短く設定され、補正パルス信号 CP の指示に対応して、徐々に長くなり、最適化した長さに達する。

【 0 0 1 5 】

図 5 A は、本発明の実施形態に係る、遅延制御回路 5 7 0 の概略図である。図 5 A の実施形態では、遅延制御回路 5 7 0 は、カウンタ 5 7 1 およびデジタル制御遅延 (D C D) 回路 5 7 6 を含む。カウンタ 5 7 1 は、複数ビットによって表されることがある、デジタルナンバー D N を数える。回路 5 7 6 は、クロック信号 C L K を遅延時間、遅延させて、遅延クロック信号 C L K D を発生させることができる。 D C D 回路 5 7 6 は、当技術分野で周知のデジタル制御遅延回路で実施され得る。 D C D 回路 5 7 6 の遅延時間は、デジタルナンバー D N によって決まる。デジタルナンバー D N は、補正パルス信号 C P によってさらに調整される。いくつかの実施形態では、遅延制御回路 5 7 0 は、以下のように動作される。カウンタ 5 7 1 が高論理レベルと等しい補正パルス信号 C P を受信する毎に、カウンタ 5 7 1 は、デジタルナンバー D N を 1 増加させる。それとは反対に、カウンタ 5 7 1 が低論理レベルと等しい補正パルス信号 C P を受信する毎に、カウンタ 5 7 1 は、デジタルナンバー D N を変えずに維持される。

10

【 0 0 1 6 】

図 5 B は、本発明の実施形態に係る、デジタルナンバー (d i g i t a l n u m b e r) と遅延時間の関係図である。一般的に、デジタルナンバー D N が増加された場合、遅延時間は、短縮される。いくつかの実施形態では、遅延時間は、デジタルナンバー D N と反比例する (例えば、 $D N = k 2$ 、その中の $k 2$ は定数値である) が、この関係は、これらに限定されるものではない。いくつかの実施形態では、初期のホールドタイムは、可能な限り短く設定され、補正パルス信号 C P の指示に対応して、徐々に長くなり、最適化した長さに達する。

20

【 0 0 1 7 】

図 6 は、本発明の実施形態に係る、ホールドタイム最適化回路 1 0 0 を含む受信機 6 0 0 の概略図である。図 6 の実施形態では、受信機 6 0 0 は、データ遅延回路 6 8 2、ホールドタイム最適化回路 1 0 0、および D フリップフロップ 6 8 4 を含む。データ遅延回路 6 8 2 は、データ信号 D A を一定の遅延時間、遅延させて、遅延データ信号 D A D を発生させる。図 1 の実施形態に述べられたように、ホールドタイム最適化回路 1 0 0 は、補正回路 1 1 0 と遅延制御回路 1 7 0 を含む。遅延制御回路 1 7 0 は、クロック信号 C L K を遅延時間、遅延させて、遅延クロック信号 C L K D を発生させる。補正回路 1 1 0 は、遅延データ信号 D A D と遅延クロック信号 C L K D に対応して補正パルス信号 C P を発生させる。 D フリップフロップ 6 8 4 は、遅延データ信号 D A D を受信するデータ端子、遅延クロック信号 C L K D を受信するクロック端子、およびサンプリング信号 S A を出力する出力端子を有する。 D フリップフロップ 6 8 4 は、遅延クロック信号 C L K D と遅延データ信号 D A D に対応してデータサンプリングプロセスを行うように用いられることができる。例えば、 D フリップフロップ 6 8 4 は、遅延データ信号 D A D を遅延クロック信号 C L K D の各立ち上がりエッジでサンプリングすることができる。図 6 の実施形態では、遅延制御回路 1 7 0 の遅延時間は、補正パルス信号 C P に対応して最適化される。このようなフィードバック経路を用いることによって、遅延クロック信号 C L K D と遅延データ信号 D A D 間のホールドタイムは、微調整される。ホールドタイム最適化回路 1 0 0 の詳細の構造と動作は、図 1 ~ 図 5 B の実施形態に述べられた構造と動作とほぼ同じである。図 1 ~ 図 5 B の実施形態と唯一異なることは、データ信号 D A は、図 6 の実施形態のホールドタイム最適化回路 1 0 0 に印加される遅延データ信号 D A D と置き換えられることである。

30

40

【 0 0 1 8 】

図 7 A は、本発明の実施形態に係る、受信機 6 0 0 の信号波形の概略図である。図 7 A の実施形態では、遅延クロック信号 C L K D と遅延データ信号 D A D 間のホールドタイムが微調整される前に、遅延クロック信号 C L K D の立ち下がりエッジは、遅延データ信号 D A D の不正確な周期と揃えることができる。例えば、図 7 A に示されるように、ホールドタイムは、負値である。即ち、遅延データ信号 D A D は、遅延クロック信号 C L K D の各立ち上がりエッジの前に、その状態を変え、 D フリップフロップ 6 8 4 のサンプリング

50

信号 S A が誤った時間にサンプリングされた誤ったサンプリングデータを含むことになる。この場合、補正回路 110 の補正パルス信号 C P は、多くの高いロジック間隔を含んで、現在のホールドタイムが許容できない（例えば、ホールドタイムが不十分である）ことを示す。

【0019】

図 7 B は、本発明の実施形態に係る、受信機 600 の信号波形の概略図である。図 7 B の実施形態では、遅延クロック信号 C L K D と遅延データ信号 D A D 間のホールドタイム T H が微調整された後に、遅延クロック信号 C L K D の立ち上がりエッジは、遅延データ信号 D A D の正確な周期内で揃えなければならない。例えば、図 7 B に示されるように、微調整されたホールドタイム T H は、正值で十分であり、遅延データ信号 D A D は、遅延クロック信号 C L K D の各立ち上がりエッジの後でホールドタイム T H の満了時に、その状態を変え、D フリップフロップ 684 のサンプリング信号 S A が正確なサンプリングデータのみを含むことになる。この場合、補正回路 110 の補正パルス信号 C P は、低いロジックレベルを維持して、現在のホールドタイムが許容できることを示す。

10

【0020】

本発明のホールドタイム最適化回路 100 は、種々のデジタル回路の応用に適合する。本発明のホールドタイム最適化回路 100 は、プロセス、電圧、および温度（PVT）変動の影響を受けず、異なる環境で安定した性能を提供することができる。本発明は、デジタル回路のホールドタイムの長さを最適化するのに用いられることができ、データサンプリングプロセスの信頼度を向上させる利点を有する。

20

【0021】

本発明は、単に図 1 ~ 図 7 B の任意の 1 つまたは複数の実施形態の任意の 1 つまたは複数の特徴を含んでいるだけで、言い換えれば、全ての図に示されている特徴が本発明のホールドタイム最適化回路および受信機に実現されなければならないということではない。

【0022】

明細書における「第 1 の」、「第 2 の」、「第 3 の」等の序数詞の使用は、それ自体が優先度、序列、又は順序を示唆するものではなく、むしろ、単に 2 つ以上の特徴、要素、項目等を区別するためのラベルとして使用している。クレーム要素を変えるための、請求項における「第 1 の」、「第 2 の」、「第 3 の」等の序数詞の使用は、それ自体が、1 つのクレーム要素を他のクレーム要素と比較して優先度、序列、又は順序、もしくは方法を実施する行為の時間的順序を示唆するものではなく、むしろ、単にクレーム要素を区別するために、特定の名称を有する 1 つのクレーム要素を同じ名称を有する他の要素から区別するためのラベルとして（だけ、序数詞を）使用している。

30

【0023】

以上、実施例を示して本発明を説明しているが、当業者は、本発明の思想と技術的範囲から逸脱しない種々の修正及び変更を行い得る。実施形態および実施例は、例示的なものであるに過ぎず、本発明の範囲は、以下の請求項及びその均等のものによって規定されて保護される。

【符号の説明】

【0024】

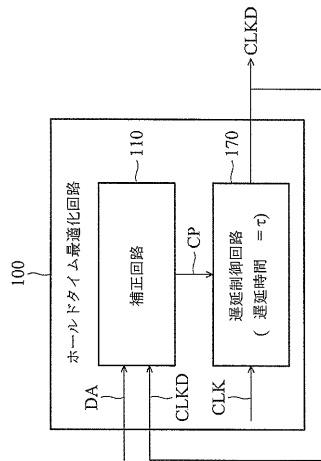
- 100 ホールドタイム最適化回路
- 110、210、310 補正回路
- 170、470、570 遅延制御回路
- 220、221、229 グリッチ発生回路
- 231 立ち上がりエッジ検出器
- 232 立ち下がりエッジ検出器
- 241 第 1 のインバータ
- 242 第 2 のインバータ
- 243 第 3 のインバータ
- 251 第 1 の AND ゲート

40

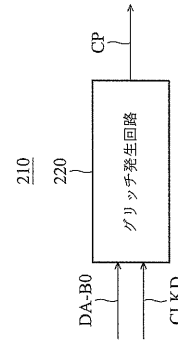
50

2 5 2	第 2 の A N D ゲート	
2 6 1	第 1 の O R ゲート	
2 6 2	第 2 の O R ゲート	
2 6 3	N O R ゲート	
4 7 1	第 1 の スイッチ	
4 7 2	第 2 の スイッチ	
4 7 3	電流源	
4 7 4	直 流 (D C) 電圧源	
4 7 5	コンデンサ	
4 7 6	電圧制御遅延 (V C D) 回路	10
5 7 1	カウンタ	
5 7 6	デジタル制御遅延 (D C D) 回路	
6 0 0	受信機	
6 8 2	データ遅延回路	
6 8 4	D フリップフロップ	
C L K	クロック信号	
C L K D	遅延クロック信号	
C P	補正パルス信号	
D A	データ信号	
D A D	遅延データ信号	20
D A ~ B 0、D A ~ B 1、D A ~ B 9	ビット	
N C	制御ノード	
S A	サンプリング信号	
T H	ホールドタイム	
V C	制御電圧	
V S S	接地電圧	
	遅延時間	

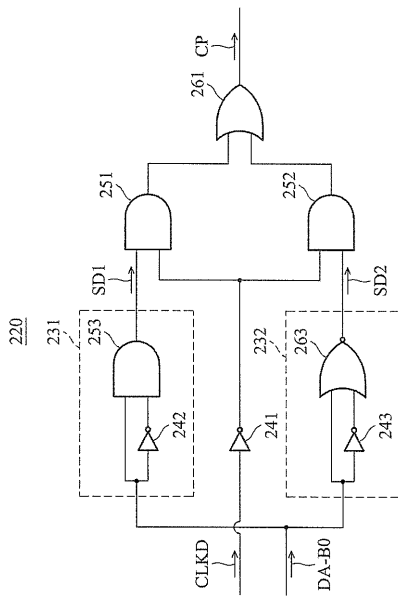
【図1】



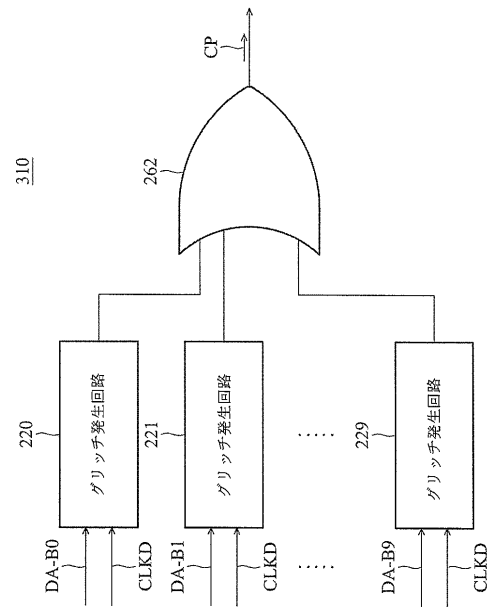
【図2A】



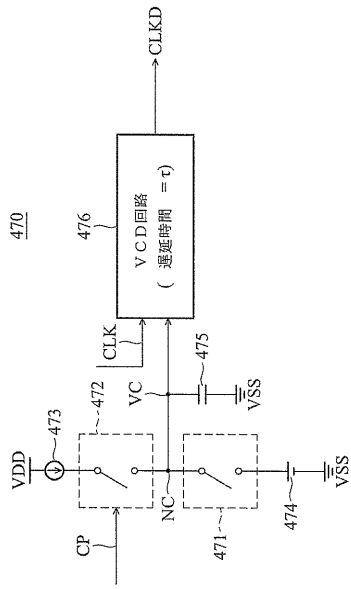
【図2B】



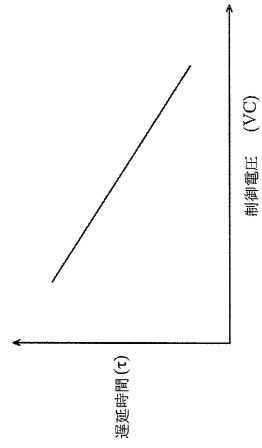
【図3】



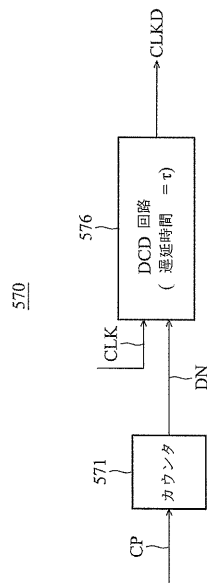
【図 4 A】



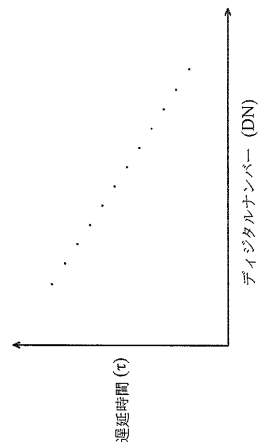
【図 4 B】



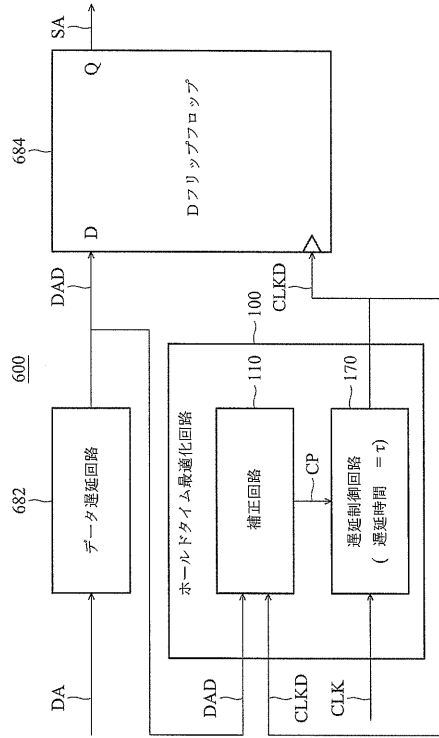
【図 5 A】



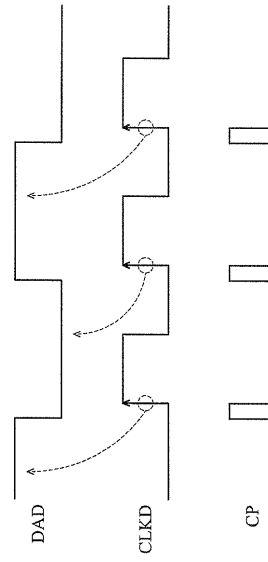
【図 5 B】



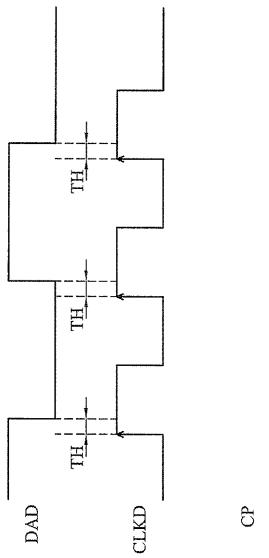
【図6】



【図7A】



【図7B】



フロントページの続き

審査官 柳下 勝幸

(56)参考文献 特開2007-202033(JP,A)
特開2007-208774(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 5/00
H03K 5/131