

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年4月1日(01.04.2010)

PCT

(10) 国際公開番号
WO 2010/035461 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01) H01G 4/12 (2006.01)
- (21) 国際出願番号: PCT/JP2009/004806
- (22) 国際出願日: 2009年9月24日(24.09.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-249726 2008年9月29日(29.09.2008) JP
特願 2009-091770 2009年4月6日(06.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO.,LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 藤岡真人 (FUJIOKA, Masato) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 戸上敬(TOGAMI, Takashi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 吉川宣弘 (YOSHIKAWA, Norihiro) [JP/JP]; 〒

6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中村一郎 (NAKAMURA, Ichiro) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

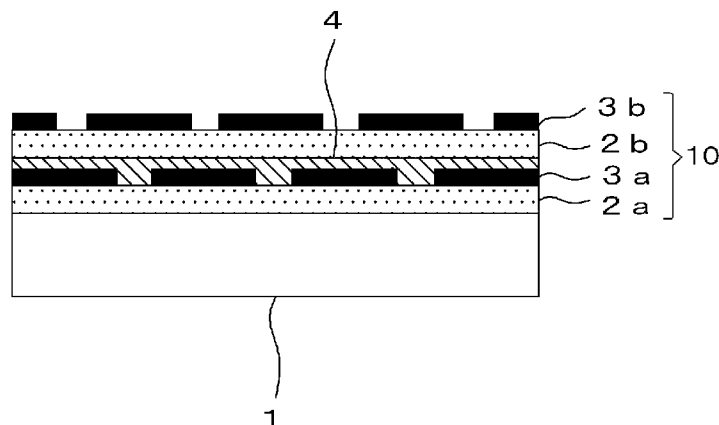
- (74) 代理人: 西澤均(NISHIZAWA, Hitoshi); 〒5500002 大阪府大阪市西区江戸堀1丁目2番11号 大同生命南館5階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: METHOD FOR MANUFACTURING LAMINATED CERAMIC ELECTRONIC COMPONENT

(54) 発明の名称: 積層セラミック電子部品の製造方法

[図2]



(57) Abstract: A laminated ceramic electronic component provided with a highly-reliable internal electrode can be manufactured without causing delamination by suppressing and preventing an attack on an internal electrode pattern by ceramic slurry of an upper layer and the like. Ceramic slurry is applied onto a base material (1) and dried to form a ceramic green sheet (2a), an internal electrode paste is applied thereonto and dried to form an internal electrode pattern (3a), a resin paste using a solvent which does not dissolve binders contained in the ceramic green sheet and the internal electrode pattern is applied thereonto and cured to form a cured resin layer (4), and thereafter the formation of the ceramic green sheet (2b) and the formation of an internal electrode pattern (3b) are performed in the same manner to form a composite laminated body (10). A step for superposing the composite laminated bodies (10) thus formed is repeated to form an unbaked laminated body which becomes a laminated ceramic electronic component element after being baked.

(57) 要約:

[続葉有]



WO 2010/035461 A1



GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, 添付公開書類:

NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

— 国際調査報告 (条約第 21 条(3))

上層のセラミックスラリなどによる内部電極パターンへのアタックを抑制、防止して、層間剥離を招くことなく、信頼性の高い内部電極を備えた積層セラミック電子部品を製造することを可能にする。基材 1 上に、セラミックスラリを塗布・乾燥してセラミックグリーンシート 2 a を形成し、その上に内部電極ペーストを付与・乾燥させて内部電極パターン 3 a を形成し、その上にセラミックグリーンシートおよび内部電極パターンに含まれるバインダーを溶解しない溶剤を用いた樹脂ペーストを塗布して、硬化させることにより硬化樹脂層 4 を形成した後、同様にして、セラミックグリーンシート 2 b の形成、内部電極パターン 3 b の形成を行い、複合積層体 10 を形成する。そして、上述のようにして形成した複合積層体 10 を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する。

明 細 書

発明の名称： 積層セラミック電子部品の製造方法

技術分野

- [0001] 本発明は、セラミックスラリーを塗布することによってセラミックグリーンシートを形成し、内部電極ペーストを所定のパターンで塗布することにより内部電極パターンを形成する工程を経て製造される、積層セラミック電子部品の製造方法に関する。

背景技術

- [0002] 積層セラミックコンデンサのように、セラミック層と内部電極層とが交互に積層された構造を有する積層セラミック電子部品は、例えば、キャリアフィルム上にセラミックスラリーを塗工してセラミックグリーンシートを形成し、さらにセラミックグリーンシート上に内部電極ペーストを付与（印刷）して内部電極パターンを形成した後、所定パターンに打ち抜いたシートを順次積み重ねて積層体を形成し、これを焼成する工程を経て製造されるのが一般的である。

しかしながら、電子部品の薄層化、大容量化につれて、セラミックグリーンシートの積層枚数が増加し、積層工程に要する時間が長くなって、生産性が低下するに至っている。

- [0003] そこで、キャリアフィルム上に形成したセラミックスラリーを印刷して形成したセラミックグリーンシート上に内部電極パターンを形成し、さらにその上にセラミックグリーンシート、内部電極パターンを順に形成することにより得られる、セラミックグリーンシートと内部電極パターンの少数単位積層体を打ち抜いた複合積層体を積み重ねることにより、積層工程に要する時間を短くして生産効率を向上させる方法が提案されている（特許文献１参照）。

- [0004] しかしながら、上述のように内部電極パターンの上にさらにセラミックスラリーを印刷してセラミックグリーンシートを形成する方法の場合、上層と

して印刷したセラミックスラリーの溶剤によって下層の内部電極パターンやセラミックグリーンシートのバインダーが溶解される、いわゆるシートアタックを生じ、内部電極パターンの精度低下や、セラミックグリーンシートに生じるピンホールなどに起因するショート不良などが発生するという問題点がある。

[0005] また、シートアタックは、セラミックグリーンシートに含まれるバインダーと内部電極ペーストとの組み合わせによっては、セラミックグリーンシート上に内部電極ペーストを付与する際にも発生する。そして、この場合のシートアタックを防止する技術として、硬化性樹脂を含有させたセラミックスラリーを用いてセラミックグリーンシートを形成し、内部電極ペーストを付与する前にセラミックグリーンシート中の硬化性樹脂を硬化させることにより、セラミックグリーンシート中のバインダーが内部電極ペーストに溶解してしまうことを抑制、防止する技術が提案されている（特許文献2参照）。

[0006] この方法の場合、硬化したセラミックグリーンシートが、内部電極ペーストによるアタックを受けにくくなるものの、上述の特許文献1に開示されている方法にこの方法を応用した場合、セラミックグリーンシート自体が硬化した状態で積層されることになるため、層間密着力が不十分になり、デラミネーションの原因となるという問題点がある。

先行技術文献

特許文献

[0007] 特許文献1：特開平8-250370号公報

特許文献2：特開2006-66852号公報

発明の概要

発明が解決しようとする課題

[0008] 本発明は、上記課題を解決するものであり、セラミックグリーンシートを硬化させることなく、内部電極パターンの上層として形成されるセラミックグリーンシート（セラミックスラリー）などによる内部電極パターンへのア

タックを抑制、防止して、信頼性の高い内部電極を備えた積層セラミック電子部品を確実に製造することが可能で、しかも、セラミックグリーンシートや内部電極ペーストなどの構成材料（例えば、溶剤やバインダーの種類など）を選択するにあたっての自由度の高い積層セラミック電子部品の製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するため、本発明（請求項１）の積層セラミック電子部品の製造方法は、

セラミック層と内部電極が積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

（a）基材上に、バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（b）前記セラミックグリーンシート上に、バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

（c）前記セラミックグリーンシートおよび前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

（d）前記樹脂ペースト中の前記硬化性樹脂を硬化させて硬化樹脂層を形成する工程と、

（e）前記硬化樹脂層上に、前記セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

（f）前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程とを備え、

前記（c）～（f）の工程を１回以上行うことを特徴としている。

[0010] また、本発明（請求項２）の積層セラミック電子部品の製造方法は、セラミック層と内部電極が交互に積層され、セラミック層を介して内部電

極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

(a) 基材上に、バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

(b) 前記内部電極パターンおよびその周囲の前記基材上に、前記内部電極ペーストに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

(c) 前記樹脂ペースト中の前記硬化性樹脂を硬化させて硬化樹脂層を形成する工程と、

(d) 前記硬化樹脂層上に、バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

(e) 前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

(f) 前記セラミックグリーンシート上および前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

(g) 前記樹脂ペーストを硬化させて硬化樹脂層を形成する工程と、

(h) 前記硬化樹脂層上にバインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程とを備え、

前記(e)～(h)の工程を1回以上行うことを特徴としている。

[0011] 本発明の積層セラミック電子部品の製造方法は、前記基材上に、請求項1の(a)～(f)の工程、または、請求項2の(a)～(h)の工程を経て形成される、複数層のセラミックグリーンシートおよび複数層の内部電極パターンを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する工程を備えていることを特徴

としている。

[0012] また、前記セラミックグリーンシートおよび内部電極パターン中に含まれるバインダーは有機系溶剤に可溶であって、水系溶剤に不溶であり、かつ、前記樹脂ペーストに含まれる硬化性樹脂は水系溶剤に可溶な樹脂であり、かつ、前記樹脂ペーストに含まれる溶剤は水系溶剤であることが好ましい。

[0013] また、前記内部電極パターンを形成する工程の後で、形成された前記内部電極パターンの周囲の領域に、前記内部電極パターンとその周囲との段差を解消するための段差吸収用セラミックペーストを塗布、乾燥して段差吸収層を形成する工程を備えていることが好ましい。

[0014] また、前記内部電極パターンを形成する工程の前に、前記内部電極パターンが形成されるべき領域の周囲に、その後に形成される前記内部電極パターンとその周囲との段差を解消するための段差吸収用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、前記段差吸収層が形成されていない領域に前記内部電極ペーストを付与、乾燥することにより前記内部電極パターンを形成することが好ましい。

[0015] また、前記樹脂ペーストに含まれる前記硬化性樹脂が光硬化性樹脂であることが好ましい。

[0016] 前記樹脂ペーストを硬化させることにより形成される硬化樹脂層の厚さが $0.03 \sim 0.20 \mu\text{m}$ であることが好ましい。

[0017] また、前記硬化樹脂層の形成に用いられる前記樹脂ペーストとして、該樹脂ペーストが硬化することにより形成される前記硬化樹脂層におけるセラミック粉末の割合が臨界粒子体積分率以下となるような割合で、セラミック粉末を含有しているものを用いることが望ましい。

発明の効果

[0018] 本発明（請求項1）の積層セラミック電子部品の製造方法は、上述のように、(a)～(f)の工程を備え、かつ、(c)～(f)の工程を1回以上行うようにしており、基材上にセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成し、その上に内部電極ペーストを付与、乾燥させて内部電

極パターンを形成した後、セラミックグリーンシートおよび内部電極パターン上に、セラミックグリーンシートおよび内部電極パターンに含まれるバインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布し、硬化させて硬化樹脂層を形成した後、硬化樹脂層上に、セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成し、このセラミックグリーンシート上に、内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程を1回以上行うようにしているので、硬化樹脂層により、その上に塗布されるセラミックスラリーにより内部電極パターンがアタックされることを阻止することが可能になる。その結果、精度の高い内部電極を備えた積層セラミック電子部品を製造することが可能になる。

[0019] すなわち、本発明の特徴は、基材上に、セラミックスラリーを塗布し、内部電極ペーストを付与して、基材上にセラミックグリーンシートとその上に形成された内部電極パターンを備えた層を複数有する複合積層体を形成するにあたり、セラミックグリーンシートおよび内部電極パターンの上から該セラミックグリーンシートおよび内部電極パターンのバインダーを溶解しない溶剤を用いた硬化性樹脂ペーストを塗布して硬化させ、しかる後にその上に、セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成するようにしているので、セラミックグリーンシートを硬化させることなく、該セラミックグリーンシートおよび内部電極パターンへのセラミックスラリーによるシートアタックを効果的に防止することが可能になり、デラミネーションを引き起こしたりすることがなく、かつ、精度の高い内部電極を備えた積層セラミックコンデンサなどの積層セラミック電子部品を効率よく製造することが可能になる。

[0020] また、樹脂ペーストを硬化（架橋）させた後、その上にセラミックスラリーを塗布するようにしているため、上層のセラミックスラリーの溶剤として、樹脂ペーストが未硬化の状態では、樹脂ペーストを溶解してしまうような溶剤を使用したとしても、硬化樹脂層は溶剤に溶けることがないため、樹脂ペーストの選定や、硬化樹脂層上に印刷されることになるセラミックスラリー

一に使用する溶剤の選定の自由度を格段に向上させることが可能になる。

また、内部電極ペーストとセラミックスラリーとの間には硬化樹脂層が介在する（硬化樹脂層により縁が切られる）ため、セラミックスラリーが含有する溶剤やバインダーとの関係で、内部電極ペーストが含有するバインダーの種類が制約されることもなくなる。したがって、この点でも材料の選択の自由道が向上する。

[0021] なお、本発明において、セラミックスラリーを塗布するとは、コータ法や、ドクターブレード法などによりセラミックスラリーをシート状に成形する場合や、グラビア印刷法などによりセラミックスラリーをシート状に印刷する場合などを含む広い概念である。

[0022] また、内部電極ペーストを付与する方法としては、例えば、スクリーン印刷法などにより内部電極ペーストをセラミックグリーンシート上に印刷して付着させる方法などが例示されるが、その他の種々の方法を用いることが可能である。

[0023] また、本発明（請求項2）の積層セラミック電子部品の製造方法は、上述のように、(a)～(h)の工程を備え、かつ、(e)～(h)の工程を1回以上行うようにしており、基材上に、内部電極パターンを形成し、さらに この内部電極パターンおよびその周囲の基材上に、内部電極ペーストに含まれるバインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布、硬化させて硬化樹脂層を形成し、この硬化樹脂層の上に、セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成した後、同様にして内部電極パターンの形成、硬化樹脂層の形成、セラミックグリーンシートの形成を行うようにしているので、上述の請求項1の発明の場合と同様の特有の作用効果を得ることができる。

[0024] また、複数層のセラミックグリーンシートおよび複数層の内部電極パターンを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成することにより、積層工程に要する時間を減らして効率よく積層セラミック電子部品を製造することが可

能になる。

[0025] セラミックグリーンシートおよび内部電極パターン中に含まれるバインダーとして、有機系溶剤に可溶であって、水系溶剤に不溶のものをを用い、樹脂ペーストに含まれる硬化性樹脂として、水系溶剤に可溶のものをを用いるとともに、樹脂ペーストに含まれる溶剤として、水系溶剤を用いるようにした場合、セラミックグリーンシートおよび内部電極パターンに含まれるバインダーを溶かさないようにすることが可能になり、製品の電気的特性に直接影響する、セラミックグリーンシートおよび内部電極パターン中の粒子が再配列（充填の乱れ）を起こすことを防止して、電気的特性に優れた積層セラミック電子部品を得ることが可能になる。

[0026] また、内部電極パターンを形成した後、内部電極パターンの周囲の領域に、段差吸収用セラミックペーストを塗布して段差吸収層を形成することにより、段差を解消して、層間剥離などの生じにくい信頼性の高い積層セラミック電子部品を得ることが可能になる。なお、段差吸収層を配設するようにした場合、使用材料の種類が増えることになるため、従来の技術では、シートアタック回避などのため、セラミックスラリーや内部電極ペーストに用いられる溶剤の選定の幅が狭くなるが、本発明においては、いずれの溶剤にも溶解しない硬化樹脂層が上述のように所定の位置に介在して、シートアタックを防止する機能を果たすため、溶剤選定の自由度を高く維持することができる。

[0027] また、内部電極パターンを形成する前に、内部電極パターンが形成されるべき領域の周囲に、段差吸収用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、内部電極パターンを形成すべき領域に内部電極ペーストを付与、乾燥することにより内部電極パターンを形成するようにした場合にも、同様の作用効果を得ることが可能である。

[0028] また、本発明においては硬化樹脂層を形成するための樹脂材料として、熱硬化性樹脂を用いることも可能ではあるが、樹脂ペーストに含まれる硬化性樹脂として光硬化性樹脂を用いることにより、熱硬化性樹脂を用いて加熱硬

化させるようにした場合に比べて、基材が加熱されて膨張することによる、寸法精度や形状精度の低下を防止することが可能になり、本発明をより実効あらしめることができる。

- [0029] また、樹脂ペーストを硬化させることにより形成される硬化樹脂層の厚さを $0.03 \sim 0.20 \mu\text{m}$ とすることにより、シートアタックに起因する電気特性不良と、デラミネーションに起因する構造欠陥の双方を効率よく抑制することができるようになり、好ましい。

なお、硬化樹脂層の厚さが $0.03 \mu\text{m}$ 未満になると、シートアタックを防止する作用が不十分になり、 $0.20 \mu\text{m}$ を超えるとデラミネーションが生じやすくなる傾向がある。

- [0030] また、樹脂ペーストとして、硬化樹脂層におけるセラミック粉末の割合が臨界粒子体積分率以下となるような割合で、セラミック粉末を含有しているものを用いる、すなわち、硬化樹脂層にセラミック粉末を含有させるようにした場合、焼成工程において、下層と上層のセラミックグリーンシートに硬化樹脂層中のセラミック粉末を拡散させて、下層と上層のセラミックグリーンシートを強固に結合させることが可能になり、デラミネーションなどの構造欠陥の発生をさらに確実に防止することができる。

図面の簡単な説明

- [0031] [図1]本発明の積層セラミック電子部品の製造方法により製造された積層セラミックコンデンサの一例を示す断面図である。

[図2]本発明の実施例1の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図3]本発明の実施例2の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図4]本発明の実施例3の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

[図5]本発明の実施例4の積層コイル部品の製造方法の一工程で形成した複合積層体を示す断面図である。

発明を実施するための形態

[0032] 以下に本発明の実施例を示して、本発明の特徴とするところをさらに詳しく説明する。

実施例 1

[0033] この実施例 1 では、代表的な積層セラミック電子部品の一つである、積層セラミックコンデンサを製造する場合を例にとって説明する。図 1 は、本発明の一実施例にかかる方法により製造される積層セラミックコンデンサの構成を示す図である。

[0034] 図 1 に示すように、この積層セラミックコンデンサは、積層セラミック素子（積層セラミック電子部品素子）5 1 中に、セラミック層 5 2 を介して、複数の内部電極 5 3 a, 5 3 b が積層され、かつ、セラミック層 5 2 を介して互いに対向する内部電極 5 3 a, 5 3 b が交互に積層セラミック素子 5 1 の逆側の端面 5 4 a, 5 4 b に引き出されて、該端面に形成された外部電極 5 5 a, 5 5 b に接続された構造を有している。

[0035] なお、この実施例 1 では、基材（支持フィルム）上に、第 1 誘電体グリーンシート（セラミックグリーンシート）、第 1 内部電極パターン、硬化樹脂層、第 2 誘電体グリーンシート（セラミックグリーンシート）、第 2 内部電極パターンを順次積層して、複合積層体を形成し、この複合積層体を所定数だけ積層する工程を経て積層セラミックコンデンサを製造する場合について説明する。

[0036] （1）本発明の実施例 1 にかかる積層セラミックコンデンサの作製
＜セラミックスラリーの調製＞

炭酸バリウム（ BaCO_3 ）および酸化チタン（ TiO_2 ）を 1 : 1 のモル比となるように秤量した。そして、Dy、Mg などに変性し、ボールミルを用いて湿式混合し、脱水した後、乾燥させた。この乾燥粉末を、温度 1000℃で 2 時間仮焼した後、乾式粉碎することにより、セラミック原料を得た。得られたセラミック原料 60 体積部と、バインダーとしてポリビニルブチラルの高重合品 30 体積部と、可塑剤としてフタル酸ジオクチル 10 体積部

と、溶剤としてトルエン／エタノール（５０／５０）の混合物９００体積部とを、直径１ｍｍのジルコニア製玉石６００体積部とともに、ボールミルに投入し、２４時間湿式混合を行って、セラミックスラリーを調製した。

[0037] <積層セラミックコンデンサの作製>

上述のようにして調製したセラミックスラリーをコータ法により塗布して、図２に示すように、基材（支持フィルム）１上に厚さ１．２μｍの第１誘電体グリーンシート（セラミックグリーンシート）２ａを形成した。それから、８０℃、５分間の条件で乾燥を行った。

[0038] その後、乾燥させた第１誘電体グリーンシート２ａ上に、内部電極ペーストであるＮｉ電極ペースト（内部電極ペースト）をスクリーン印刷法により塗布し、６０℃、５分間の条件で乾燥を行うことにより、厚さ０．５μｍの第１内部電極パターン３ａを形成した。

[0039] なお、内部電極ペーストとしては、導電成分としてＮｉ粉末を、溶剤としてジヒドロターピネオールアセテートを、バインダーとしてエチルセルロースを含むものを用いた。なお、以下の各実施例、比較例とも内部電極ペーストとしてはこの実施例１と同じものを用いている。

[0040] 次に、第１誘電体グリーンシート２ａと、その上に形成した第１内部電極パターン３ａを覆うように、ＵＶ硬化性樹脂と、溶媒（水＋イソプロピルアルコール（ＩＰＡ））と、バインダ（アクリル系モノマー＋光開始剤）とを含むＵＶ硬化性樹脂溶液を所定の厚さ（０．０１μｍ、０．０３μｍ、０．１０μｍ、０．２０μｍ、０．２２μｍ）になるように塗布し、ＵＶ硬化性樹脂層を形成し、５分間紫外線を照射することによりＵＶ硬化性樹脂層を硬化させて、硬化樹脂層４を形成した。

なお、本発明において用いることが可能な光硬化性樹脂の好ましい例としては、ＵＶ硬化性アクリル樹脂、ＵＶ硬化性ウレタンアクリレート、ＵＶ硬化性ポリエステルアクリレート、ＵＶ硬化性ウレタン樹脂、ＵＶ硬化性エポキシアクリレート、ＵＶ硬化性イミドアクリレートなどが例示される。

[0041] それから、硬化樹脂層４の上に、セラミックスラリーをコータ法により塗

布して、厚さ $1.2\ \mu\text{m}$ の第2誘電体グリーンシート（セラミックグリーンシート）2bを形成し、 80°C で、5分間の条件で乾燥を行った。

[0042] 次に、第2誘電体グリーンシート2b上に、スクリーン印刷法によりNi電極ペーストを塗布し、 60°C で5分間の条件で乾燥して、厚さ $0.5\ \mu\text{m}$ の第2内部電極パターン3bを形成した。そして、これにより2層の誘電体グリーンシート2a, 2bと、2層の内部電極パターン3a, 3bを有する複合積層体10を得た。なお、この複合積層体10は、1層の硬化樹脂層4を備えている。

[0043] 得られた複合積層体10を連続剥離・積層機を用いて基材（支持フィルム）から剥離させながら300枚積み重ね、 50°C 、 100MPa の条件で1分間圧着することにより、焼成後に積層セラミック素子（積層セラミック電子部品素子）となる未焼成の積層体を作製した。

[0044] そして、得られた積層体をチップ状にカットし、 500°C の窒素雰囲気中において脱脂した後、 1200°C で焼成して、積層セラミック素子51（図1）を得た。なお、上述の硬化樹脂層は、この焼成工程で分解、燃焼して消失する。

[0045] それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、図1に示すような構造を有する、本発明の実施例にかかる積層セラミックコンデンサ（実施例の試料1～5）を得た。

[0046] （2）比較用の積層セラミックコンデンサ（比較例1）の作製

この比較例1では、本発明の必須の構成要件である硬化樹脂層を形成する工程を設けることなく積層セラミックコンデンサを作製した。

＜セラミックスラリーの調製＞

この比較例1でも、上記実施例1の場合と同様の方法で調製された同じ組成のセラミックスラリーを用意した。

[0047] ＜積層セラミックコンデンサの作製＞

上記のセラミックスラリーをコータ法により塗布して、基材（支持フィル

ム) 上に厚さ $1.2\ \mu\text{m}$ の第1誘電体グリーンシートを形成し、 80°C 、5分間の条件で乾燥を行った。

[0048] その後、乾燥させた第1誘電体グリーンシート上に、内部電極ペーストであるNi電極ペースト（内部電極ペースト）をスクリーン印刷法により塗布し、 60°C 、5分間の条件で乾燥を行うことにより、厚さ $0.5\ \mu\text{m}$ の第1内部電極パターンを形成した。

[0049] 次に、上記セラミックスラリーをコータ法により塗布して、第1誘電体グリーンシート上に形成した第1内部電極パターン上に、厚さ $1.2\ \mu\text{m}$ の第2誘電体グリーンシートを形成し、 80°C で、5分間の条件で乾燥を行った。

[0050] それから、第2誘電体グリーンシート上に、スクリーン印刷法によりNi電極ペーストを塗布し、 60°C で5分間の条件で乾燥して、厚さ $0.5\ \mu\text{m}$ の第2内部電極パターンを形成した。そして、これにより2層の誘電体グリーンシートと、2層の内部電極パターンを有する複合積層体を得た。なお、この複合積層体は、硬化樹脂層を備えていない。

[0051] 得られた複合積層体を連続剥離・積層機を用いて基材（支持フィルム）から剥離させながら300枚積み重ね、 50°C 、 100MPa の条件で1分間圧着することにより、焼成後に積層セラミック素子となる未焼成の積層体を作製した。

[0052] そして、得られた積層体をチップ状にカットし、 500°C の窒素雰囲気中において脱脂した後、 1200°C で焼成して、積層セラミック素子を得た。

それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、図1に示すような構造を有する積層セラミックコンデンサ（比較例1）を得た。

[0053] （3）比較用の積層セラミックコンデンサ（比較例2）の作製

この比較例2では、本発明の必須の構成要件である硬化樹脂層を設ける工程を設けない一方で、セラミックグリーンシートを硬化させる工程を経て積層セラミックコンデンサを作製した。以下、説明を行う。

[0054] <セラミックスラリーの調製>

まず、炭酸バリウム (BaCO_3) および酸化チタン (TiO_2) を 1 : 1 のモル比となるように秤量した。これを Dy、Mg などに変性し、ボールミルを用いて湿式混合し、脱水した後、乾燥させた。この乾燥粉末を、温度 1000℃で2時間仮焼した後、乾式粉碎することにより、セラミック原料を得た。得られたセラミック原料 60 体積部と、バインダーとしてポリビニルブチラルの高重合品 30 体積部と、ポリビニルブチラルの硬化剤としてトリレンジイソシアネート (TDI) 10 体積部と、溶剤としてトルエン／エタノール (50／50) の混合物 900 体積部とを、直径 1mm のジルコニア製玉石 600 体積部とともに、ボールミルに投入し、24 時間湿式混合を行って、セラミックスラリー S1 を調製した。

[0055] また、炭酸バリウム (BaCO_3) および酸化チタン (TiO_2) を 1 : 1 のモル比となるように秤量した。これに、Dy、Mg などに変性して、ボールミルを用いて湿式混合し、脱水した後、乾燥させた。この乾燥粉末を、温度 1000℃で2時間仮焼した後、乾式粉碎することにより、セラミック原料を得た。得られたセラミック原料 60 体積部と、バインダーとしてポリビニルブチラルの高重合品 30 体積部と、可塑剤としてフタル酸ジオクチル 10 体積部と、溶剤としてトルエン／エタノール (50／50) の混合物 900 体積部とを、直径 1mm のジルコニア製玉石 600 体積部とともに、ボールミルに投入し、24 時間湿式混合を行って、セラミックスラリー S2 を調製した。このセラミックスラリー S2 は、上記実施例 1 の積層セラミックコンデンサを製造するのに用いたセラミックスラリーと同じものである。

[0056] <積層セラミックコンデンサの作製>

上述のようにして作製したセラミックスラリー S1 をコータ法により塗布して、基材 (支持フィルム) 上に厚さ 1.2 μm の第 1 誘電体グリーンシートを形成し、80℃、5 分間の条件で乾燥を行った。

それから、乾燥させた第 1 誘電体グリーンシートを、150℃で10分間熱処理することにより、第 1 誘電体グリーンシートを硬化させた。

[0057] その後、硬化させた第1誘電体グリーンシート上に、内部電極ペーストであるNi電極ペーストをスクリーン印刷法により塗布し、60℃、5分間の条件で乾燥を行うことにより、厚さ0.5μmの第1内部電極パターンを形成した。

[0058] 次に、上記セラミックスラリーS2をコータ法により塗布して、第1誘電体グリーンシート上に形成した第1内部電極パターン上に、厚さ1.2μmの第2誘電体グリーンシートを形成し、80℃、5分間の条件で乾燥を行った。

[0059] それから、第2誘電体グリーンシート上に、スクリーン印刷法によりNi電極ペーストを塗布し、60℃で5分間の条件で乾燥して、厚さ0.5μmの第2内部電極パターンを形成することにより、2層の誘電体グリーンシートと2層の内部電極パターンを有する複合積層体を得た。なお、この複合積層体は、硬化樹脂層を備えていない。

得られた複合積層体を連続剥離・積層機を用いて基材（支持フィルム）から剥離させながら300枚積み重ね、50℃、100MPaの条件で1分間圧着することにより、焼成後に積層セラミック素子となる未焼成の積層体を作製した。

[0060] そして、得られた積層体をチップ状にカットし、500℃の窒素雰囲気中において脱脂した後、1200℃で焼成して、積層セラミック素子を得た。

[0061] それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、比較例2の積層セラミックコンデンサを得た。なお、この比較例2の積層セラミックコンデンサの構造は、上記比較例1の積層セラミックコンデンサと同じである。

[0062] （4）特性の評価

上述のようにして作製した実施例1の積層セラミックコンデンサ（試料1～5）と比較例1および2の積層セラミックコンデンサについて、電気特性不良率と、構造欠陥発生率を調べた。

[0063] なお、電気特性不良率は、上記実施例1の試料1～5と、比較例1および

2の試料について、ショート不良の発生率を調べ（ $n = 100$ ）、これを電気特性不良率とした。

また、構造欠陥発生率は、上記実施例1の試料1～5および比較例1および2の試料について、デラミネーションの発生率を調べ（ $n = 100$ ）、これを電気特性不良率とした。

その結果を表1に示す。

[0064]

[表1]

試料	第1誘電体 グリーンシートの 硬化	硬化性樹脂層 (厚さ)	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーション)
1 (実施例)	なし	あり (0.01 μm)	13%	2%
2 (実施例)		あり (0.03 μm)	2%	2%
3 (実施例)		あり (0.10 μm)	2%	3%
4 (実施例)		あり (0.20 μm)	1%	3%
5 (実施例)		あり (0.22 μm)	2%	15%
比較例 1	なし	なし	18%	2%
比較例 2	あり	なし	7%	19%

[0065] 表1に示すように、誘電体シートを硬化させることなく、また、硬化樹脂層を設けるようにしていない比較例1の積層セラミックコンデンサの場合、誘電体シートどうしの接合力は損なわれないことからデラミネーション発生

率は低い、シートアタックを防止することができないためショート不良発生率が高くなることが確認された。

[0066] また、硬化樹脂層を設けないことは比較例 1 と同じであるが、第 1 誘電体シートを硬化させるようにした比較例 2 の積層セラミックコンデンサの場合、シートアタックを抑制してショート不良発生率を低減することはできるが、第 1 誘電体シートを硬化させているので、圧着時の流動性に乏しく、層間密着力が低下することに起因して、デラミネーション発生率が増大した。

[0067] これに対し、実施例 1 の積層セラミックコンデンサ（実施例の試料 1 ～ 5）の場合、比較例 1 および 2 の積層セラミックコンデンサに比べて、特性を大幅に改善できることが確認された。

[0068] 特に、実施例の試料 2 ～ 4 のように、硬化樹脂層を設けるとともに、その厚さを 0.03 ～ 0.20 μm とした場合、ショート不良発生率を 2 % 以下、デラミネーション発生率を 3 % 以下にすることができた。

[0069] 一方、硬化樹脂層の厚さを 0.01 μm とした実施例の試料 1 の場合、デラミネーション発生率は 2 % と低い、ショート不良発生率が 13 % と高くなることが確認された。これは、硬化樹脂層の厚さがシートアタックを十分に防止することが可能な厚さを有していないことによるものである。

[0070] また、硬化樹脂層の厚さを 0.22 μm とした実施例の試料 5 の場合、ショート不良発生率は 2 % と低い、デラミネーション発生率が 15 % と高くなることが確認された。これは、硬化樹脂層が 0.20 μm を超えると、脱脂工程での硬化樹脂層の熱分解後に、第 1 誘電体グリーンシートと第 2 誘電体グリーンシートの間、および第 1 内部電極パターンと第 2 誘電体グリーンシートの上に空隙層が発生することによるものと考えられる。

[0071] したがって、この実施例 1 の条件では、ショート不良発生率を 2 % 以下、デラミネーション発生率を 3 % 以下におさえるためには、硬化樹脂層の厚さを 0.03 ～ 0.2 μm の範囲とすることが望ましいことが分かる。

実施例 2

[0072] この実施例 2 では、基材（支持フィルム）上に、まず第 1 内部電極パター

ンを形成し、その上に順次、硬化樹脂層、第1誘電体グリーンシート（セラミックグリーンシート）、第2内部電極パターン、硬化樹脂層、第2誘電体グリーンシート（セラミックグリーンシート）を積層して複合積層体を形成し、この複合積層体を所定枚数積層する工程を経て積層セラミックコンデンサを製造する場合について説明する。なお、この実施例2の場合にも、上記実施例1の場合と同様に、図1に示すような構造を有する積層セラミックコンデンサを製造した。

以下説明を行う。

[0073] (1)本発明の実施例2にかかる積層セラミックコンデンサの作製

＜セラミックスラリーの調製＞

炭酸バリウム（ BaCO_3 ）および酸化チタン（ TiO_2 ）を1：1のモル比となるように秤量した。これに、 Dy 、 Mg などで変性して、ボールミルを用いて湿式混合し、脱水した後、乾燥させた。この乾燥粉末を、温度1000℃で2時間仮焼した後、乾式粉碎することにより、セラミック原料を得た。得られたセラミック原料60体積部と、バインダーとしてポリビニルブチラルの高重合品30体積部と、可塑剤としてフタル酸ジオクチル10体積部と、溶剤としてトルエン／エタノール（50／50）の混合物900体積部とを、直径1mmのジルコニア製玉石600体積部とともに、ボールミルに投入し、24時間湿式混合を行って、セラミックスラリーを得た。

[0074] ＜積層セラミックコンデンサの作製＞

図3に示すように、基材（支持フィルム）1上に、スクリーン印刷法により、所定パターンで内部電極ペースト（ Ni ペースト）を印刷し、60℃で5分間乾燥して厚さ0.5μmの第1内部電極パターン3aを形成した。

[0075] それから、基材1上および第1内部電極パターン3a上に、UV硬化性樹脂と、溶媒（水＋イソプロピルアルコール（IPA））と、バインダ（アクリル系モノマー＋光開始剤）とを含むUV硬化性樹脂溶液を所定の厚さ（0.01μm、0.03μm、0.10μm、0.20μm、0.22μm）になるように塗布してUV硬化性樹脂層を形成し、5分間紫外線を照射することでUV硬

化性樹脂層を硬化させて、第1硬化樹脂層4aを形成した。

[0076] 次に、この第1硬化樹脂層4a上に、上述のようにして作製したセラミックスラリーを、コータ法により塗布して、UV硬化性樹脂層の全面に、厚さ1.2 μm の第1誘電体グリーンシート2aを形成し、80°C、5分間の条件で乾燥を行った。

[0077] その後、乾燥させた第1誘電体グリーンシート2a上に、内部電極ペーストであるNi電極ペーストをスクリーン印刷法により塗布し、60°C、5分間の条件で乾燥を行うことにより、厚さ0.5 μm の第2内部電極パターン3bを形成した。

[0078] 次に、第2内部電極パターン3bとその周囲の第1誘電体グリーンシート2aを覆うように、UV硬化性樹脂と、溶媒（水+イソプロピルアルコール（IPA））と、バインダー（アクリル系モノマー+光開始剤）とを含むUV硬化性樹脂溶液を所定の厚さ（0.01 μm 、0.03 μm 、0.10 μm 、0.20 μm 、0.22 μm ）になるように塗布して、UV硬化性樹脂層を形成し、5分間紫外線を照射することでUV硬化性樹脂層を硬化させて、第2硬化樹脂層4bを形成した。

[0079] それから、第2硬化樹脂層4bの上に、上記のセラミックスラリーをコータ法により塗布し、80°C、5分間の条件で乾燥を行って、厚さ1.2 μm の第2誘電体グリーンシート2bを形成することにより、2層の誘電体グリーンシート2a、2bと2層の内部電極パターン3a、3bを有する複合積層体10を得た。なお、この複合積層体10は、2層の硬化樹脂層4a、4bを備えている。

[0080] 得られた複合積層体10を連続剥離・積層機を用いて基材（支持フィルム）1から剥離させながら300枚積み重ね、50°C、100MPaの条件で1分間圧着することにより、焼成後に積層セラミック素子となる未焼成の積層体を作製した。

[0081] そして、得られた積層体をチップ状にカットし、500°Cの窒素雰囲気中において脱脂した後、1200°Cで焼成して、積層セラミック素子を得た。

なお、上述の硬化樹脂層は、この焼成工程で分解、燃焼して消失する。

[0082] それから、この積層セラミック素子に、外部電極形成用の導電性ペーストを塗布し、焼き付けることにより、本発明の実施例 2 にかかる積層セラミックコンデンサ（実施例の試料 6 ～ 10）を得た。この積層セラミックコンデンサの構造は、図 1 に示した、上記実施例 1 のものと同じである。

[0083] （2）比較用の積層セラミックコンデンサ（比較例 3）の作製

上記の第 1 および第 2 の硬化樹脂層を設ける工程を備えていないことを除いて、実施例 2 の場合と同様の方法で比較用の積層セラミックコンデンサ（比較例 3）を作製した。

[0084] （3）特性の評価

上述のようにして作製した実施例 2 の積層セラミックコンデンサ（試料 6 ～ 10）と比較例 3 の積層セラミックコンデンサについて、電気特性不良率と、構造欠陥発生率を調べた。

[0085] なお、電気特性不良率は、上記実施例 2 の各試料および比較例 3 の試料について、ショート不良の発生率を調べ（ $n = 100$ ）、これを電気特性不良率とした。

[0086] また、構造欠陥発生率は、上記実施例 2 の各試料および比較例 3 の試料について、デラミネーションの発生率を調べ（ $n = 100$ ）、これを構造欠陥発生率とした。

その結果を表 2 に示す。

[0087]

[表2]

試料	第1誘電体 グリーンシートの 硬化	硬化性樹脂層 (厚さ)	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーション)
6 (実施例)	なし	あり (0.01 μ m)	14%	2%
7 (実施例)		あり (0.03 μ m)	3%	2%
8 (実施例)		あり (0.10 μ m)	2%	2%
9 (実施例)		あり (0.20 μ m)	1%	3%
10 (実施例)		あり (0.22 μ m)	3%	17%
比較例 3	なし	なし	18%	2%

[0088] 硬化樹脂層を設けるようにしていない比較例3の積層セラミックコンデンサの場合、デラミネーション発生率は低いが、シートアタックを阻止することができないため、ショート不良発生率が高くなることが確認された。

- [0089] これに対し、実施例2の積層セラミックコンデンサ（実施例の試料6～10）の場合、比較例3の積層セラミックコンデンサに比べて、特性を改善できることが確認された。
- [0090] 特に、実施例の試料7～9のように、硬化樹脂層を設けるとともに、その厚さを0.03～0.20 μm とした場合、ショート不良発生率およびデラミネーション発生率をいずれも3%以下にすることができた。
- [0091] ただし、硬化樹脂層の厚さを0.01 μm とした実施例の試料6の場合、デラミネーション発生率は2%と低いが、ショート不良発生率が14%と高くなることが確認された。これは、硬化樹脂層の厚さがシートアタックを十分に防止するのに必要な厚さを有していないことによるものと考えられる。
- [0092] また、硬化樹脂層の厚さを0.22 μm とした実施例の試料10の場合、ショート不良発生率は3%と低いが、デラミネーション発生率が17%と高くなることが確認された。これは、硬化樹脂層が0.20 μm を超えると、脱脂工程での硬化樹脂層の熱分解後に、第1誘電体グリーンシートと第2誘電体グリーンシートの間、第1内部電極パターンと第1誘電体グリーンシートの間、および第2内部電極パターンと第2誘電体グリーンシートの上に空隙層が発生することによるものと考えられる。
- [0093] したがって、この実施例2の条件では、ショート不良発生率およびデラミネーション発生率を3%以下におさえるためには、硬化樹脂層の厚さを0.03～0.2 μm の範囲とすることが望ましいことが分かる。

実施例 3

- [0094] 図4に示すように、第1内部電極パターン3a間、および第2内部電極パターン3b間に、段差吸収用誘電体ペーストを塗布し、60℃で5分間乾燥して段差吸収用誘電体パターン（段差吸収層）20を形成した以外は、実施例1と同様にして積層セラミックコンデンサ（実施例の試料11～15）を作製した。

なお、図4において、図2と同一符号を付した部分は同一または相当する部分を示す。

[0095] また、第 1 内部電極パターン間、および第 2 内部電極パターン間に、段差吸収用誘電体ペーストを塗布し、60℃で5分間乾燥して段差吸収用誘電体パターンを形成した以外は、上記実施例 1 における比較例 1 および 2 の場合と同様の方法で比較例 4 および 5 の積層セラミックコンデンサを作製した。

[0096] なお、段差吸収用誘電体ペーストとしては、第 1 および第 2 誘電体グリーンシートを形成するのに用いたセラミックスラリーと同一のセラミック材料を含むとともに、溶剤としてジヒドロターピネオールアセテートを、バインダーとしてポリビニルブチラールを含むペーストを用いた。

そして、この実施例 3 で作製した実施例の試料について、上記実施例 1 の場合と同様の方法でその特性を調べた。その結果を表 3 に示す。

[0097]

[表3]

試料	第1誘電体 グリーンシートの 硬化	硬化性樹脂層 (厚さ)	電気特性不良率 (シート不良)	構造欠陥発生率 (デラミネーション)
11 (実施例)	なし	あり (0.01 μ m)	14%	2%
12 (実施例)		あり (0.03 μ m)	2%	3%
13 (実施例)		あり (0.10 μ m)	1%	2%
14 (実施例)		あり (0.20 μ m)	1%	3%
15 (実施例)		あり (0.22 μ m)	2%	14%
比較例 4	なし	なし	17%	1%
比較例 5	あり	なし	6%	18%

[0098] この実施例3の場合、上述のように、第1内部電極パターン間、および第2内部電極パターン間に、段差吸収用誘電体ペーストを塗布するようにしていることから、圧着時に全体を均一に圧着することが可能になる。その結果

、表 3 に示すように、実施例 1 の場合よりも、さらに特性を改善することが可能になる。

[0099] また、この実施例 3 の条件でも、ショート不良発生率を 2 % 以下、デラミネーション発生率を 3 % 以下に抑えるためには、硬化樹脂層の厚さを 0. 0 3 ~ 0. 2 μ m の範囲とすることが望ましいことが確認された。

実施例 4

[0100] 図 5 に示すように、第 1 内部電極パターン 3 a 間、および第 2 内部電極パターン 3 b 間に、段差吸収用誘電体ペーストを塗布し、6 0 °C で 5 分間乾燥して段差吸収用誘電体パターン（段差吸収層）2 0 を形成した以外は、実施例 2 と同様にして積層セラミックコンデンサ（実施例の試料 1 6 ~ 2 0 ）を作製した。

なお、図 5 において、図 3 と同一符号を付した部分は同一または相当する部分を示す。

[0101] また、第 1 および第 2 の硬化樹脂層を設ける工程を備えていないことを除いて、この実施例 4 の場合と同様の方法で比較用の積層セラミックコンデンサ（比較例 6 ）を作製した。

なお、段差吸収用誘電体ペーストとしては、上記実施例 3 で用いたものと同じものを用いた。

[0102] そして、この実施例 4 で作製した実施例の試料 1 6 ~ 2 0 および比較例 6 の試料について、上記実施例 1 の場合と同様の方法でその特性を調べた。その結果を表 4 に示す。

[0103]

[表4]

試料	第1誘電体 グリーンシート の硬化	硬化性樹脂層 (厚さ)	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーション)
16 (実施例)	なし	あり (0.01 μ m)	16%	1%
17 (実施例)		あり (0.03 μ m)	3%	2%
18 (実施例)		あり (0.10 μ m)	3%	1%
19 (実施例)		あり (0.20 μ m)	2%	2%
20 (実施例)		あり (0.22 μ m)	3%	16%
比較例 6	なし	なし	20%	1%

[0104] 表4に示すように、この実施例4の場合、上述のように、第1内部電極パターン間、および第2内部電極パターン間に、段差吸収用誘電体ペーストを塗布するようにしていることから、圧着時に全体を均一に圧着することが可

能になるため、実施例 1 の場合よりも、さらに特性が向上する傾向があることが確認された。

- [0105] また、この実施例 4 の条件でも、硬化樹脂層の厚さを $0.03 \sim 0.2 \mu\text{m}$ の範囲とすることにより、ショート不良発生率を 3 % 以下、デラミネーション発生率を 2 % 以下に抑えることが可能になることが確認された。

実施例 5

- [0106] 硬化樹脂層を形成するのに、UV 硬化性樹脂溶液の代わりに、熱硬化性樹脂と、溶剤（水＋イソプロピルアルコール（IPA））と、バインダ（アクリル系モノマー）とを含む熱硬化性樹脂溶液を用い、硬化条件を 120°C で 5 分間とした以外は、実施例 1 と同様にして積層セラミックコンデンサ（実施例の試料 21～25）を作製した。
- [0107] なお、本発明において用いることが可能な熱硬化性樹脂の好ましい例としては熱硬化性アクリル樹脂、熱硬化性エポキシ樹脂、熱硬化性ウレタンアクリレート、熱硬化性ポリエステルアクリレート、熱硬化性ウレタン樹脂、熱硬化性ユリア樹脂、熱硬化性メラミン樹脂などが例示される。
- [0108] また、実施例 1 における比較例 1，2 と同様の方法で比較例 7 および 8 の積層セラミックコンデンサを作製した。すなわち、この比較例 7 および 8 は、実施例 1 における比較例 1，2 とは、ロットは異なるが同じものである。
- [0109] そして、この実施例 5 で作製した実施例の試料 21～25 および比較例 7，8 の試料について、上記実施例 1 の場合と同様の方法でその特性を調べた。その結果を表 5 に示す。
- [0110]

[表5]

試料	第1誘電体 グリーンシート の硬化	硬化性樹脂層 (厚さ)	電気特性不良率 (シート不良)	構造欠陥発生率 (デラミネーション)
21 (実施例)	なし	あり (0.01 μ m)	12%	2%
22 (実施例)		あり (0.03 μ m)	2%	1%
23 (実施例)		あり (0.10 μ m)	3%	3%
24 (実施例)		あり (0.20 μ m)	2%	4%
25 (実施例)		あり (0.22 μ m)	2%	17%
比較例 7	なし	なし	18%	2%
比較例 8	あり	なし	7%	19%

[0111] 表5に示す通り、硬化樹脂層を形成するのに、熱硬化性樹脂溶液を用いた場合、樹脂を硬化させるための加熱工程での基材の膨張などにより、UV硬化性樹脂溶液を用いた場合よりもわずかに特性が低下したが、それでも、実

施例 1 の場合に準じる効果が得られることが確認された。

- [0112] また、この実施例 5 の条件でも、硬化樹脂層の厚さを $0.03 \sim 0.2 \mu\text{m}$ の範囲とすることにより、ショート不良発生率を 3 % 以下、デラミネーション発生率を 4 % 以下に抑えることが可能になることが確認された。

実施例 6

- [0113] この実施例 6 では、実施例 1 の試料 4 の構成において、硬化樹脂層を形成するための樹脂ペーストとして、セラミックグリーンシートを構成するセラミック粉末と同じ組成のセラミック粉末を所定の範囲で含有させた樹脂ペーストを用いて積層セラミックコンデンサを作製した。

- [0114] すなわち、この実施例 7 では、樹脂ペーストとして、UV 硬化性樹脂と、溶媒（水＋イソプロピルアルコール（IPA））と、バインダ（アクリル系モノマー＋光開始剤）とを含み、さらに、セラミックグリーンシートを構成するセラミック粉末と同じ組成のセラミック粉末を、表 6 に示す範囲（形成される保護樹脂層中の体積分率が $0.1 \text{ vol}\% \sim 60 \text{ vol}\%$ となるような範囲）で含有する樹脂ペーストを用いて積層セラミックコンデンサを作製した。

- [0115] 表 6 の保護樹脂層中のセラミック粉末の上記体積分率の値は、セラミック粉末を含む保護樹脂層に対するセラミック粉末の体積割合を示すものである。

なお、この実施例 6 の条件では、保護樹脂層中のセラミック粉末の臨界粒子体積分率（CPVC）は約 $50 \text{ vol}\%$ となる。

- [0116] この実施例 6 で作製した試料 26 ～ 29 について、上記実施例 1 の場合と同様の方法でその特性を調べた。その結果を表 6 に併せて示す。なお、表 6 には、実施例 1 の試料 4 についての特性を併せて示す。

- [0117]

[表6]

試料	第1誘電体 グリーンシート の硬化	硬化性樹脂層 (厚さ)	保護樹脂層中の セラミック粉末 の体積分率	電気特性不良率 (ショート不良)	構造欠陥発生率 (デラミネーシ ョン)
4 (実施例)	なし	あり (0.20 μ m)	0.0vol%	1%	3%
26 (実施例)		あり (0.20 μ m)	0.1vol%	1%	1%
27 (実施例)		あり (0.20 μ m)	10.0vol%	1%	1%
28 (実施例)		あり (0.20 μ m)	50.0vol%	1%	1%
29 (実施例)		あり (0.20 μ m)	60.0vol%	10%	1%

[0118] 表6に示すように、セラミック粉末を0.1vol%~50vol%の範囲（すなわち、臨界粒子体積分率（CPVC）以下の範囲）で含有する保護樹脂層を形成した試料26~28の場合、ショート不良率および構造欠陥発生率は

いずれも１％と低く、特性の良好な積層セラミックコンデンサが得られることが確認された。

ただし、セラミック粉末を６０vol％（すなわち、臨界粒子体積分率（ＣＰＶＣ）を超える割合）の割合で含有する保護樹脂層を形成した試料２９の場合、構造欠陥発生率は１％と低かったが、ショート不良率が１０％と、試料２６～２８に比べていくらか高くなることが確認された。

[0119] この実施例６のように、セラミック粉末を含有する樹脂ペーストを用い、所定の割合でセラミック粉末を含有する硬化樹脂層を形成するようにした場合、焼成工程において、下層と上層のセラミックグリーンシートに硬化樹脂層中のセラミック粉末が拡散し、下層と上層のセラミックグリーンシートが強固に結合する。その結果、デラミネーションなどの構造欠陥の発生をさらに確実に防止して、信頼性の高い積層セラミック電子部品を製造することができる。

[0120] なお、保護樹脂層中のセラミック粉末の含有割合が、臨界粒子体積分率（ＣＰＶＣ）を超えると、セラミック粒子間に樹脂が存在しない領域が形成されてしまうため、あまり好ましくない。すなわち、樹脂が存在しない領域が形成されると、該領域が空隙となり、硬化樹脂層の上に塗布されたセラミックスラリー中の溶剤がこの空隙を通過して下層のセラミックグリーンシートや内部電極層をアタックすることになる。したがって、本発明において、樹脂ペースト中のセラミック粉末の含有割合は、形成される硬化樹脂層におけるセラミック粉末の割合が臨界粒子体積分率（ＣＰＶＣ）以下となるような割合とすることが好ましい。

[0121] なお、上記実施例では、積層セラミックコンデンサを例にとって説明したが、本願発明は、積層インダクタ、積層ＬＣ複合部品など、セラミック層と内部電極とが積層された構造を有する種々の積層セラミック電子部品に適用することが可能である。

[0122] 本発明は、さらにその他の点においても、上記実施例に限定されるものではなく、セラミック層および内部電極の積層数、内部電極の具体的なパター

ン、セラミック層および内部電極の構成材料などに関し、発明の範囲内において、種々の応用、変形を加えることが可能である。

産業上の利用可能性

[0123] 上述のように、本発明によれば、セラミックグリーンシートを硬化させることなく、上層のセラミックスラリーなどによる内部電極パターンへのアタックを抑制、防止して、層間剥離を招くことなく、信頼性の高い内部電極を備えた積層セラミック電子部品を効率よく製造することが可能になるとともに、セラミックグリーンシートや内部電極ペーストなどの材料を選択するにあたっての自由度を高く維持することができる。

したがって、本願発明は、積層セラミックコンデンサをはじめとする、セラミック層と内部電極とが積層された構造を有する種々の積層セラミック電子部品の分野に広く適用することができる。

符号の説明

[0124]	1	基材（支持フィルム）
	2 a	第 1 誘電体グリーンシート（セラミックグリーンシート）
	2 b	第 2 誘電体グリーンシート（セラミックグリーンシート）
	3 a	第 1 内部電極パターン
	3 b	第 2 内部電極パターン
	4	硬化樹脂層
	4 a	第 1 硬化樹脂層
	4 b	第 2 硬化樹脂層
	1 0	複合積層体
	2 0	段差吸収用誘電体パターン（段差吸収層）
	5 1	積層セラミック素子（積層セラミック電子部品素子）
	5 2	セラミック層
	5 3 a, 5 3 b	内部電極

5 4 a , 5 4 b 積層セラミック素子の端面
5 5 a , 5 5 b 外部電極

請求の範囲

[請求項1]

セラミック層と内部電極が積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

(a) 基材上に、バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

(b) 前記セラミックグリーンシート上に、バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

(c) 前記セラミックグリーンシートおよび前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

(d) 前記樹脂ペースト中の前記硬化性樹脂を硬化させて硬化樹脂層を形成する工程と、

(e) 前記硬化樹脂層上に、前記セラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

(f) 前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程とを備え、

前記(c)～(f)の工程を1回以上行うことを特徴とする積層セラミック電子部品の製造方法。

[請求項2]

セラミック層と内部電極が交互に積層され、セラミック層を介して内部電極が互いに対向するように配設された構造を有する積層セラミック電子部品の製造方法であって、

(a) 基材上に、バインダーと導電成分とを含む内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

(b) 前記内部電極パターンおよびその周囲の前記基材上に、前記内

部電極ペーストに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

(c)前記樹脂ペースト中の前記硬化性樹脂を硬化させて硬化樹脂層を形成する工程と、

(d)前記硬化樹脂層上に、バインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程と、

(e)前記セラミックグリーンシート上に、前記内部電極ペーストを付与、乾燥して内部電極パターンを形成する工程と、

(f)前記セラミックグリーンシート上および前記内部電極パターン上に、前記セラミックグリーンシートおよび前記内部電極パターンに含まれる前記バインダーを溶解しない溶剤と硬化性樹脂とを含む樹脂ペーストを塗布する工程と、

(g)前記樹脂ペーストを硬化させて硬化樹脂層を形成する工程と、

(h)前記硬化樹脂層上にバインダーと溶剤とセラミック原料とを含むセラミックスラリーを塗布、乾燥してセラミックグリーンシートを形成する工程とを備え、

前記(e)～(h)の工程を1回以上行うことを特徴とする積層セラミック電子部品の製造方法。

[請求項3] 前記基材上に、請求項1の(a)～(f)の工程、または、請求項2の(a)～(h)の工程を経て形成される、複数層のセラミックグリーンシートおよび複数層の内部電極パターンを備えた複合積層体を積み重ねる工程を繰り返して、焼成後に積層セラミック電子部品素子となる未焼成の積層体を形成する工程を備えていることを特徴とする請求項1または2記載の積層セラミック電子部品の製造方法。

[請求項4] 前記セラミックグリーンシートおよび内部電極パターン中に含まれるバインダーは有機系溶剤に可溶であって、水系溶剤に不溶であり、かつ、

前記樹脂ペーストに含まれる硬化性樹脂は水系溶剤に可溶な樹脂であり、かつ、前記樹脂ペーストに含まれる溶剤は水系溶剤であることを特徴とする請求項 1～3 のいずれかに記載の積層セラミック電子部品の製造方法。

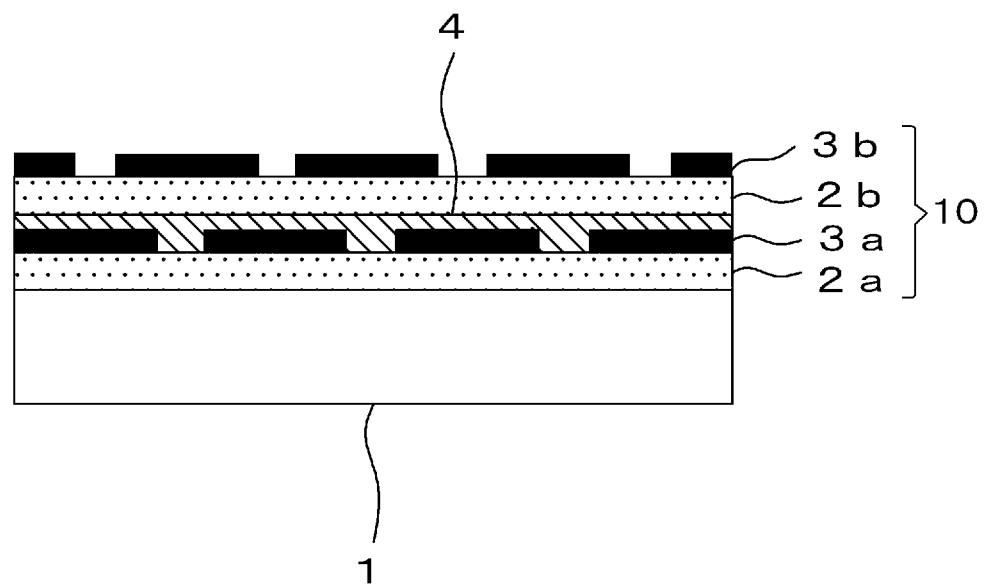
[請求項5] 前記内部電極パターンを形成する工程の後で、形成された前記内部電極パターンの周囲の領域に、前記内部電極パターンとその周囲との段差を解消するための段差吸収用セラミックペーストを塗布、乾燥して段差吸収層を形成する工程を備えていることを特徴とする請求項 1～4 のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項6] 前記内部電極パターンを形成する工程の前に、前記内部電極パターンが形成されるべき領域の周囲に、その後に形成される前記内部電極パターンとその周囲との段差を解消するための段差吸収用セラミックペーストを塗布、乾燥して段差吸収層を形成し、その後、前記段差吸収層が形成されていない領域に前記内部電極ペーストを付与、乾燥することにより前記内部電極パターンを形成することを特徴とする請求項 1～4 のいずれかに記載の積層セラミック電子部品の製造方法。

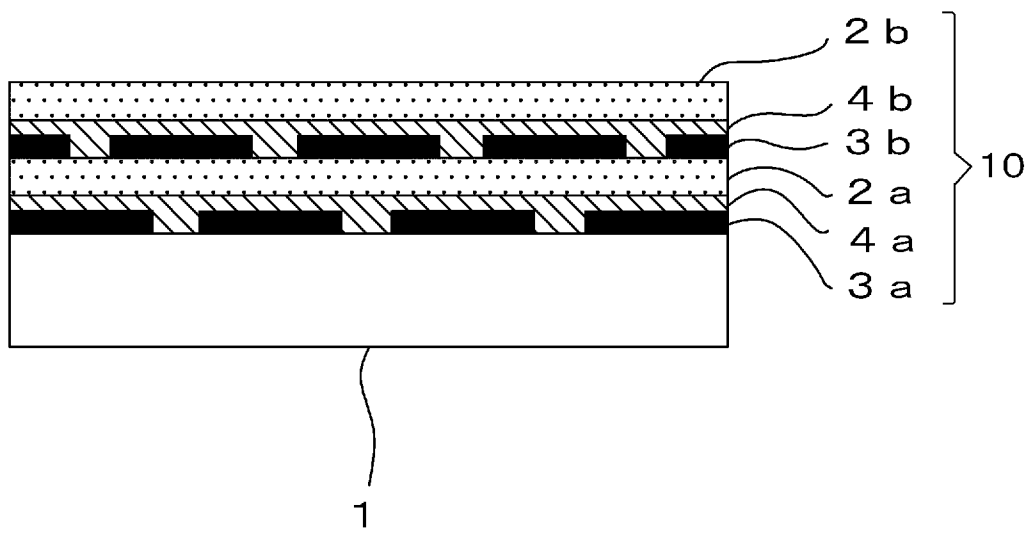
[請求項7] 前記樹脂ペーストに含まれる前記硬化性樹脂が光硬化性樹脂であることを特徴とする請求項 1～6 のいずれかに記載の積層セラミック電子部品の製造方法。

[請求項8] 前記樹脂ペーストを硬化させることにより形成される硬化樹脂層の厚さが $0.03 \sim 0.20 \mu\text{m}$ であることを特徴とする請求項 1～7 のいずれかに記載の積層セラミック電子部品の製造方法。

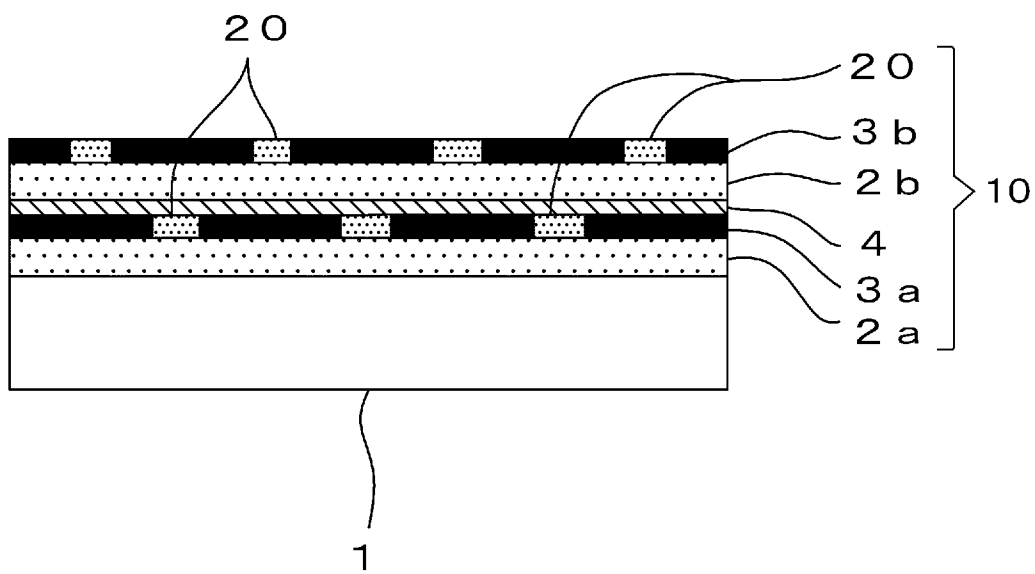
[請求項9] 前記硬化樹脂層の形成に用いられる前記樹脂ペーストが、該樹脂ペーストが硬化することにより形成される前記硬化樹脂層におけるセラミック粉末の割合が臨界粒子体積分率以下となるような割合で、セラミック粉末を含有していることを特徴とする請求項 1～8 のいずれかに記載の積層セラミック電子部品の製造方法。



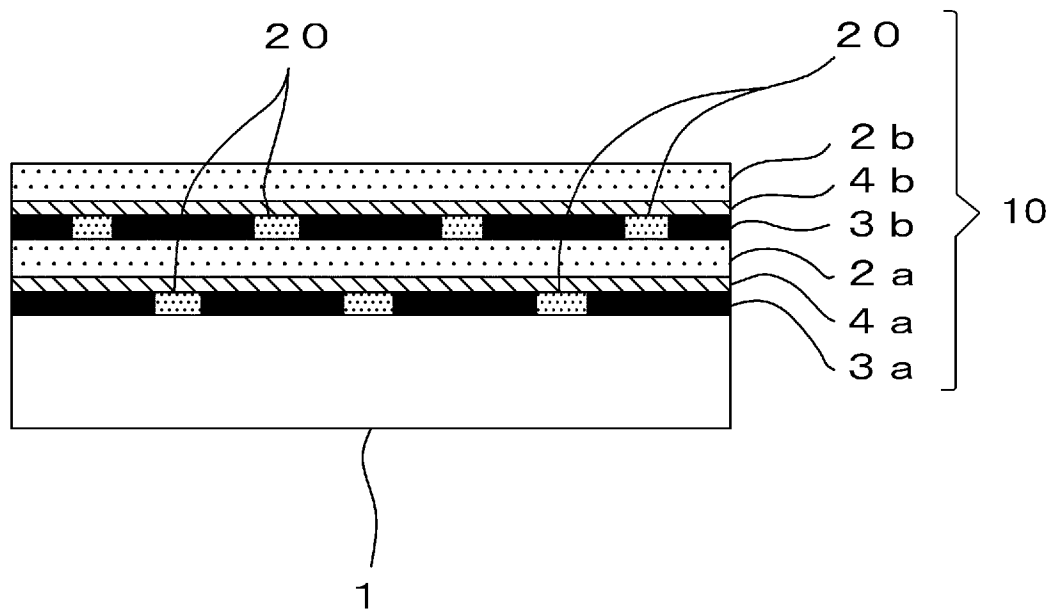
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004806

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/30(2006.01) i, H01G4/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/30, H01G4/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-519461 A (SHIN, Yu-Seon), 05 June 2008 (05.06.2008), entire text; all drawings & US 2007/0259122 A1 & WO 2006/049429 A1 & KR 10-2006-0039595 A	1-9
A	JP 08-250370 A (Toshiba Corp.), 27 September 1996 (27.09.1996), entire text; all drawings (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
04 December, 2009 (04.12.09)

Date of mailing of the international search report
15 December, 2009 (15.12.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/004806

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-066852 A (TDK Corp.), 09 March 2006 (09.03.2006), claims; paragraph [0127], table 1; paragraphs [0140] to [0143], comparative examples 4, 5; fig. 2 to 5 & US 2006/0021691 A1 & KR 10-2006-0048814 A & CN 1737962 A	1-9
A	JP 2006-073743 A (TDK Corp.), 16 March 2006 (16.03.2006), paragraph [0137], table 1; paragraph [0149], comparative example 4; fig. 2 to 6 (Family: none)	1-9
A	JP 2004-296884 A (TDK Corp.), 21 October 2004 (21.10.2004), entire text; all drawings (Family: none)	1-9
A	JP 02-058815 A (Matsushita Electric Industrial Co., Ltd.), 28 February 1990 (28.02.1990), claims; fig. 1 to 7 (Family: none)	1-9
P,A	JP 2009-029134 A (Nippon Glass Co., Ltd.), 12 February 2009 (12.02.2009), entire text; all drawings & US 2009/0035538 A1 & EP 2028688 A1 & WO 2009/016698 A1 & CN 101353259 A	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/30(2006.01)i, H01G4/12(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/30, H01G4/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-519461 A（シン，ユーソン）2008.06.05，全文，全図 & US 2007/0259122 A1 & WO 2006/049429 A1 & KR 10-2006-0039595 A	1 - 9
A	JP 08-250370 A（株式会社東芝）1996.09.27，全文，全図 （ファミリーなし）	1 - 9
A	JP 2006-066852 A（TDK株式会社）2006.03.09，特許請求の範囲， 段落【0127】表1，【0140】-【0143】比較例4,5，第2-5図 & US 2006/0021691 A1 & KR 10-2006-0048814 A & CN 1737962 A	1 - 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 1 2 . 2 0 0 9

国際調査報告の発送日

1 5 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

桑原 清

5 R

9 3 7 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-073743 A (T D K株式会社) 2006. 03. 16, 段落【0137】表 1, 【0149】比較例 4, 第 2-6 図 (ファミリーなし)	1 - 9
A	JP 2004-296884 A (T D K株式会社) 2004. 10. 21, 全文, 全図 (ファミリーなし)	1 - 9
A	JP 02-058815 A (松下電器産業株式会社) 1990. 02. 28, 特許請求の範囲, 第 1-7 図 (ファミリーなし)	1 - 9
P A	JP 2009-029134 A (日本硝子株式会社) 2009. 02. 12, 全文, 全図 & US 2009/0035538 A1 & EP 2028688 A1 & WO 2009/016698 A1 & CN 101353259 A	1 - 9