



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 05 03 81

(21) (PV.1612-81)

(40) Zveřejněno 15 09 81

(45) Vydáno 30 03 84

214579

(11)

(B1)

(51) Int. Cl.³

G 06 F 13/08

(75)

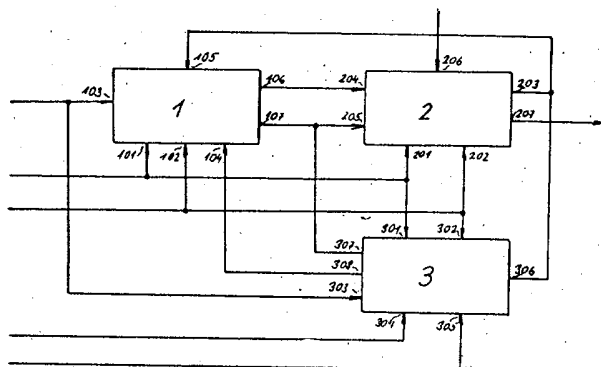
Autor vynálezu

ŠMÍD ZBYNĚK ing., BRNO, DĚTÁK OTAKAR ing., PRAHA

(54) Zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou

Vynález se týká rozšíření feritové paměti o moduly polovodičové paměti.

Jeho podstata spočívá ve využití funkcí časového zdroje procesoru pro řízení obnovování informace v polovodičové paměti, což umožňuje uspokojit každý požadavek na čtení nebo zápis do oblasti s polovodičovými paměťovými obvody prioritně před obnovením informace.



Vynález se týká zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou. Je vhodné zejména pro operační paměti malých výpočetních prostředků, například inteligentních terminálů.

Významnými parametry moderních malých výpočetních prostředků jsou jejich malé rozměry a nízký energetický příkon. Oba tyto parametry jsou podstatně ovlivněny druhem použité operační paměti. Nejlépe tyto požadavky v současné době splňují dynamické unipolární polovodičové paměti. Nevýhodou však je skutečnost, že po jejich odpojení od zdroje elektrické energie dochází ke ztrátě zaznamenané informace. Pokud je výpočetní prostředek určen pro práci pod řadou různých operačních systémů, není možné situaci vyřešit ani nahrazením části operační paměti pamětí ROM (pouze čti). V tomto případě je výhodné použít feritovou paměť alespoň pro systémovou oblast a polovodičovou paměť pro oblast uživatelských programů.

U dynamických polovodičových pamětí typu RAM s náhodným výběrem je však nutné v určitých časových intervalech provádět obnovování informace. V této době je polovodičová paměť nepřístupná jak pro čtení, tak pro zápis informace.

U dosud známých zapojení je obnovení řízeno buď speciální mikroinstrukcí, která musí být vždy v určitých intervalech vložena do mikroprogramu a během které není možný styk procesoru s operační pamětí, nebo je polovodičovou pamětí generován signál „obsazeno“, který spolu s požadavkem procesoru na zápis nebo čtení do paměti způsobí zastavení časového zdroje procesoru na dobu nezbytně nutnou pro obnovení informace v paměti. V prvním případě je obtížná tvorba mikroprogramu, v druhém případě způsobuje asynchronismus práce časového zdroje obtížné ožívování a servisní údržbu celého systému.

Uvedené nevýhody odstraňuje zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou, podle vynálezu, jehož podstata spočívá v tom, že vstupní adresová sběrnice styku procesoru s operační pamětí je připojena na vstupní adresovou sběrnici bloku feritové paměti a zároveň na sběrnici bloku polovodičové paměti, přičemž startovací vodič styku paměti s procesorem je připojen k prvnímu vstupu bloku feritové paměti, k prvnímu vstupu bloku registru dat paměti a k prvnímu vstupu bloku polovodičové paměti a další vodič žádosti procesoru o zápis do paměti je přiveden na druhý vstup bloku feritové paměti, k druhému vstupu bloku registru dat paměti a zároveň k druhému vstupu bloku polovodičové paměti, jehož třetí vstup a čtvrtý vstup tvoří opět vstupy styku paměti s procesorem a první výstup tohoto bloku polovodičové paměti je připojen k třetímu vstupu bloku feritové paměti, jehož první výstup je připojen k třetímu vstupu bloku registru dat paměti, jehož vnitřní datová sběrnice paměti je připojena k vstupní datové sběrnici bloku feritové paměti a dále k vstupní vnitřní datové sběrnici bloku polovodičové paměti, jehož vstupní vnitřní datová sběrnice paměti je spolu s výstupní vnitřní datovou sběrnici bloku feritové paměti připojena na vstupní vnitřní datovou sběrnici bloku registru dat paměti,

u něhož tvoří vnější výstupní datová sběrnice spolu s vnější vstupní datovou sběrníci vodiče styku s procesorem.

Blok feritové paměti se skládá z obvodů vzorkování feritové paměti, obvodů řízení feritové paměti, bloku modulů feritové paměti a čtecího obvodu feritové paměti, přičemž první vstup bloku feritové paměti je připojen k prvnímu vstupu obvodů řízení feritové paměti a prvnímu vstupu obvodů vzorkování feritové paměti, druhý vstup bloku feritové paměti je připojen k druhému vstupu obvodů řízení feritové paměti a k druhému vstupu obvodů vzorkování feritové paměti, třetí vstup bloku feritové paměti je připojen k třetímu vstupu obvodů řízení feritové paměti, u něhož jsou první výstup, druhý výstup a třetí výstup připojeny v uvedeném pořadí na první vstup, druhý vstup a třetí vstup bloku modulů feritové paměti, jehož adresová sběrnice je připojena na adresovou sběrnici bloku feritové paměti, a vstupní vnitřní datová sběrnice bloku modulů feritové paměti je připojena na vnitřní datovou sběrnici bloku feritové paměti, přičemž výstupní sběrnice bloku modulů feritové paměti je připojena k vstupní sběrnici čtecího obvodu feritové paměti, jehož první vstup je připojen k druhému výstupu obvodů vzorkování feritové paměti, kde první výstup obvodů vzorkování feritové paměti je připojen na první výstup bloku feritové paměti; přičemž výstupní vnitřní datová sběrnice čtecího obvodu paměti je připojena na vnitřní datovou sběrnici bloku feritové paměti.

Blok registru dat paměti se skládá z paměťových obvodů registru dat a řídicích obvodů registru dat, přičemž první vstup, druhý vstup, třetí vstup, vstupní vnitřní datová sběrnice, výstupní vnitřní datová sběrnice, vnější vstupní datová sběrnice a vnější výstupní datová sběrnice bloku registru dat paměti jsou připojeny v uvedeném pořadí na první vstup, na druhý vstup a třetí vstup řídicích obvodů registru dat a na vstupní vnitřní datovou sběrnici, výstupní vnitřní datovou sběrnici, vnější vstupní datovou sběrnici a na vnější výstupní datovou sběrnici paměťových obvodů registru dat jejichž první vstup a druhý vstup jsou v uvedeném pořadí připojeny na první výstup a druhý výstup řídicích obvodů registru dat.

Blok polovodičové paměti se skládá z obvodu čítače, klopného obvodu požadavku obnovení, prvního hradla, klopného obvodu obnovení, druhého hradla, řídicích obvodů polovodičové paměti, dekóderu adresy a bloku modulů polovodičové paměti, přičemž třetí vstupní vodič bloku polovodičové paměti je připojen na vstup obvodu čítače, jehož výstup je připojen k prvnímu vstupu klopného obvodu požadavku obnovení, u kterého je výstup připojen k prvnímu vstupu prvního hradla, přičemž výstup tohoto hradla je připojen na první vstup klopného obvodu obnovení, jehož druhý vstup je připojen na čtvrtý vodič bloku polovodičové paměti a jeho výstup je připojen jednak na druhý vstup bloku modulů polovodičové paměti a dále na druhý vstup klopného obvodu požadavku obnovení a na druhý vstup řídicích obvodů polovodičové paměti, jejichž první výstup je připojen

na druhý vstup prvního hradla, druhý výstup a třetí výstup řídicích obvodů polovodičové paměti jsou připojeny v uvedeném pořadí na třetí vstup a čtvrtý vstup bloku modulů polovodičové paměti, jehož vstupní výběrová sběrnice je připojena na výstupní sběrnici dekodéru adresy, jehož vstupní sběrnice je spolu se vstupní adresovou sběrnicí bloku modulů polovodičové paměti připojena na adresovou sběrnici bloku polovodičové paměti a dále druhý výstup dekodéru adresy tvoří zároveň první výstup bloku polovodičové paměti a první výstup dekodéru adresy je připojen na druhý vstup druhého hradla, jehož výstup je připojen na první vstup řídicích obvodů polovodičové paměti, přičemž první vstupní vodič, druhý vstupní vodič, vstupní vnitřní datová sběrnice a výstupní vnitřní datová sběrnice bloku polovodičové paměti jsou připojeny v uvedeném pořadí na první vstup druhého hradla a na první vstup, výstupní vnitřní datovou sběrnici a výstupní vnitřní datovou sběrnici bloku modulů polovodičové paměti.

Výhoda celého zapojení spočívá v tom, že obvody pro obnovu informace v polovodičové paměti jsou řízeny z přesného časového zdroje procesoru, přičemž je každý požadavek na čtení nebo zápis do paměti vždy okamžitě uspokojen. Procesoru výpočetního prostředku je lhostejné, s kterou částí operační paměti pracuje. Jedinými podmínkami pro rozšíření paměti feritové paměti polovodičovou je možnost přístupu k vnitřním datovým sběrnicím a možnost blokovat generaci budících signálů pro tvorbu souřadnicových a blokovacích proudů feritové paměti.

Příklad zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou spolu s funkcemi průběhy jsou uvedeny na výkresech, kde obr. 1 ukazuje příklad celkového zapojení paměti, obr. 2 příklad zapojení bloku feritové paměti přizpůsobené pro rozšíření paměti polovodičovou, obr. 3 příklad zapojení bloku registru dat paměti, obr. 4 znázorňuje příklad zapojení bloku polovodičové paměti, který rozšiřuje paměť feritovou, obr. 6, 7, 8 znázorňují funkční průběhy řídicích signálů.

Zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou tvoří blok 1 feritové paměti blok 2 registru dat paměti a blok 3 polovodičové paměti podle obr. 1. Vstupní adresové vodiče z blíže znázorněných obvodů jsou připojeny jednak na adresovou sběrnici 103 bloku 1 feritové paměti, jednak na adresovou sběrnici 303 bloku 3 polovodičové paměti. Startovací vodič styku paměti s procesorem je připojen na první vstup 101 bloku 1 polovodičové paměti, na první vstup 201 bloku 2 registru dat paměti a na první vstup 301 bloku 3 polovodičové paměti. Informace o žádosti čtení nebo zápisu do paměti je prostřednictvím dalšího vodiče styku paměti s procesorem připojena na druhý vstup 102 bloku 1 feritové paměti, druhý vstup 202 bloku 2 registru dat paměti a na druhý vstup 302 bloku 3 polovodičové paměti. První výstup 106 bloku 1 feritové paměti je připojen na třetí vstup 204 bloku 2 registru dat paměti. Výstupní vnitřní datová sběrnice 203 bloku 2 registru dat paměti je připojena k vnitřní datové sběrnicí 105 bloku 1 feritové paměti a zároveň k vnitřní

vstupní datové sběrnici 306 bloku 3 polovodičové paměti. Výstupní vnitřní datové sběrnice 107 bloku 1 feritové paměti a výstupní vnitřní datové sběrnice 307 bloku 3 polovodičové paměti jsou buzeny z obvodů s otevřeným kolektorem a jsou připojeny na vstupní vnitřní datovou sběrnici 205 bloku 2 registru dat paměti. U bloku 2 registru dat paměti zprostředkovává styk s procesorem navíc vnější vstupní datová sběrnice 206 a vnější výstupní datová sběrnice 207. Obnovování informace v bloku 3 polovodičové paměti je řízeno prostřednictvím třetího vstupu 304 a čtvrtého vstupu 305 z blíže neznázorněných obvodů procesoru výpočetního prostředku. První výstup 308 bloku 3 polovodičové paměti je připojen na třetí vstup 104 bloku 1 feritové paměti a způsobuje blokování řídicích signálů feritové paměti.

Blok 1 feritové paměti se skládá z obvodů 11 řízení feritové paměti, obvodů 12 vzorkování feritové paměti, bloku 13 modulů feritové paměti a z čtecího obvodu 14 feritové paměti. První vstup 101 bloku 1 feritové paměti je připojen k prvnímu vstupu 111 obvodů 11 řízení feritové paměti a k prvnímu vstupu 121 obvodů 12 vzorkování feritové paměti. Třetí vstup 104 bloku 1 feritové paměti je připojen na třetí vstup 113 obvodů 11 řízení feritové paměti. Vstupní adresová sběrnice 103, vstupní vnitřní datová sběrnice 105 bloku 1 feritové paměti, stejně jako první výstup 114, druhý výstup 115 a třetí výstup 116 obvodů 11 řízení feritové paměti jsou připojeny v uvedeném pořadí na vstupní adresovou sběrnici 134, vstupní vnitřní datovou sběrnici 135, první vstup 131, druhý vstup 132 a třetí vstup 133 bloku 13 modulů feritové paměti. Výstupní sběrnice 136 tohoto bloku je připojena na vstupní sběrnici 142 čtecího obvodu 14 feritové paměti, jehož výstupní vnitřní datová sběrnice 143 je připojena na výstupní vnitřní datovou sběrnici 107 bloku 1 feritové paměti.

Blok 2 registru dat paměti se skládá z paměťových obvodů 22 registru dat a řídicích obvodů 21 registru dat. Je ovládán prostřednictvím tří řídicích vodičů. První vstupní vodič 201, druhý vstupní vodič 202 a třetí vstupní vodič 204 jsou v uvedeném pořadí připojeny na první vstup 211, druhý vstup 212 a třetí vstup 214 řídicích obvodů 21 registru dat. První výstup 213 a druhý výstup 214 jsou v uvedeném pořadí připojeny na první vstup 221 a druhý vstup 222 paměťových obvodů 22 registru dat. Vstupní vnitřní datová sběrnice 205, výstupní vnitřní datová sběrnice 203, vnější vstupní datová sběrnice 206 a vnější výstupní datová sběrnice 207 jsou v uvedeném pořadí připojeny na vstupní vnitřní datovou sběrnici 223, výstupní vnitřní datovou sběrnici 224, vnější vstupní datovou sběrnici 225 a vnější výstupní datovou sběrnici 226.

Blok 3 polovodičové paměti se skládá z čítače 31, klopného obvodu 32 požadavku obnovy, prvního hradla 33, klopného obvodu 34 obnovy, druhého hradla 35, řídicích obvodů 36 polovodičové paměti, dekodéru 37 adresy a bloku 38 modulů polovodičové paměti. Třetí vstup 304 bloku 3 polovodičové paměti je připojen na vstup 311 čítače 31, jehož výstup 312 je připojen na první

vstup 321 klopného obvodu 32 požadavku obnovení. Výstup tohoto klopného obvodu je připojen na první vstup 331 prvního hradla 33, jehož výstup 333 je připojen na první vstup 341 klopného obvodu 34 obnovení. Výstup tohoto klopného obvodu je připojen jednak na druhý vstup 382 bloku 38 modulů polovodičové paměti, jednak na druhý vstup 322 klopného obvodu 32 požadavku obnovení a na druhý vstup 362 řídicích obvodů 36 polovodičové paměti. První vstup 301 bloku 3 polovodičové paměti je připojen na první vstup 351 druhého hradla 35. Výstup tohoto hradla je připojen na první vstup 361 řídicích obvodů 36 polovodičové paměti, jejichž první výstup 363, druhý výstup 364 a třetí výstup 365 jsou v uvedeném pořadí připojeny na druhý vstup 332 prvního hradla 33 a na třetí vstup 383 a čtvrtý výstup 384 bloku 38 modulů polovodičové paměti. Čtvrtý vstup 305 bloku 3 polovodičové paměti je připojen na druhý vstup 342 klopného obvodu 34 obnovení. Adresová sběrnice 303 bloku 3 polovodičové paměti je připojena jednak na vstupní sběrnici 371 dekódéru 37 adresy, jednak na vstupní adresovou sběrnici 386 bloku 38 modulů polovodičové paměti. První výstup 373, druhý výstup 374 a výstupní adresová sběrnice 372 dekódéru 37 adresy jsou v uvedeném pořadí připojeny na druhý vstup 352 druhého hradla 35, první výstup 308 bloku 3 polovodičové paměti a na vstupní výběrovou sběrnici 385 bloku 38 modulů polovodičové paměti. Druhý vstup 302, vstupní vnitřní datová sběrnice 306 a výstupní vnitřní datová sběrnice 307 jsou v uvedeném pořadí připojeny na první vstup 381, vstupní vnitřní datovou sběrnici 388 a výstupní vnitřní datovou sběrnici 387 bloku 38 modulů polovodičové paměti.

Obvody pro rozšíření paměti feritové paměti polovodičovou fungují takto:

Pro názornost je uveden případ čtení informace z polovodičové paměti. Pokud je na adresové sběrnici 103 styku paměti s procesorem přítomna adresa oblasti paměti s polovodičovými paměťovými prvky, je v bloku 3 polovodičové paměti na výstupu 374 dekódéru 37 adresy vybuzen signál, který zablokuje jednak startovací impuls na vodiči 301 do bloku 3 polovodičové paměti, jednak generování impulsů na výstupních vodičích 114, 115, 116 obvodů 11 řízení feritové paměti v bloku 1 feritové paměti. Tím je zablokováno generování proudových impulsů na souřadnicových a blokovacích vodičích bloku 13 modulů feritové paměti. Činnost obvodů 12 vzorkování feritové paměti blokována není. Na výstupu 124 tohoto bloku je sice generován impuls vzorkující informaci ve čtecím obvodu 14 feritové paměti, ale vlivem zablokování proudových impulsů ve feritové paměti je informace na vstupní sběrnici 142 čtecího obvodu 14 feritové paměti typu

„logické nuly“. Na základě tohoto jsou všechny vodiče výstupní vnitřní datové sběrnice 107, buzené z obvodů s otevřeným kolektorem, ve stavu H a vstupní vnitřní datová sběrnice 205 bloku 2 registru dat paměti není z bloku 1 feritové paměti ovlivňována. V bloku 3 polovodičové paměti je startovací signál na vstupu 301. Při čtení z oblasti polovodičové paměti je druhé hradlo 35 odhradlováno a v řídicích obvodech 36 polovodičové paměti jsou na vodičích 364 a 365 generovány signály řídicí činnost vybraných modulů polovodičové paměti. V případě, že je zároveň požadováno obnovení informace v dynamických polovodičových obvodech, je prostřednictvím signálu na prvním výstupu 363 řídicích obvodů 36 polovodičové paměti pozdrženo až do doby, která je procesorem vyčleněna pro obnovení informace ve feritové paměti. Činnost obvodu pro obnovení informace v polovodičové paměti je řízena procesorem prostřednictvím signálů z jeho časového zdroje, které jsou přivedeny na třetí vstup 304 a čtvrtý vstup 305 bloku 3 polovodičové paměti.

Na obr. 6 jsou znázorněny základní funkční průběhy bloku 1 feritové paměti při čtení z oblasti feritové paměti. Průběhy 1110, 1140, 1150, 1160 odpovídají v uvedeném pořadí průběhům na prvním vstupu 111, prvním výstupu 114, druhém výstupu 115 a třetím výstupu 116 obvodů 11 řízení feritové paměti. V případě čtení informace z oblasti polovodičové paměti jsou průběhy 1140, 1150, 1160 vyhradlovány.

Na obr. 7 jsou znázorněny základní funkční průběhy bloku 3 polovodičové paměti při obnovování informace v oblasti polovodičové paměti. Průběhy 3110, 3420, 3230, 3430 přitom odpovídají v uvedeném pořadí průběhům na vstupu 311 obvodu 31 čítače, druhém vstupu 342 klopného obvodu 34 obnovení, výstupu 323 klopného obvodu 32 požadavku obnovení a na výstupu 343 klopného obvodu 34 obnovení.

Na obr. 8 jsou znázorněny základní funkční průběhy bloku 3 polovodičové paměti při kolizi požadavku na čtení z oblasti polovodičové paměti s požadavkem na obnovení informace v této oblasti. V tomto případě je prioritně obsloužen požadavek na čtení z paměti. Průběhy 3110, 3420, 3230, 3510, 3630, 3430, 2210 a 3650 odpovídají v uvedeném pořadí průběhům na vstupu 311 čítače 31, na druhém vstupu 342 klopného obvodu 34 obnovení, výstupu 323 klopného obvodu 32, požadavku obnovení, prvním vstupu 351 druhého hradla 35, prvním výstupu 363 řídicích obvodů 36 polovodičové paměti, výstupu 343 klopného obvodu 34 obnovení, na prvním vstupu 221 paměťových obvodů 22 registru dat a na třetím výstupu 365 řídicích obvodů 36 polovodičové paměti.

PŘEDMĚT VYNÁLEZU

1. Zapojení obvodů pro rozšíření paměti feritové paměti polovodičovou, vyznačené tím, že adresová sběrnice styku operační paměti s procesorem je připojena na vstupní adresovou sběrnici (103) bloku (1) feritové paměti a zároveň na sběrnici (303) bloku (3) polovodičové paměti, přičemž startovací vodič styku paměti s procesorem je připojen k prvnímu vstupu (101) bloku (1) feritové paměti, k prvnímu vstupu (201) bloku (2) registru dat paměti a k prvnímu vstupu (301) bloku (3) polovodičové paměti a další vodič žádosti procesoru o zápis do paměti je připojen na druhý vstup (102) bloku (1) feritové paměti, k druhému vstupu (202) bloku (2) registru dat paměti a zároveň k druhému vstupu (302) bloku (3) polovodičové paměti, jehož třetí vstup (304) a čtvrtý vstup (305) tvoří opět vstupy styku paměti s procesorem a první výstup tohoto bloku (3) polovodičové paměti je připojen k třetímu vstupu (104) bloku (1) feritové paměti, jehož první výstup (106) je připojen k třetímu vstupu (204) bloku (2) registru dat paměti, jehož vnitřní datová sběrnice paměti (203) je připojena k vstupní vnitřní datové sběrnici (105) bloku (1) feritové paměti a dále k vstupní vnitřní datové sběrnici (306) bloku (3) polovodičové paměti, jehož výstupní vnitřní datová sběrnice (307) paměti je spolu s výstupní vnitřní datovou sběrnici (107) bloku (1) feritové paměti připojena na vstupní vnitřní datovou sběrnici (205) bloku (2) registru dat paměti, u něhož tvoří vnější výstupní datová sběrnice (207) spolu s vnější vstupní datovou sběrnici (206) vodiče styku s procesorem.

2. Zapojení podle bodu 1, vyznačené tím, že blok (1) feritové paměti se skládá z obvodů (12) vzorkování feritové paměti, obvodů (11) řízení feritové paměti, bloku (13) modulů feritové paměti a čtecího obvodu (14) feritové paměti, přičemž první vstup (101) bloku (1) feritové paměti je připojen k prvnímu vstupu (111) obvodů (11) řízení feritové paměti a k prvnímu vstupu (121) obvodů (12) vzorkování feritové paměti, druhý vstup (102) bloku (1) feritové paměti je připojen k druhému vstupu (112) obvodů (11) řízení feritové paměti a k druhému vstupu (122) obvodů (12) vzorkování feritové paměti, třetí vstup (104) bloku (1) feritové paměti je připojen k třetímu vstupu (113) obvodů (11) řízení feritové paměti, u nichž jsou první výstup (114), druhý výstup (115) a třetí výstup (116) připojeny v uvedeném pořadí na první vstup (111), druhý vstup (132) a třetí vstup (133) bloku (13) modulů feritové paměti, jehož adresová sběrnice (134) je připojena na adresovou sběrnici (103) bloku (1) feritové paměti a vstupní vnitřní datová sběrnice (135) bloku (13) modulů feritové paměti je připojena na vnitřní datovou sběrnici (105) bloku (1) feritové paměti, přičemž výstupní sběrnice (136) bloku (13) modulů feritové paměti je připojena k vstupní sběrnici (142) čtecího obvodu (14) feritové paměti, jehož první vstup (141) je připojen k druhému výstupu (124) obvodů (12) vzorkování feritové paměti, kde první výstup (123)

obvodů (12) vzorkování feritové paměti je připojen na první výstup (106) bloku (1) feritové paměti, přičemž výstupní vnitřní datová sběrnice (143) čtecího obvodu (14) paměti je připojena na vnitřní datovou sběrnici (107) bloku (1) feritové paměti.

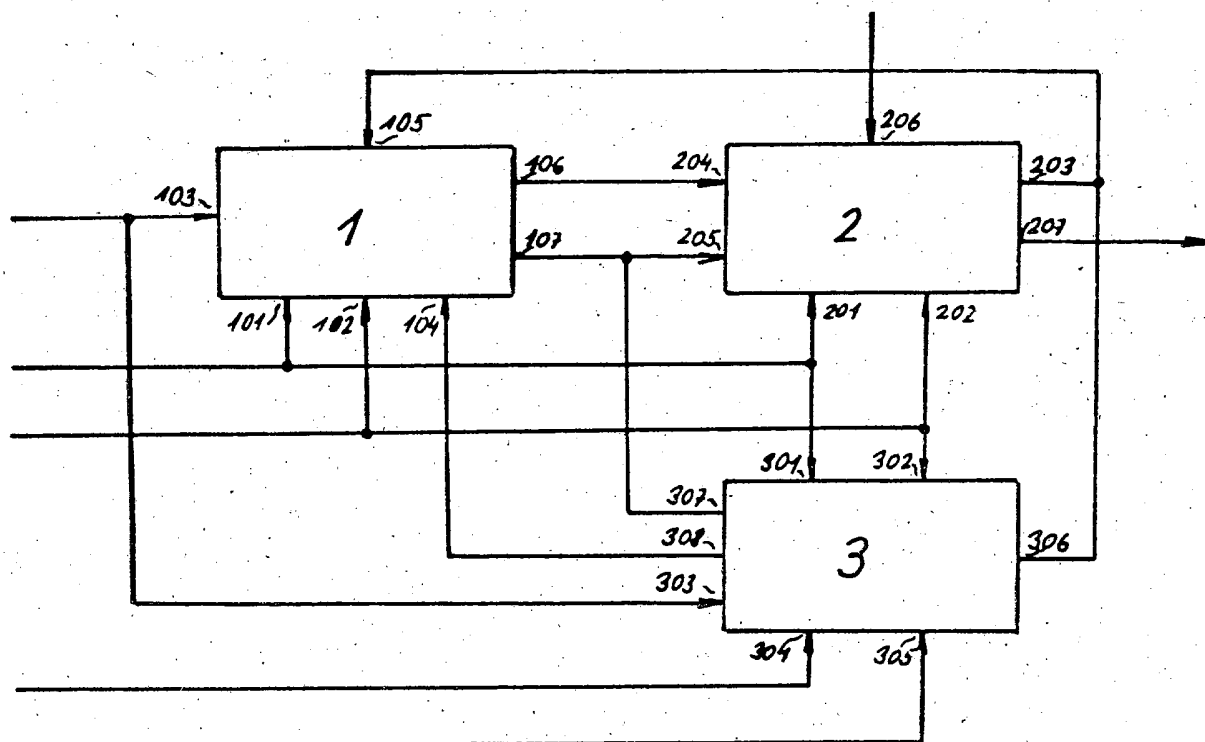
3. Zapojení podle bodu 1, vyznačené tím, že blok (2) registru dat paměti se skládá z paměťových obvodů (22) registru dat a řídicích obvodů (21) registru dat, přičemž první vstup (201), druhý vstup (202), třetí vstup (204), vstupní vnitřní datová sběrnice (205), výstupní vnitřní datová sběrnice (203), vnější vstupní datová sběrnice (206) a vnější výstupní datová sběrnice (207) bloku (2) registru dat paměti jsou připojeny v uvedeném pořadí na první vstup (211), druhý vstup (212) a třetí vstup (214) řídicích obvodů (21) registru dat a na vstupní vnitřní datovou sběrnici (223), výstupní vnitřní datovou sběrnici (224), vnější vstupní datovou sběrnici (225) a na vnější výstupní datovou sběrnici (226) paměťových obvodů (22) registru dat, jejichž první vstup (221) a druhý vstup (222) jsou v uvedeném pořadí připojeny na první výstup (213) a druhý výstup (214) řídicích obvodů (21) registru dat.

4. Zapojení podle bodu 1, vyznačené tím, že blok (3) polovodičové paměti se skládá z obvodu (31) čítače, klopného obvodu (32) požadavku obnovení, prvního hradla (33), klopného obvodu (34) obnovení, druhého hradla (35), řídicích obvodů (36) polovodičové paměti, dekódéru (37) adresy a bloku (38) modulů polovodičové paměti, přičemž třetí vstupní vodič (304) bloku (3) polovodičové paměti je připojen na vstup (311) obvodu (31) čítače, jehož výstup (312) je připojen k prvnímu vstupu (321) klopného obvodu (32) požadavku obnovení, u kterého je výstup (323) připojen k prvnímu vstupu (331) prvního hradla (33), přičemž výstup (333) tohoto hradla je připojen na první vstup (341) klopného obvodu (34) obnovení, jehož druhý vstup (342) je připojen na čtvrtý vodič (305) bloku (3) polovodičové paměti a jeho výstup (343) je připojen jednak na druhý vstup (382) bloku (38) modulů polovodičové paměti a dále na druhý vstup (322) klopného obvodu (32) požadavku obnovení a na druhý vstup (362) řídicích obvodů (36) polovodičové paměti, jejichž první výstup (361) je připojen na druhý vstup (332) prvního hradla (33), druhý výstup (364) a třetí výstup (365) řídicích obvodů (36) polovodičové paměti jsou připojeny v uvedeném pořadí na třetí vstup (383) a čtvrtý vstup (384) bloku (38) modulů polovodičové paměti, jehož vstupní výběrová sběrnice (385) je připojena na výstupní sběrnici (372) dekódéru (37) adresy, jehož vstupní sběrnice (371) je spolu se vstupní adresovou sběrnici (386) bloku (38) modulů polovodičové paměti připojena na adresovou sběrnici (303) bloku (3) polovodičové paměti, a dále druhý výstup (374) dekódéru (37) adresy tvoří zároveň první výstup (308) bloku (3) polovodičové paměti a první výstup (373) dekódéru (37) adresy je připojen na druhý vstup (352) druhého hradla (35),

jehož výstup (353) je připojen na první vstup (361) řídicích obvodů (36) polovodičové paměti, přičemž první vstupní vodič (301), druhý vstupní vodič (302), vstupní vnitřní datová sběrnice (306) a výstupní vnitřní datová sběrnice (307) bloku (3)

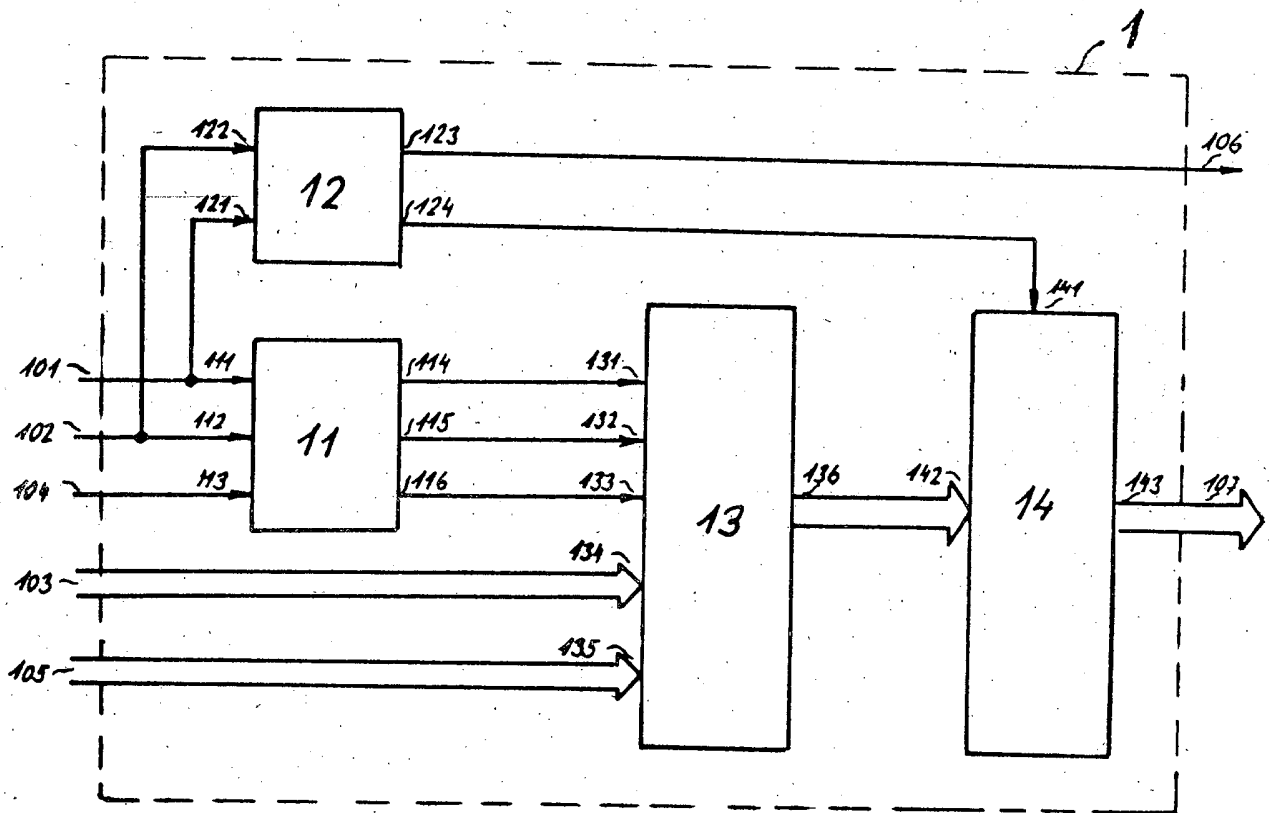
polovodičové paměti jsou připojeny v uvedeném pořadí na první vstup (351) druhého hradla (35), na první vstup (381), vstupní vnitřní datovou sběrnici (388) a výstupní vnitřní datovou sběrnici (387) bloku (38) modulů polovodičové paměti.

2 1 4 5 7 9

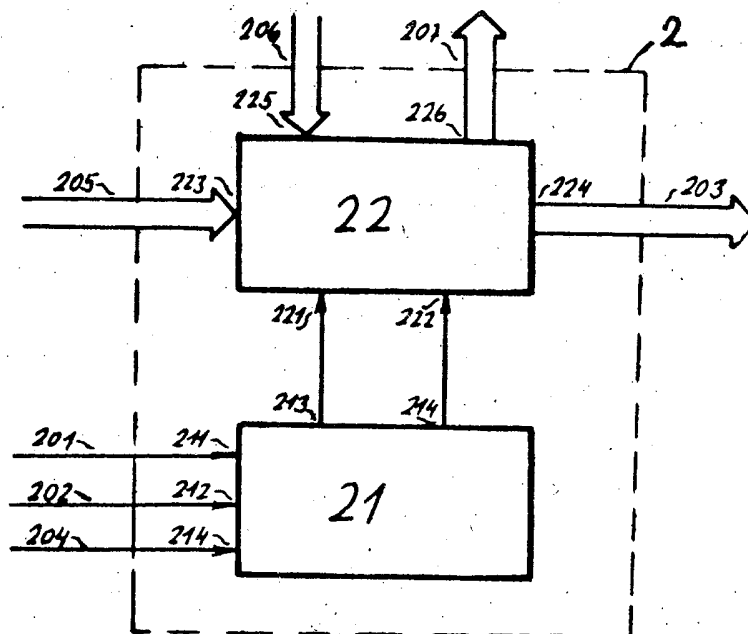


Obr. 1

214579

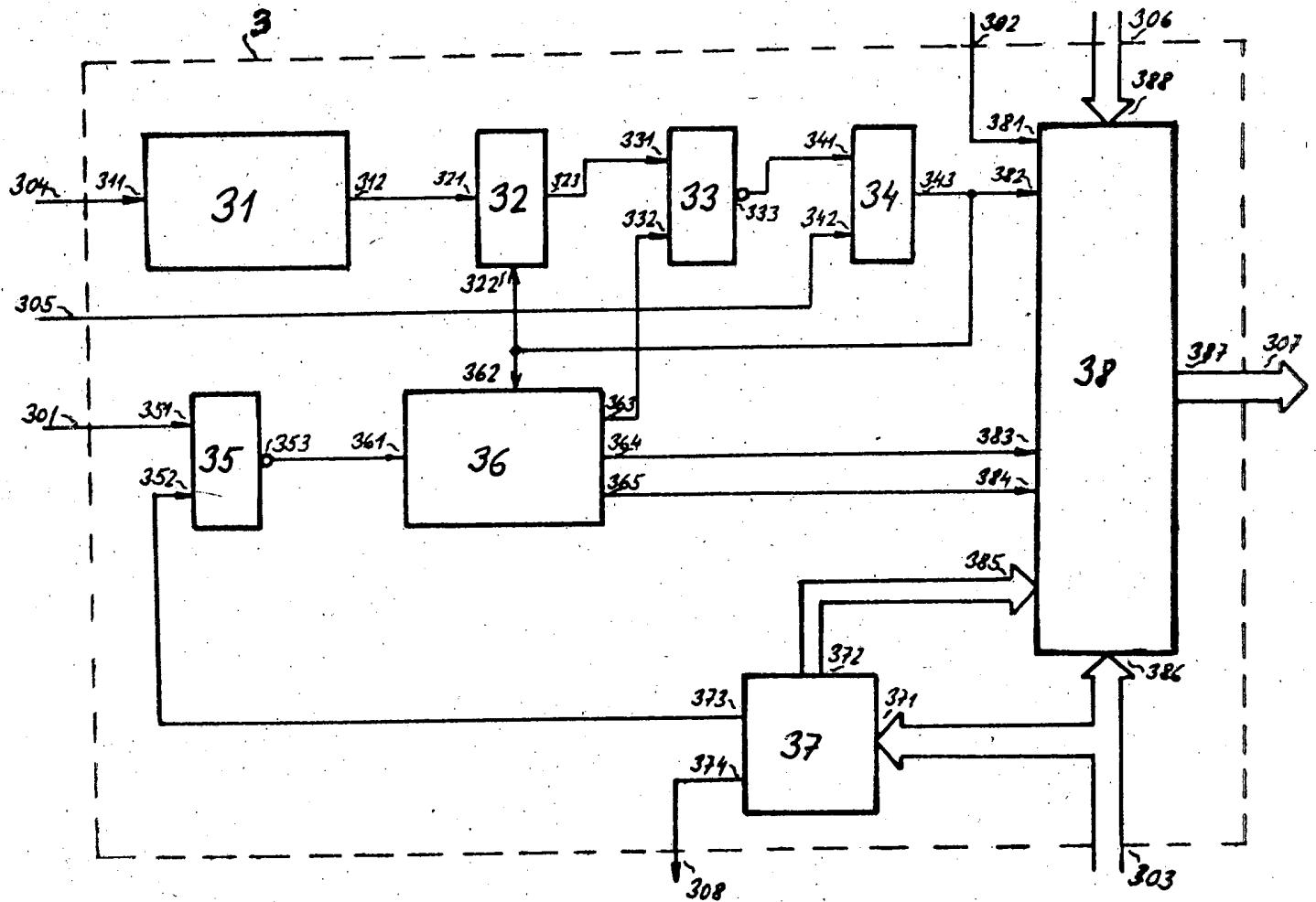


Obr. 2



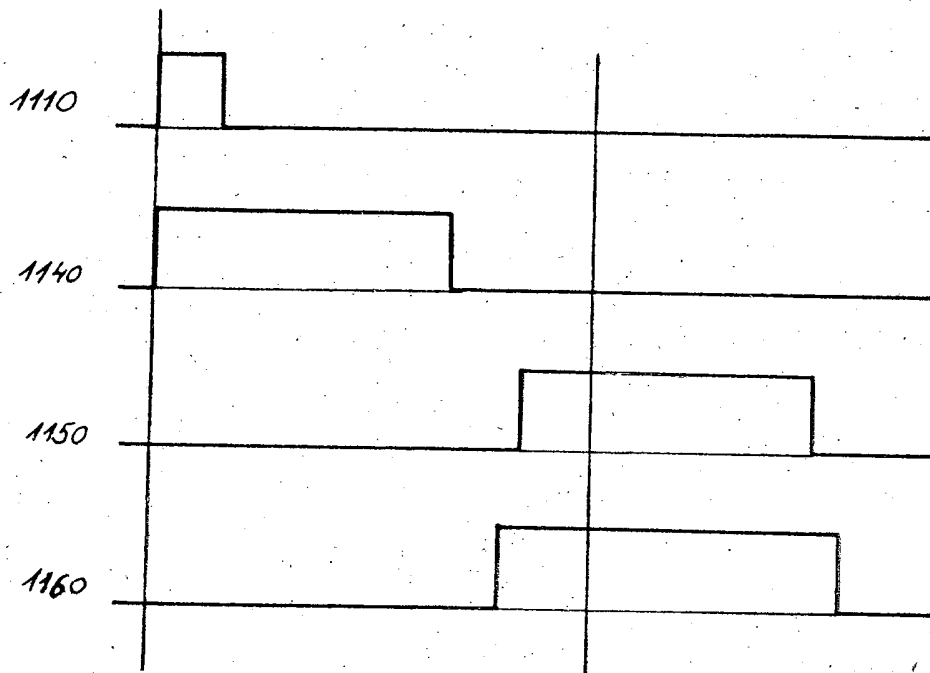
Obr. 3

214579

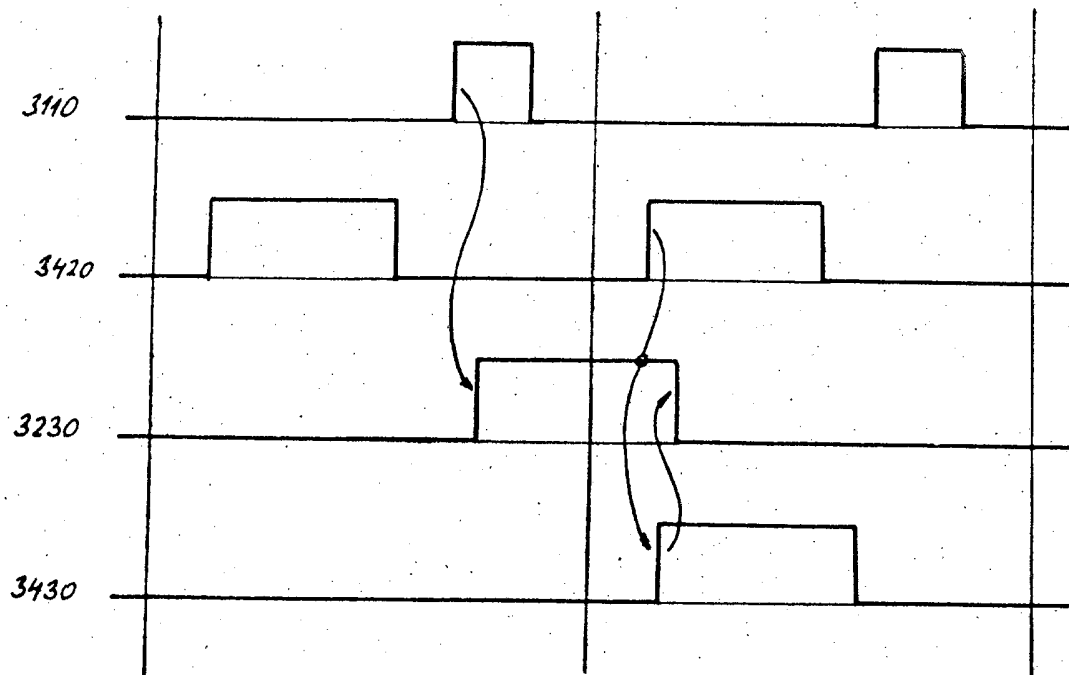


Obr. 4

214579

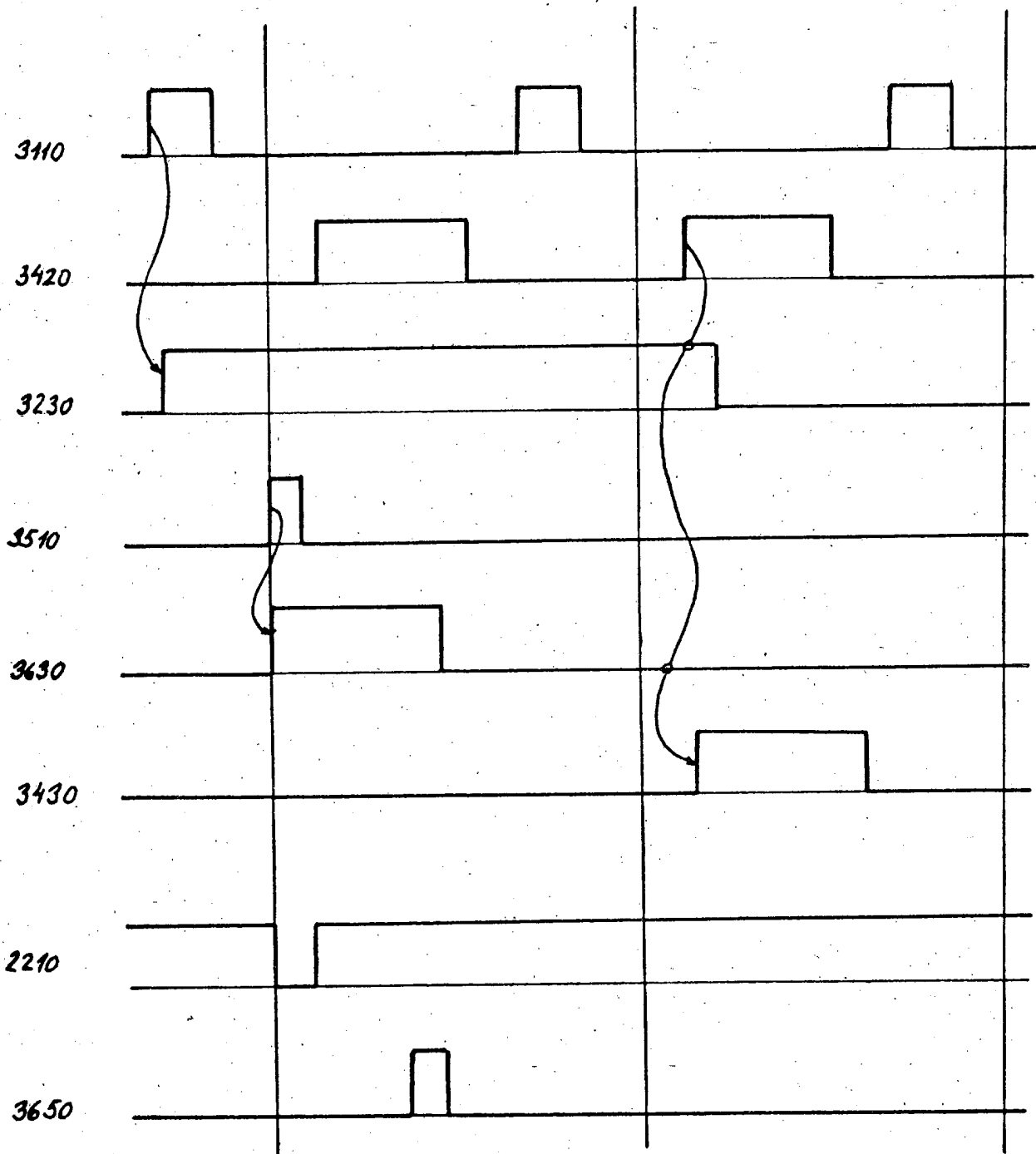


Obr. 5



Obr. 6

2 1 4 5 7 9



Obr. 7