

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6013706号
(P6013706)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G02F 1/133 (2006.01)	G02F 1/133	5 5 0
G02F 1/1368 (2006.01)	G02F 1/1368	
G09F 9/30 (2006.01)	G09F 9/30	3 3 8
G09G 3/20 (2006.01)	G09G 3/20	6 2 2 E
請求項の数 5 (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2011-31880 (P2011-31880)	(73) 特許権者	000153878
(22) 出願日	平成23年2月17日 (2011. 2. 17)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-191754 (P2011-191754A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成23年9月29日 (2011. 9. 29)	(72) 発明者	梅崎 敦司
審査請求日	平成26年2月14日 (2014. 2. 14)		神奈川県厚木市長谷 3 9 8 番地 株式会社
審査番号	不服2015-14505 (P2015-14505/J1)		半導体エネルギー研究所内
審査請求日	平成27年8月3日 (2015. 8. 3)	(72) 発明者	木村 肇
(31) 優先権主張番号	特願2010-33669 (P2010-33669)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(32) 優先日	平成22年2月18日 (2010. 2. 18)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)		
		合議体	
		審判長	清水 稔
		審判官	大和田 有軌
		審判官	関根 洋之
		最終頁に続く	

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

シフトレジスタを有し、

前記シフトレジスタは、第 1 乃至第 5 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電気的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線と電気的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電気的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 3 の配線と電気的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電気的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電気的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電気的に接続され、

10

20

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 2】

シフトレジスタを有し、

前記シフトレジスタは、第 1 乃至第 6 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、第 1 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 3 のトランジスタのゲートは、前記第 3 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 6 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 6 のトランジスタのゲートは、第 4 の配線と電氣的に接続され、

前記第 2 のトランジスタは、チャネル形成領域に酸化物半導体を有し、

前記第 6 のトランジスタは、チャネル形成領域に酸化物半導体を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記第 2 のトランジスタのオフ電流は、 1×10^{-18} A 以下であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の配線の配線幅は、前記第 1 のトランジスタのチャネル幅よりも小さいことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記シフトレジスタは、第 7 のトランジスタを有し、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 2 の配線と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタの W (W はチャネル幅) / L (L はチャネル長) は、前記第 2 のトランジスタの W / L の 1 . 5 倍以上 5 倍以下であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の一形態は表示装置に関する。例えば液晶表示装置が例示され、その他にゲート信号線とソース信号線とによって画素が選択され画像が表示されるような表示装置を技術分野の 1 つとして含む。また、表示装置に用いられる駆動回路などの半導体装置、表示装置を用いた電子機器も技術分野の 1 つとして含む。

【背景技術】

【0002】

アモルファスシリコントランジスタ (a - S i T F T と もいう) により構成されるゲートドライバ回路の開発が進められている。このようなゲートドライバ回路では、ゲート線の電位を低電位 (L レベルともいう) に維持するためのトランジスタ (プルダウントランジスタともいう) の閾値電圧がシフトすることにより、誤動作してしまうといった問題がある。この問題を解決するために、ゲート線の電位を低電位に維持するための期間において、プルダウントランジスタがオン状態とオフ状態とを繰り返すゲートドライバ回路が開示されている (例えば特許文献 1 及び特許文献 2) 。これにより、プルダウントランジスタがオン状態になる時間を短くすることができるので、プルダウントランジスタの劣化を抑制することができる。

20

【0003】

また、アモルファスシリコントランジスタにより構成されるゲートドライバ回路は、ゲート線に高電圧を出力するタイミングを制御するトランジスタ (プルアップトランジスタともいう) を有する。プルアップトランジスタは、ソース及びドレインの一方がクロック信号線と接続され、ソース及びドレインの他方がゲート信号線と接続される。そして、プルアップトランジスタのゲートの電位を容量結合によりクロック信号の H レベルの電位よりも高い値まで上昇させる駆動方法が用いられる。これを実現するために、プルアップトランジスタのゲートを浮遊状態にする必要がある。そのため、プルアップトランジスタのゲートと接続される全てのトランジスタをオフ状態にする必要がある。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 207413 号公報

【特許文献 2】特開 2008 - 009393 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

従来の技術では、プルダウントランジスタがオン状態とオフ状態とを繰り返すためには、プルダウントランジスタの導通状態を制御するための回路が必要となる。そのため、半導体装置の回路規模の縮小には限界があった。また、プルアップトランジスタのゲートと接続される全てのトランジスタがオフ状態になっても、該トランジスタのオフ電流により、プルアップトランジスタのゲートが保持する電荷は、時間と共に失われていた。そのため、ゲートドライバ回路等の半導体装置の駆動周波数を低くすることが困難であった。また、半導体装置が動作することができる駆動周波数の範囲が狭くなっていた。その結果、半

50

導体装置の駆動能力の向上に限界があった。

【 0 0 0 6 】

上記問題点に鑑み、本発明の一態様は、半導体装置の回路規模を縮小することを課題の一とする。また、本発明の一態様は、半導体装置の駆動能力の向上を図ることを課題の一とする。なお、本発明の一態様は、上述した課題のすべてを解決する必要はないものとする。

【課題を解決するための手段】

【 0 0 0 7 】

上述した課題は、当該プルアップトランジスタ又は当該プルダウントランジスタとして酸化物半導体によりチャネル領域が形成されるトランジスタを適用することによって解決できる。なお、当該酸化物半導体は、電子供与体（ドナー）となる不純物（水素又は水など）を徹底的に除去することにより高純度化された酸化物半導体である。

10

【 0 0 0 8 】

当該酸化物半導体は、 2.0 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3.0 eV 以上のバンドギャップを有する。そのため、当該酸化物半導体によりチャネル領域が形成されるトランジスタでは、衝突イオン化ならびにアバランシェ降伏が起きにくい。つまり、酸化物半導体中のキャリア（電子）は、容易に高速化されない。したがって、酸化物半導体によりチャネル領域が形成されるトランジスタでは、キャリア（電子）のゲート絶縁層への注入に起因するトランジスタのしきい値電圧の変動（いわゆる、ホットキャリア劣化）を抑制することができる。

20

【 0 0 0 9 】

また、当該酸化物半導体によりチャネル領域が形成されるトランジスタでは、キャリアが極めて少ない。そのため、チャネル幅 $1\text{ }\mu\text{m}$ 当たりのオフ電流を 1 aA （ $1 \times 10^{-18}\text{ A}$ ）以下とすることが可能である（これを $1\text{ aA} / \mu\text{m}$ と表す）。

【 0 0 1 0 】

すなわち、本発明の一態様は、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との交差領域に各々配置される画素と、前記複数のゲート信号線と電氣的に接続されるゲートドライバ回路とを有し、前記ゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、インバータ回路とを有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の配線と電氣的に接続され、前記インバータ回路の入力端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体によりチャネル領域が形成され、前記第1のトランジスタ及び前記第2のトランジスタのオフ電流が $1\text{ aA} / \mu\text{m}$ 以下である表示装置である。

30

【 0 0 1 1 】

また、本発明の一態様は、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との交差領域に各々配置される画素と、前記複数のゲート信号線と電氣的に接続されるゲートドライバ回路とを有し、前記ゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、インバータ回路とを有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の入力端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体によりチャネル領域が形成され、前記第1のトランジスタ及び前記第2のトランジスタのオフ電流が $1\text{ aA} / \mu\text{m}$ 以下である表示装置である。

40

50

【 0 0 1 2 】

また、本発明の一態様は、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との交差領域に各々配置される画素と、前記複数のゲート信号線と電氣的に接続されるゲートドライバ回路とを有し、前記ゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、インバータ回路とを有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の配線と電氣的に接続され、前記第3のトランジスタの第1の端子は、第4の配線と電氣的に接続され、前記第3のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第3のトランジスタのゲートは、前記第4の配線と電氣的に接続され、前記インバータ回路の入力端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタ乃至前記第3のトランジスタは、酸化物半導体によりチャネル領域が形成され、前記第1のトランジスタ乃至前記第3のトランジスタのオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下である表示装置である。

10

【 0 0 1 3 】

また、本発明の一態様は、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との交差領域に各々配置される画素と、前記複数のゲート信号線と電氣的に接続されるゲートドライバ回路とを有し、前記ゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、インバータ回路とを有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の配線と電氣的に接続され、前記第3のトランジスタの第1の端子は、前記第3の配線と電氣的に接続され、前記第3のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第3のトランジスタのゲートは、第4の配線と電氣的に接続され、前記インバータ回路の入力端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタ乃至前記第3のトランジスタは、酸化物半導体によりチャネル領域が形成され、前記第1のトランジスタ乃至前記第3のトランジスタのオフ電流が $1 \text{ aA} / \mu\text{m}$ 以下である表示装置である。

20

30

【 0 0 1 4 】

また、本発明の一態様は、複数のゲート信号線と、複数のソース信号線と、前記ゲート信号線と前記ソース信号線との交差領域に各々配置される画素と、前記複数のゲート信号線と電氣的に接続されるゲートドライバ回路とを有し、前記ゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、インバータ回路とを有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第2の配線と電氣的に接続され、前記第3のトランジスタの第1の端子は、第4の配線と電氣的に接続され、前記第3のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第3のトランジスタのゲートは、前記第4の配線と電氣的に接続され、前記第4のトランジスタの第1の端子は、前記第3の配線と電氣的に接続され、前記第4のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第4のトランジスタのゲートは、第5の配線と電氣的に接続され、前記インバータ回路の入力端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記インバータ回路の出力端子は、前記第2のトランジスタのゲートと電氣的に接続され、前記第1のトランジスタ乃至前記第4のトランジスタは、酸化物半導体によりチャネル領域が形成され、前記第1のトランジスタ乃至前記第

40

50

4のトランジスタのオフ電流が $1\text{ aA} / \mu\text{m}$ 以下である表示装置である。

【0015】

また、上記の表示装置と、前記表示装置の画像を操作する操作スイッチとを具備する電子機器も本発明の一態様である。

【0016】

本明細書等において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0017】

本明細書等において、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

【発明の効果】

【0018】

本発明の一態様は、酸化物半導体によりチャネル領域が形成されるトランジスタをブルダウントランジスタとして適用する。これにより、当該ブルダウントランジスタにおけるホットキャリア劣化を抑制することができる。そのため、ブルダウントランジスタとして機能するトランジスタの個数を低減することができる。また、これに付随して、ブルダウントランジスタのスイッチングを制御するための回路の規模を低減することができる。その結果、当該ブルダウントランジスタを有する半導体装置の回路規模を縮小することができる。

【0019】

また、本発明の一態様は、ブルアップトランジスタのゲートを、酸化物半導体によりチャネル領域が形成されるトランジスタのスイッチングによって浮遊状態とする。これにより、当該ブルアップトランジスタのゲートが保持する電荷を長期間に渡って保持することができる。そのため、当該ブルアップトランジスタを有する半導体装置の駆動周波数を低くすることができる。また、半導体装置が動作することができる駆動周波数の範囲を広くすることができる。その結果、半導体装置の駆動能力の向上を図ることができる。

【図面の簡単な説明】

【0020】

【図1】実施の形態1に係わる回路の構成を説明する図。

【図2】実施の形態1に係わる回路の動作を説明するためのタイミングチャート、及び実施の形態1に係わる回路の動作を説明するための模式図。

【図3】実施の形態1に係わる回路の動作を説明するための模式図。

【図4】実施の形態1に係わる回路の動作を説明するための模式図。

【図5】実施の形態1に係わる回路の構成を説明する図。

【図6】実施の形態1に係わる回路の構成を説明する図。

【図7】実施の形態1に係わる回路の構成を説明する図。

【図8】実施の形態1に係わる回路の構成を説明する図。

【図9】実施の形態1に係わる回路の動作を説明するためのタイミングチャート。

【図10】実施の形態1に係わる回路の構成を説明する図。

【図11】実施の形態2に係わるシフトレジスタ回路の構成を説明する図。

【図12】実施の形態2に係わるシフトレジスタ回路の動作を説明するためのタイミングチャート。

【図13】実施の形態3に係わるトランジスタの作製工程を説明するための図の一例。

【図14】実施の形態4に係わる表示装置の構成を説明する図。

【図15】本発明の技術的思想を具現化した機器の態様を例示する図。

【図16】本発明の技術的思想を具現化した機器の態様を例示する図。

10

20

30

40

50

【発明を実施するための形態】**【0021】**

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。参照する図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

10

【0022】**(実施の形態1)**

本実施の形態では、本発明の一態様である表示装置に係わる回路について説明する。

【0023】

図1(A)は、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105及び回路200を有する回路の構成例を示す。図1(A)に示す回路を構成するトランジスタは、Nチャネル型とする。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差が閾値電圧よりも大きい場合に、オン状態になるトランジスタである。

【0024】

なお、図1(A)に示す回路を構成するトランジスタの半導体層としては、酸化物半導体を用いることができる。この酸化物半導体は、水素濃度が十分に低減されて高純度化され、キャリア密度が十分に小さい、真性(i型)または実質的に真性(i型)にされたものであるとよい。これにより、トランジスタのS値の低減を図ることができる。トランジスタのオフ電流を小さくすることができる。トランジスタの耐圧の向上を図ることができる。トランジスタの温度特性の向上を図ることができる。トランジスタの劣化を抑制することができる。具体的には、トランジスタの閾値電圧のシフト量を低減することができる。

20

【0025】

なお、一部のトランジスタの半導体層として上記酸化物半導体を用い、それ以外のトランジスタの半導体層として上記酸化物半導体以外の半導体(例えばシリコン(非晶質シリコン、微結晶シリコン又は多結晶シリコン等)、有機半導体など)を用いることができる。ただし、少なくともソース又はドレインがトランジスタ101のゲートと接続されるトランジスタの半導体層としては、上記酸化物半導体を用いる。

30

【0026】

図1(A)に示す回路の接続関係について説明する。トランジスタ101の第1の端子は、配線111と接続される。トランジスタ101の第2の端子は、配線112と接続される。トランジスタ102の第1の端子は、配線113と接続される。トランジスタ102の第2の端子は、配線112と接続される。トランジスタ103の第1の端子は、配線113と接続される。トランジスタ103の第2の端子は、トランジスタ101のゲートと接続される。トランジスタ103のゲートは、トランジスタ102のゲートと接続される。トランジスタ104の第1の端子は、配線114と接続される。トランジスタ104の第2の端子は、トランジスタ101のゲートと接続される。トランジスタ104のゲートは、配線114と接続される。トランジスタ105の第1の端子は、配線113と接続される。トランジスタ105の第2の端子は、トランジスタ101のゲートと接続される。トランジスタ105のゲートは、配線115と接続される。回路200の入力端子は、トランジスタ101のゲートと接続される。回路200の出力端子は、トランジスタ102のゲートと接続される。なお、トランジスタ101のゲートをノード11と示し、トランジスタ102のゲートをノード12と示す。なお、回路200は、その構成に応じて、任意の配線又は任意のノードと接続することができる。例えば、回路200は、配線111、配線112、配線113、配線114、配線115、ノード11及びノード12の中の

40

50

1つ以上と接続することが可能である。

【0027】

なお、トランジスタのソース及びドレインは、トランジスタの構造や動作条件等によって替わるため、いずれがソース又はドレインであるかを特定することが困難である。そこで、本書類においては、ソース及びドレインの一方を第1の端子、ソース及びドレインの他方を第2の端子と表記し、区別することとする。

【0028】

回路200の構成の一例について、図1(B)を参照して説明する。回路200は、トランジスタ201、トランジスタ202、トランジスタ203及びトランジスタ204を有する。トランジスタ201の第1の端子は、配線116と接続される。トランジスタ201の第2の端子は、ノード12と接続される。トランジスタ202の第1の端子は、配線113と接続される。トランジスタ202の第2の端子は、ノード12と接続される。トランジスタ202のゲートは、ノード11と接続される。トランジスタ203の第1の端子は、配線116と接続される。トランジスタ203の第2の端子は、トランジスタ201のゲートと接続される。トランジスタ203のゲートは、配線116と接続される。トランジスタ204の第1の端子は、配線113と接続される。トランジスタ204の第2の端子は、トランジスタ201のゲートと接続される。トランジスタ204のゲートは、ノード11と接続される。

【0029】

配線111には、クロック信号が入力される。配線112には、本実施の形態の回路の出力信号が入力される。配線113には、電圧V2が供給される。配線114には、スタートパルスが入力される。配線115には、リセット信号が入力される。配線116には、電圧V1が供給される。ここで、配線111、配線112、配線114及び配線115に入力される信号のHレベルの電位を便宜上電位V1とし、配線111、配線112、配線114及び配線115に入力される信号のLレベルの電位を便宜上電位V2とする。

【0030】

配線111は、コントローラ等の外部回路から本実施の形態の回路に、クロック信号等の信号を伝達するための配線であり、信号線又はクロック信号線としての機能を有する。配線112は、画素回路又はデマルチプレクサ等の回路に本実施の形態の回路の出力信号を伝達するための配線であり、信号線又はゲート信号線としての機能を有する。配線113は、電源回路等の外部回路から本実施の形態の回路に、電圧V2等の電源電圧を供給するための配線であり、電源線、負電源線又はグラウンド線としての機能を有する。配線114は、タイミングコントローラ等の外部回路又は別の回路から本実施の形態の回路に、スタート信号を伝達するための配線であり、信号線としての機能を有する。配線115は、タイミングコントローラ等の外部回路又は別の回路から本実施の形態の回路に、リセット信号を伝達するための配線であり、信号線としての機能を有する。配線116は、電源回路等の外部回路から本実施の形態の回路に、電圧V1等の電源電圧を供給するための配線であり、電源線又は正電源線としての機能を有する。

【0031】

トランジスタ101は、配線111と配線112との導通状態を制御するスイッチとしての機能を有する。また、トランジスタ101は、第2の端子とゲートとの容量結合により、ノード11の電位を上昇させるタイミングを制御する機能を有する。トランジスタ102は、配線113と配線112との間の導通状態を制御するスイッチとしての機能を有する。

トランジスタ103は、配線113とノード11との間の導通状態を制御するスイッチとしての機能を有する。トランジスタ104は、配線114とノード11との間の導通状態を制御するスイッチとしての機能を有する。また、トランジスタ104は、入力端子が配線114と接続され、出力端子がノード11と接続されたダイオードとしての機能を有する。トランジスタ105は、配線113とノード11との間の導通状態を制御するスイッチとしての機能を有する。トランジスタ201は、配線116とノード12との間の導通

10

20

30

40

50

状態を制御するスイッチとしての機能を有する。また、トランジスタ201は、第2の端子とゲートとの容量結合により、ノード21の電位を上昇させるタイミングを制御する機能を有する。トランジスタ202は、配線113とノード12との間の導通状態を制御するスイッチとしての機能を有する。トランジスタ203は、配線116とのノード12との間の導通状態を制御するスイッチとしての機能を有する。また、トランジスタ203は、入力端子が配線116と接続され、出力端子がノード21と接続されたダイオードとしての機能を有する。トランジスタ204は、配線113とノード21との間の導通状態を制御するスイッチとしての機能を有する。

【0032】

回路200は、ノード12の電位を制御し、トランジスタ102及びトランジスタ103の導通状態を制御する制御回路としての機能を有する。また、回路200は、ノード11の電位を反転してノード12に出力するインバータ回路としての機能を有する。

10

【0033】

次に、図1(A)及び図1(B)に示す回路の動作の例について、図2(A)に示すタイミングチャートを参照して説明する。ここでは、図1(B)に示す回路を例にして説明する。図2(A)に示すタイミングチャートは、期間A、期間B、期間C、及び期間Dを有する。

【0034】

期間Aでは、配線111の電位(電位V111と示す)はV2になり、配線114の電位(電位V114と示す)はV1になり、配線115の電位(電位V115と示す)はV2になる。これにより、トランジスタ104はオン状態になり、配線114とノード11とは導通状態になる。トランジスタ105はオフ状態になる。このとき、回路200は、ノード12の電位(電位V12と示す)をV2にする。これにより、トランジスタ102はオフ状態になり、配線113と配線112とは非導通状態になる。トランジスタ103はオフ状態になり、配線113とノード11とは非導通状態になる。よって、ノード11には配線114の電位が供給され、ノード11の電位(電位V11と示す)は上昇し始める。やがて、ノード11の電位は、 $V2 + V_{th101}$ (V_{th101} はトランジスタ101の閾値電圧)よりも高くなる。これにより、トランジスタ101はオン状態になり、配線111と配線112とは導通状態になる。よって、配線112には配線111の電位が供給され、配線112の電位(電位V112と示す)はV2と等しくなる(図2(B)参照)。

20

30

【0035】

その後、ノード11の電位は、さらに上昇を続ける。やがて、ノード11の電位は、 $V1 - V_{th104}$ (V_{th104} はトランジスタ104の閾値電圧)に到達する。これにより、トランジスタ104はオフ状態になり、配線114とノード11とは非導通状態になる。よって、ノード11は浮遊状態になり、ノード11の電位は $V1 - V_{th104}$ ($V1 - V_{th104}$ は、 $V2 + V_{th101}$ よりも高い値)と等しい値を維持する(図3(A)参照)。

【0036】

期間Bでは、配線111の電位はV1になり、配線114の電位はV2になり、配線115の電位はV2のままである。これにより、トランジスタ104はオフ状態のままであり、配線114とノード11とは非導通状態のままである。トランジスタ105はオフ状態のままであり、配線113とノード11とは非導通状態のままである。このとき、回路200は、ノード12の電位をV2と等しいままにする。これにより、トランジスタ102はオフ状態のままであり、配線113と配線112とは非導通状態のままである。トランジスタ103はオフ状態のままであり、配線113とノード11とは非導通状態のままである。よって、ノード11は浮遊状態のままであるため、ノード11の電位は $V1 - V_{th104}$ と等しい値のままである。これにより、トランジスタ101はオン状態のままであり、配線111と配線112とは導通状態のままである。このとき、配線111の電位はV1になる。そのため、配線112の電位は上昇し始める。すると、ノード11は浮遊

40

50

状態なので、ノード11の電位は、トランジスタ101のゲートと第2の端子との間の寄生容量により上昇し始める。最終的には、ノード11の電位は、 $V_1 + V_{th101} + V_a$ (V_a は正の電位)まで到達する。これにより、配線112の電位は V_1 と等しい値まで上昇することができる(図3(B)参照)。このような動作をブートストラップ動作という。

【0037】

期間Cでは、配線111の電位は V_2 になり、配線114の電位は V_2 のままであり、配線115の電位は V_1 になる。これにより、トランジスタ104はオフ状態のままであり、配線114とノード11とは非導通状態のままである。トランジスタ105はオン状態になり、配線113とノード11とは導通状態になる。よって、ノード11には配線113の電位が供給され、ノード11の電位は V_2 と等しくなる。これにより、トランジスタ101はオフ状態になり、配線111と配線112とは非導通状態になる。このとき、回路200は、ノード12の電位を V_1 と等しくする。これにより、トランジスタ102はオン状態になり、配線113と配線112とは導通状態になる。トランジスタ103はオン状態になり、配線113とノード11とは導通状態になる。よって、配線112には配線113の電位が供給されるので、配線112の電位は V_2 になる(図4(A)参照)。

【0038】

期間Dでは、配線111の電位は V_1 と V_2 とを順番に繰り返し、配線114の電位は V_2 のままであり、配線115の電位は V_2 になる。これにより、トランジスタ104はオフ状態のままであり、配線114とノード11とは非導通状態のままである。トランジスタ105はオフ状態になり、配線113とノード11とは非導通状態になる。このとき、回路200は、ノード12の電位を V_1 のままにする。これにより、トランジスタ102はオン状態のままであり、配線113と配線112とは導通状態のままである。トランジスタ103はオン状態のままであり、配線113とノード11とは導通状態のままである。よって、ノード11には、配線113の電位が供給されるままであるため、ノード11の電位は V_2 のままである。これにより、トランジスタ101はオフ状態のままであるため、配線111と配線112とは非導通状態のままである。よって、配線112には配線113の電位が供給されるままであるため、配線112の電位は V_2 のままである(図4(B)参照)。

【0039】

次に、回路200の動作について具体的に説明する。例えば、ノード11の電位が、 $V_2 + V_{th202}$ (V_{th202} はトランジスタ202の閾値電圧)以上であり、且つ $V_2 + V_{th204}$ (V_{th204} はトランジスタ204の閾値電圧)以上であるとする。これにより、トランジスタ202はオン状態になり、配線113とノード12とは導通状態になる。トランジスタ204はオン状態になり、配線113とノード21とは導通状態になる。このとき、トランジスタ203はオン状態になり、配線116とノード21とは導通状態になる。よって、ノード21には、配線116の電位と配線113の電位とが供給され、ノード21の電位(電位 V_{21} と示す)は、 V_2 よりも高く、 V_1 よりも低い電位になる。このノード21の電位は、トランジスタ203の電流供給能力(例えばチャネル長、チャネル幅、移動度など)と、トランジスタ204の電流供給能力とによって決まる。ここでは、ノード21の電位は、 $V_2 + V_{th201}$ (V_{th201} はトランジスタ201の閾値電圧)よりも低い値とする。これにより、トランジスタ201はオフ状態になり、配線116とノード12とは非導通状態になる。よって、ノード12には配線113の電位が供給され、ノード12の電位は V_2 と等しくなる(例えば期間A及び期間B)。

【0040】

一方、例えば、ノード11の電位が、 $V_2 + V_{th202}$ 未満であり、且つ $V_2 + V_{th204}$ 未満であるとする。これにより、トランジスタ202はオフ状態になり、配線113とノード12とは非導通状態になる。トランジスタ204はオフ状態になり、配線113とノード21とは非導通状態になる。このとき、トランジスタ203はオン状態になり、配線116とノード21とは導通状態になる。よって、ノード21には配線116の電

10

20

30

40

50

位が供給され、ノード21の電位は上昇する。そして、ノード21の電位は、最終的には $V1 + V_{th201} + V_b$ (V_b は正の電位)になる。これにより、トランジスタ201はオン状態になり、配線116とノード12とは導通状態になる。よって、ノード12には配線116の電位が供給され、ノード12の電位は $V1$ になる(例えば期間C及び期間D)。

【0041】

以上のように、図1(A)及び図1(B)に示す回路は、ブートストラップ動作を用いることにより、配線112の電位を配線111の電位と等しい値とすることができる。さらに、期間Bにおいて、トランジスタ101のゲートとソースとの間の電位差(V_{gs})を大きくすることができるので、 $V112$ の立ち上がり時間を短くすることができる。

10

【0042】

なお、従来の技術では、トランジスタの S 値は大きいものであった。そのため、配線114の電位が $V1$ になってから、トランジスタ104がオン状態になるまでの時間が長くなっていた。また、期間Aを長くする必要があるので、駆動周波数を高くすることが困難であった。また、 $V112$ の立ち上がり時間が長くなっていた(出力信号の立ち上がり時間が長くなっていた)。また、配線112に接続できる負荷が小さくなっていた。また、トランジスタ101のチャネル幅が大きくなっていた。また、レイアウト面積が大きくなっていた。

【0043】

これに対し、本実施の形態では、トランジスタの S 値は小さい。そのため、駆動能力の向上を図ることができる。例えば、トランジスタ104の S 値が小さいことにより、配線114の電位が $V1$ になってから、トランジスタ104がオン状態になるまでの時間を短くすることができる。そのため、期間Aの時間を短くすることができる。これにより、駆動周波数の向上を図ることができる。別の例として、トランジスタ101の S 値が小さいことにより、 $V112$ の立ち上がり時間を短くすることができる。また、配線112に大きい負荷を接続しても、該負荷を駆動することができる。また、トランジスタ101のチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。

20

【0044】

なお、従来の技術では、トランジスタのオフ電流は大きいものであった。そのため、時間の経過と共にノード11から失われる電荷の量が多かった。また、ノード11の電位が低下していた。また、ノード11の電位をトランジスタ101がオン状態になる電位以上に維持できる時間が短くなっていた。また、駆動周波数を低くすることが困難であった。また、動作することができる駆動周波数の範囲が狭くなっていた。

30

【0045】

これに対し、本実施の形態では、トランジスタのオフ電流は小さい。そのため、駆動能力の向上を図ることができる。例えば、トランジスタ103、トランジスタ104及びトランジスタ105のオフ電流が小さいことにより、ノード11から失われる電荷の量を少なくすることができる。そのため、ノード11の電位の低下を抑制することができる。つまり、ノード11の電位をトランジスタ101がオン状態になる電位以上に維持できる時間を、長くすることができる。これにより、駆動周波数を低くすることができるので、動作することができる駆動周波数の範囲を広くすることができる。

40

【0046】

なお、従来の技術では、トランジスタは劣化しやすく、トランジスタの閾値電圧のシフト量が大きかった。そのため、トランジスタがオン状態とオフ状態とを繰り返すように駆動していた。また、2つのトランジスタを並列に接続し、これらの2つのトランジスタを交互にオン状態にしていた。また、トランジスタの導通状態を制御するための回路が複雑になっていた。また、トランジスタの数が増えていた。また、トランジスタの劣化を抑制するために、トランジスタのチャネル幅を大きくする必要があった。また、トランジスタの劣化を抑制するために、トランジスタのチャネル長を大きくする必要があった。また、レイアウト面積が大きくなっていた。

50

【 0 0 4 7 】

これに対し、本実施の形態では、トランジスタの閾値電圧のシフト量は小さい。そのため、駆動能力の向上を図ることができる。例えば、トランジスタ 1 0 2 及びトランジスタ 1 0 3 の閾値電圧のシフト量が小さいことにより、これらのトランジスタがオン状態になる時間を長くすることができる。そのため、トランジスタ 1 0 2 及びトランジスタ 1 0 3 の導通状態を制御する回路を簡単にすることができる。これにより、トランジスタの数を減らすことができるので、レイアウト面積を小さくすることができる。また、トランジスタ 1 0 2 及びトランジスタ 1 0 3 の閾値電圧のシフト量が小さいことにより、これらのトランジスタのチャネル幅又はチャネル長を小さくすることができる。これにより、レイアウト面積を小さくすることができる。また、トランジスタの閾値電圧のシフト量が小さいことにより、動作することが可能な時間を長くすることができる。

10

【 0 0 4 8 】

本発明の一態様である表示装置に係わる回路は、図 1 (A) 及び図 1 (B) に示す回路に限定されず、他にも様々な構成の回路を用いることができる。その一例について以下に説明する。

【 0 0 4 9 】

例えば、図 1 (A)、図 1 (B) に示す回路において、図 5 (A) に示すように、回路 2 0 0 の入力端子は、配線 1 1 2 と接続することが可能である。具体的には、トランジスタ 2 0 2 のゲートは配線 1 1 2 と接続し、トランジスタ 2 0 4 のゲートは配線 1 1 2 と接続することが可能である。なお、図 5 (A) は、図 1 (A) に示す回路において、回路 2 0 0 の入力端子が配線 1 1 2 と接続される場合の構成を示す図である。

20

【 0 0 5 0 】

別の例として、図 1 (A)、図 1 (B) 及び図 5 (A) に示す回路において、図 5 (B) に示すように、トランジスタ 1 0 3 の第 1 の端子は、配線 1 1 2 と接続し、トランジスタ 1 0 3 のゲートは、配線 1 1 1 と接続することが可能である。こうすれば、トランジスタ 1 0 3 がオンになる時間を短くすることができるため、トランジスタ 1 0 3 の劣化を抑制することができる。また、期間 B において、ノード 1 1 の電位が高くなり過ぎることを防止することができるため、ノード 1 1 と電気的に接続されたトランジスタ (例えば、トランジスタ 1 0 1、トランジスタ 1 0 4、トランジスタ 1 0 5 又は回路 2 0 0 を構成するトランジスタ等) の破壊の防止又は劣化の抑制等を行うことができる。なお、図 5 (B) は、図 1 (A) に示す回路において、トランジスタ 1 0 3 の第 1 の端子が、配線 1 1 2 と接続され、トランジスタ 1 0 3 のゲートが、配線 1 1 1 と接続される場合の構成を示す図である。

30

【 0 0 5 1 】

別の例として、図 1 (A)、図 1 (B)、図 5 (A) 及び図 5 (B) に示す回路において、図 5 (C) に示すように、トランジスタ 1 0 4 の第 1 の端子は、配線 1 1 6 と接続することが可能である。なお、図 5 (C) は、図 1 (A) に示す回路において、トランジスタ 1 0 4 の第 1 の端子が、配線 1 1 6 と接続される場合の構成を示す図である。

【 0 0 5 2 】

図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B) 及び図 5 (C) に示す回路には、トランジスタ又は容量素子等の様々な素子を設けることができる。その一例について以下に説明する。

40

【 0 0 5 3 】

例えば、図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B) 及び図 5 (C) に示す回路において、図 6 (A) に示すように、第 1 の端子が配線 1 1 3 と接続され、第 2 の端子が配線 1 1 2 と接続され、ゲートが配線 1 1 5 と接続されるトランジスタ 1 2 1 を設けることが可能である。トランジスタ 1 2 1 は、期間 C においてオン状態になり、配線 1 1 3 の電位が配線 1 1 2 に供給される。よって、V 1 1 2 の立ち下がり時間を短くすることができる。なお、図 6 (A) は、図 1 (A) に示す回路にトランジスタ 1 2 1 を設ける場合の構成を示す図である。

50

【 0 0 5 4 】

別の例として、図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B)、図 5 (C) 及び図 6 (A) に示す回路において、図 6 (B) に示すように、第 1 の端子が配線 1 1 3 と接続され、第 2 の端子がノード 1 2 と接続され、ゲートが配線 1 1 4 と接続されるトランジスタ 1 2 2 を設けることが可能である。トランジスタ 1 2 2 は、期間 A においてオン状態になり、配線 1 1 3 の電位がノード 1 2 に供給される。これにより、期間 A において、V 1 2 の立ち下がり時間を短くすることができ、トランジスタ 1 0 3 がオフ状態になるタイミングを早くすることができる。よって、ノード 1 1 の電位が V 1 - V t h 1 0 4 に到達するタイミングを早くすることができるため、期間 A を短くすることができる。その結果、駆動周波数を高くすることができる。なお、図 6 (B) は、図 1 (A) に示す回路にトランジスタ 1 2 2 を設ける場合の構成を示す図である。

10

【 0 0 5 5 】

別の例として、図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B)、図 5 (C)、図 6 (A) 及び図 6 (B) に示す回路において、図 6 (C) に示すように、第 1 の端子が配線 1 1 6 と接続され、第 2 の端子がノード 1 2 と接続され、ゲートが配線 1 1 5 と接続されるトランジスタ 1 2 3 を設けることが可能である。トランジスタ 1 2 3 は、期間 C においてオン状態になり、配線 1 1 6 の電位がノード 1 2 に供給される。これにより、期間 C において、V 1 2 の立ち上がり時間を短くすることができる。そのため、トランジスタ 1 0 2 及びトランジスタ 1 0 3 がオン状態になるタイミングを早くすることができる。その結果、配線 1 1 3 の電位が配線 1 1 2 に供給されるタイミングを早くすることができるため、V 1 1 2 の立ち下がり時間を短くすることができる。なお、図 6 (C) は、図 1 (A) に示す回路にトランジスタ 1 2 3 を設ける場合の構成を示す図である。

20

【 0 0 5 6 】

別の例として、図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B)、図 5 (C)、図 6 (A)、図 6 (B) 及び図 6 (C) に示す回路において、図 7 (A) に示すように、第 1 の端子が配線 1 1 1 と接続され、第 2 の端子が配線 1 1 7 と接続され、ゲートがノード 1 1 と接続されるトランジスタ 1 2 4 と、第 1 の端子が配線 1 1 3 と接続され、第 2 の端子が配線 1 1 7 と接続され、ゲートがノード 1 2 と接続されるトランジスタ 1 2 5 とを設けることが可能である。これにより、配線 1 1 7 の電位を、配線 1 1 2 の電位が変化するタイミングと等しいタイミングで変化させることができる。例えば、配線 1 1 2 及び配線 1 1 7 の一方を負荷と接続し、配線 1 1 2 及び配線 1 1 7 の他方を別の回路と接続するとよい。なお、トランジスタ 1 2 5 を省略することが可能である。なお、図 7 (A) は、図 1 (A) に示す回路にトランジスタ 1 2 4 及びトランジスタ 1 2 5 を設ける場合の構成を示す図である。

30

【 0 0 5 7 】

別の例として、図 1 (A)、図 1 (B)、図 5 (A)、図 5 (B)、図 5 (C)、図 6 (A)、図 6 (B)、図 6 (C) 及び図 7 (A) に示す回路において、図 7 (B) に示すように、トランジスタ 1 0 1 のゲートと第 2 の端子との間に容量素子 1 2 6 を設けることが可能である。なお、トランジスタ 1 2 4 のゲートと第 2 の端子との間にも、容量素子 1 2 6 を設けることが可能である。なお、図 7 (B) は、図 1 (A) に示す回路に容量素子 1 2 6 を設ける場合の構成を示す図である。

40

【 0 0 5 8 】

回路 2 0 0 は、図 1 (B) に示す構成に限定されず、他にも様々な構成とすることができる。別の構成の一例について説明する。例えば、図 8 (A) に示すように、トランジスタ 2 0 1 とトランジスタ 2 0 2 とを省略することが可能である。なお、図 8 (A) に示す回路 2 0 0 において、図 8 (B) に示すように、トランジスタ 2 0 3 のゲートは、ノード 1 2 と接続することが可能である。また、図 8 (A) に示す回路 2 0 0 において、図 8 (C) に示すように、トランジスタ 2 0 3 のゲートは、配線 1 1 8 と接続することが可能である。配線 1 1 8 には、配線 1 1 1 に入力される信号の反転信号（反転クロック信号）、又は配線 1 1 1 に入力される信号とは位相がずれた（例えば 1 8 0 °、9 0 °、4 5 ° など

50

位相がずれた)信号が入力されとする。そのため、配線118は、信号線、クロック信号線又は反転クロック信号線としての機能を有するとする。ただし、回路200が有する機能を実現できれば、回路200は、前述する構成に限定されない。

【0059】

上記の回路には、図2(A)に示すタイミングチャートに限定されず、他にも様々なタイミングチャートを用いることができる。その一例について説明する。例えば、図9(A)に示すように、配線111に入力される信号は、非平衡であることが可能である。これにより、期間Cにおいて、配線111の電位がV2になるタイミングよりも、配線115の電位がV1になるタイミングを遅くすることができるため、V112の立ち下がり時間を短くすることができる。別の例として、図9(B)に示すように、配線111に入力する信号は、多相のクロック信号とすることが可能である。これにより、消費電力の削減を図ることができる。なお、図9(B)は、配線111に4相のクロック信号を入力する場合のタイミングチャートの一例を示す図である。

10

【0060】

トランジスタ101のW/L(W:チャンネル幅、L:チャンネル長)比は、トランジスタ102、トランジスタ103、トランジスタ104、トランジスタ105のW/L比よりも大きいことが好ましい。特に、トランジスタ101のW/L比は、トランジスタ104のW/L比の1.5倍以上、10倍以下であることが好ましい。より好ましくは、1.8倍以上、7倍以下である。さらに好ましくは、2倍以上、4倍以下である。また、トランジスタ102のW/L比は、トランジスタ103のW/L比よりも大きいことが好ましい。なぜなら、トランジスタ102の負荷(例えば配線112)よりも、トランジスタ103の負荷(例えばロード11)の方が小さいからである。特に、トランジスタ102のW/L比は、トランジスタ103のW/L比の1.5倍以上、8倍以下であることが好ましい。より好ましくは、2倍以上、6倍以下である。さらに好ましくは、2倍以上、5倍以下である。また、トランジスタ102のチャンネル長及びトランジスタ103のチャンネル長の少なくとも1つは、トランジスタ105のチャンネル長よりも大きいことが好ましい。特に、トランジスタ102のチャンネル長及びトランジスタ103のチャンネル長の少なくとも1つは、トランジスタ105のチャンネル長の1倍より大きく、4倍以下であることが好ましい。より好ましくは、1.3倍以上、3倍以下である。さらに好ましくは、1.8倍以上、2.5倍以下である。

20

30

【0061】

配線111の配線幅は、トランジスタ101のチャンネル幅、トランジスタ102のチャンネル幅及びトランジスタ104のチャンネル幅の少なくとも1つよりも小さいことが好ましい。また、配線111の配線幅は、配線116の少なくとも一部の配線幅よりも大きい部分を含むことが好ましい。

【0062】

本実施の形態で説明される回路として、以下の構成を本発明の一態様として含む。トランジスタ101と、トランジスタ102と、回路200を有する半導体装置(図10(A)参照)。トランジスタ101と、トランジスタ103と、回路200を有する半導体装置(図10(B)参照)。トランジスタ101と、トランジスタ102と、トランジスタ103と、回路200を有する半導体装置(図10(C)参照)。トランジスタ101と、トランジスタ102と、トランジスタ104と、回路200を有する半導体装置(図10(D)参照)。

40

【0063】

(実施の形態2)

本実施の形態では、本発明の一態様である表示装置に係わるシフトレジスタ回路について説明する。本実施の形態のシフトレジスタ回路は、実施の形態1で説明される回路を含むことができる。また、本実施の形態のシフトレジスタ回路は、ゲートドライバ回路及び/又はソースドライバ回路等の表示装置の駆動回路に用いることができる。

【0064】

50

図 1 1 は、 N (N は自然数) 個の回路 3 0 1 (回路 3 0 1 __ 1 乃至 3 0 1 __ N と示す) を有するシフトレジスタ回路の構成例を示す図である。回路 3 0 1 としては、実施の形態 1 で説明される回路を用いることができる。図 1 1 は、回路 3 0 1 として図 1 (A) に示す回路が用いられる場合の例を示す。

【0065】

図 1 1 に示すシフトレジスタ回路の接続関係について説明する。回路 3 0 1 __ i (i は 2 以上 $N - 1$ 未満の自然数) の接続関係を例にして説明する。回路 3 0 1 __ i は、配線 3 1 1 __ i 、配線 3 1 1 __ $i - 1$ 、配線 3 1 1 __ $i + 1$ 、配線 3 1 2 及び配線 3 1 3 の一方、及び配線 3 1 4 と接続される。具体的には、回路 3 0 1 __ i において、配線 1 1 2 は配線 3 1 1 __ i と接続され、配線 1 1 4 は配線 3 1 1 __ $i - 1$ と接続され、配線 1 1 5 は配線 3 1 1 __ $i + 1$ と接続され、配線 1 1 1 は配線 3 1 2 及び配線 3 1 3 の一方と接続され、配線 1 1 3 は配線 3 1 4 と接続される。なお、回路 3 0 1 __ i において、配線 1 1 1 が配線 3 1 2 と接続される場合、回路 3 0 1 __ $i + 1$ 及び回路 3 0 1 __ $i - 1$ において、配線 1 1 1 は配線 3 1 3 と接続される。なお、回路 3 0 1 __ 1 は、配線 1 1 4 が配線 3 1 5 と接続されるところが回路 3 0 1 __ i と異なる。また、回路 3 0 1 __ N は、配線 1 1 5 がダミー回路 (回路 3 0 1 __ D と示す) の出力端子と接続されるところが回路 3 0 1 __ i と異なる。なお、回路 3 0 1 __ D としては、回路 3 0 1 と同様の構成を用いることが可能であるし、回路 3 0 1 の構成の一部を用いることが可能である。

10

【0066】

図 1 1 に示すシフトレジスタ回路の動作について、図 1 2 に示すタイミングチャートを参照して説明する。

20

【0067】

回路 3 0 1 __ i の動作を例にして説明する。まず、配線 3 1 1 __ $i - 1$ の電位 (電位 V_{311_i-1} と示す) が V_1 になる。すると、回路 3 0 1 __ i は、実施の形態 1 において説明した期間 A における動作を行い、配線 3 1 1 __ i の電位 (電位 V_{311_i} と示す) は V_2 になる。その後、配線 3 1 2 の電位 (電位 V_{312} と示す) 及び配線 3 1 3 の電位 (電位 V_{313} と示す) が反転する。すると、回路 3 0 1 __ i は、実施の形態 1 において説明した期間 B における動作を行い、配線 3 1 1 __ i の電位は V_1 になる。その後、配線 3 1 2 の電位及び配線 3 1 3 の電位が反転し、配線 3 1 1 __ $i + 1$ の電位 (電位 V_{311_i+1} と示す) が V_1 になる。すると、回路 3 0 1 __ i は、実施の形態 1 において説明した期間 C における動作を行い、配線 3 1 1 __ i の電位は V_2 になる。その後、回路 3 0 1 __ i は、再び配線 3 1 1 __ $i - 1$ の電位が V_1 になるまで、実施の形態 1 において説明した期間 D における動作を行い、配線 3 1 1 __ i の電位は V_2 のままである。ただし、回路 3 0 1 __ 1 は、配線 3 1 5 の電位 (電位 V_{315} と示す) が V_1 になると、期間 A における動作を行うところが回路 3 0 1 __ i と異なる。また、回路 3 0 1 __ N は、回路 3 0 1 __ D の出力信号が V_1 になると、期間 C における動作を行うところが回路 3 0 1 __ i と異なる。

30

【0068】

以上のように、配線 3 1 1 __ 1 の電位 (電位 V_{311_1} と示す) から配線 3 1 1 __ N の電位 (電位 V_{311_N} と示す) を順に V_1 にすることができる。そして、実施の形態 1 で説明される回路により構成されることにより、図 1 1 に示すシフトレジスタ回路は、実施の形態 1 で説明される回路と同様のメリットを得ることができる。

40

【0069】

配線 3 1 1 (配線 3 1 1 __ 1 から配線 3 1 1 __ N のうちのの一つ) には、シフトレジスタ回路の出力信号が入力される。配線 3 1 2 には、クロック信号が入力される。配線 3 1 3 には、配線 3 1 2 に入力されるクロック信号とは位相が異なるクロック信号、又は配線 3 1 2 に入力されるクロック信号の反転信号が入力される。配線 3 1 4 には、電圧 V_2 が供給される。配線 3 1 5 には、スタート信号が入力される。

【0070】

配線 3 1 1 は、画素回路又はデマルチプレクサ等の回路にシフトレジスタ回路の出力信号

50

を伝達するための配線であり、信号線又はゲート信号線としての機能を有する。配線 3 1 2 及び配線 3 1 3 は、コントローラ等の外部回路から本実施の形態のシフトレジスタ回路に、クロック信号等の信号を伝達するための配線であり、信号線又はクロック信号線としての機能を有する。配線 3 1 4 は、電源回路等の外部回路から本実施の形態のシフトレジスタ回路に、電圧 V 2 等の電源電圧を供給するための配線であり、電源線、負電源線又はグラウンド線としての機能を有する。配線 3 1 5 は、コントローラ等の外部回路から本実施の形態のシフトレジスタ回路に、スタート信号を伝達するための配線であり、信号線としての機能を有する。

【 0 0 7 1 】

(実施の形態 3)

本実施の形態では、実施の形態 1 又は 2 で説明される回路を構成するトランジスタの一例について説明する。具体的には、チャネル領域が酸化物半導体によって形成されるトランジスタの構造及び作製工程の一例について説明する。

【 0 0 7 2 】

酸化物半導体としては、四元系金属酸化物である $\text{In} - \text{Sn} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体、三元系金属酸化物である $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{In} - \text{Al} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{Sn} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{Al} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体、若しくは $\text{Sn} - \text{Al} - \text{Zn} - \text{O}$ 系酸化物半導体、又は二元系金属酸化物である $\text{In} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{Sn} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{Al} - \text{Zn} - \text{O}$ 系酸化物半導体、 $\text{Zn} - \text{Mg} - \text{O}$ 系酸化物半導体、 $\text{Sn} - \text{Mg} - \text{O}$ 系酸化物半導体、 $\text{In} - \text{Mg} - \text{O}$ 系酸化物半導体、 $\text{In} - \text{O}$ 系酸化物半導体、 $\text{Sn} - \text{O}$ 系酸化物半導体、若しくは $\text{Zn} - \text{O}$ 系酸化物半導体などの酸化物半導体を用いることができる。また、上記酸化物半導体に SiO_2 を添加した酸化物半導体でもよい。

【 0 0 7 3 】

また、酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ m は自然数でない) で表記される物質を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ m は自然数でない) で表記される構造の酸化物半導体のうち、 M として Ga を含む構造の酸化物半導体を、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 酸化物半導体とよび、その薄膜を $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系膜ともよぶこととする。また、本明細書でいう $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ で表記される酸化物半導体材料は、 $\text{InGaO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ m は自然数でない) であり、 m が自然数でないことは、 $\text{ICP} - \text{MS}$ 分析や、 RBS 分析を用いて確認することができる。

【 0 0 7 4 】

チャネル領域が酸化物半導体によって形成されるトランジスタの作製方法の一形態を、図 1 3 を参照して説明する。

【 0 0 7 5 】

図 1 3 (A) 乃至 (D) は、トランジスタの断面構造の一例を示す図である。図 1 3 (D) に示すトランジスタ 4 1 0 は、チャネルエッチ型と呼ばれるボトムゲート構造の一つである。

【 0 0 7 6 】

また、図 1 3 (D) には、シングルゲート構造のトランジスタを示すが、必要に応じて、チャネル領域を複数有するマルチゲート構造のトランジスタとすることができる。

【 0 0 7 7 】

以下、図 1 3 (A) 乃至 (D) を用い、基板 4 0 0 上にトランジスタ 4 1 0 を作製する工程を説明する。

【 0 0 7 8 】

まず、絶縁表面を有する基板 4 0 0 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 4 1 1 を形成する。

10

20

30

40

50

【0079】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、後の加熱処理の温度が高い場合には、歪み点が730以上のガラス基板を用いると良い。

【0080】

下地膜となる絶縁膜を基板400とゲート電極層411の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

10

【0081】

また、ゲート電極層411は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0082】

次いで、ゲート電極層411上にゲート絶縁層402を形成する。

【0083】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。また、ゲート絶縁層として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とする。

20

【0084】

本実施の形態では、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0085】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化珪素層の形成を行ってもよい。ここで高密度プラズマ装置は、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁層の成膜を行う。高密度プラズマ装置により得られた絶縁層は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁層は、薄い膜の厚みを精密に制御することができる。

30

【0086】

高密度プラズマ装置により得られる絶縁層は、従来の平行平板型のPCVD装置で得られる絶縁層とは膜質が大きく異なっており、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁層の10%以上または20%以上エッチング速度が遅く、高密度プラズマ装置で得られる絶縁層は緻密な層と言える。

40

【0087】

なお、後の工程でi型化又は実質的にi型化される酸化物半導体(高純度化された酸化物半導体)は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層(GI)は、高品質化が要求される。従ってμ波(2.45GHz)を用いた高密度プラズマCVDは、緻密で絶縁耐压の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成することが重要

50

である。

【0088】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する。酸化物半導体膜430は、In-Ga-Zn-O系やIn-Zn-O系などの酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430として、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図13(A)に相当する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0089】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比])を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

【0090】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の混入を防ぎ、酸化物半導体層431を得る(図13(B)参照)。

【0091】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Annealing)装置、LRTA(Lamp Rapid Thermal Annealing)装置等のRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

【0092】

例えば、第1の加熱処理として、650~700の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0093】

なお、第1の加熱処理の雰囲気においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガス、乾燥空気に、水、水素などが含まれないことが好ましい。例えば、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0094】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

【0095】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

【0096】

なお、ここでの酸化物半導体膜430のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0097】

ドライエッチングに用いる酸化物半導体膜430のエッチングガスとしては、塩素を含むガス（例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）など）が好ましい。

【0098】

ウェットエッチングに用いる酸化物半導体膜430のエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0099】

次いで、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、アルミニウム（Al）、クロム（Cr）、銅（Cu）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、上述した元素の窒化膜を用いてもよい。また、マンガン（Mn）、マグネシウム（Mg）、ジルコニウム（Zr）、ベリリウム（Be）、イットリウム（Y）のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する3層構造などが挙げられる。

【0100】

金属導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

【0101】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415bを形成した後、レジストマスクを除去する（図13（C）参照）。

【0102】

本実施の形態では、金属導電膜としてチタン膜を用いて、酸化物半導体層431にはIn-Ga-Zn-O系酸化物を用いて、エッチャントとしてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0103】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0104】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる

10

20

30

40

50

。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0105】

次いで、亜酸化窒素 (N_2O)、窒素 (N_2)、またはアルゴン (Ar) などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0106】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層 431 の一部に接する保護絶縁膜となる酸化物絶縁層 416 を形成する。

10

【0107】

酸化物絶縁層 416 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、酸化物絶縁層 416 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層 416 に水素が含まれると、その水素の酸化物半導体層への侵入が生じ酸化物半導体層 431 のバックチャネルが低抵抗化 (N 型化) してしまい、寄生チャネルが形成される。よって、酸化物絶縁層 416 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0108】

本実施の形態では、酸化物絶縁層 416 として膜厚 200 nm の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化珪素膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

20

【0109】

次いで、不活性ガス雰囲気下、乾燥空気雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは 200 以上 400 以下、例えば 250 以上 350 以下) を行う。例えば、窒素雰囲気下で 250、1 時間の第 2 の加熱処理を行う。第 2 の加熱処理を行うと、酸化物半導体層の一部 (チャネル領域) が酸化物絶縁層 416 と接した状態で加熱される。これにより、酸化物半導体層の一部 (チャネル領域) に酸素が供給される。

30

【0110】

以上の工程を経ることによって、酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行った後、酸化物半導体層の一部 (チャネル領域) を選択的に酸素過剰な状態とする。以上の工程でトランジスタ 410 が形成される。

【0111】

さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。本実施の形態では 150 で 10 時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

40

【0112】

酸化物絶縁層 416 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタ法を用いて窒化珪素膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化珪素膜、窒化アルミニウム膜、窒化酸化珪素膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層 403 を、窒化珪素膜を用いて形成する (図 13 (D) 参照)。

【0113】

50

本実施の形態においてトランジスタ410の酸化物半導体層は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外に不純物が極力含まれないように高純度化することにより真性(i型)とし、又は実質的に真性型としたものである。すなわち、不純物を添加してi型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたi型(真性半導体)又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位(E_f)を真性フェルミ準位(E_i)と同じレベルにまですることができる。

【0114】

酸化物半導体のバンドギャップ(E_g)が3.15 eVであり、電子親和力()は4.3 eVであると言われている。ソース電極層及びドレイン電極層を構成するチタン(Ti)の仕事関数は、酸化物半導体の電子親和力()とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

10

【0115】

例えば、トランジスタのチャネル幅Wが $1 \times 10^4 \mu m$ でチャネル長Lが3 μm の素子であっても、室温において、オフ電流が $10^{-13} A$ 以下であり、S値が0.1 V/decade(ゲート絶縁層膜厚100 nm)であることが可能である。

【0116】

このように、酸化物半導体の主成分以外に不純物が極力含まれないように高純度化することにより、トランジスタ410の動作を良好なものとすることができる。

20

【0117】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化合物(水素化合物ともいう)などの不純物を意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分である酸素を供給することから高純度化及び電氣的にI型(真性)化された酸化物半導体である。

【0118】

よって酸化物半導体中の水素は少なければ少ないほどよい。また、高純度化された酸化物半導体中にはキャリアが極めて少なく(ゼロに近い)、キャリア密度は $1 \times 10^{12} / cm^3$ 未満、好ましくは $1 \times 10^{11} / cm^3$ 未満である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くする。酸化物半導体層中にキャリアが極めて少ないため、トランジスタでは、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。トランジスタは、チャネル幅(w)1 μm あたりの電流値が100 aA以下、好ましくは10 zA(zeptoアンペア)以下、更に好ましくは1 zA以下である。さらに、pn接合がなく、ホットキャリア劣化がないため、これらにトランジスタの電気的特性が影響を受けない。

30

【0119】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体をチャネル領域に用いたトランジスタは、オフ電流を極めて小さくすることができる。つまり、トランジスタの非導通状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、トランジスタの導通状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

40

【0120】

また、低温ポリシリコンを具備するトランジスタでは、酸化物半導体を用いて作製されたトランジスタと比べて、オフ電流が10000倍程度大きい値であると見積もって設計を行っている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備するトランジスタに比べて、保持容量が同等(0.1 pF程度)である際、電圧の保持期間を10000倍程度に引き延ばすことができる。一例として、動画表示を每秒60フレームで行う場合、1回の信号書き込みによる保持期間を10000倍の160秒程度とすることができる。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。

50

【 0 1 2 1 】

(実施の形態 4)

本実施の形態では、本発明の一態様に係わる表示装置の例について説明する。

【 0 1 2 2 】

図 1 4 (A) は、実施の形態 2 のシフトレジスタ回路が用いられる表示装置の例を示す。図 1 4 (A) に示す表示装置は、タイミングコントローラ 5 3 6 0 と、ソースドライバ回路 5 3 6 2、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 を有する駆動回路 5 3 6 1 と、画素部 5 3 6 4 とを有する。画素部 5 3 6 4 には、ソースドライバ回路 5 3 6 2 から複数のソース信号線 5 3 7 1 が延伸して配置され、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 から複数のゲート信号線 5 3 7 2 が延伸して配置されている。複数のソース信号線 5 3 7 1 と複数のゲート信号線 5 3 7 2 との交差領域には、各々、画素 5 3 6 7 がマトリクス状に配置される。

10

【 0 1 2 3 】

なお、表示装置は、照明装置とその制御回路などを有することができる。この場合、画素 5 3 6 7 は、液晶素子を有するとよい。

【 0 1 2 4 】

なお、ゲートドライバ回路 5 3 6 3 __ 1 とゲートドライバ回路 5 3 6 3 __ 2 との一方を省略することができる。

【 0 1 2 5 】

タイミングコントローラ 5 3 6 0 は、駆動回路 5 3 6 1 に制御信号を供給することにより、駆動回路 5 3 6 1 の動作を制御する機能を有する回路である。例えば、タイミングコントローラ 5 3 6 0 は、ソースドライバ回路 5 3 6 2 に、スタート信号 S S P、クロック信号 S C K、反転クロック信号 S C K B、映像信号 D A T A、ラッチ信号 L A T 等の制御信号を供給する。また、タイミングコントローラ 5 3 6 0 は、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 に、スタート信号 G S P、クロック信号 G C K、反転クロック信号 G C K B 等の制御信号を供給する。

20

【 0 1 2 6 】

ソースドライバ回路 5 3 6 2 は、複数のソース信号線 5 3 7 1 に映像信号をそれぞれ出力する機能を有する回路であり、駆動回路又は信号線駆動回路などと呼ぶことができる。映像信号は、画素 5 3 6 7 に入力され、画素 5 3 6 7 を構成する表示素子は、映像信号に応じた階調となる。

30

【 0 1 2 7 】

ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 は、各行の画素 5 3 6 7 を順番に選択する機能を有する回路であり、駆動回路又は走査線駆動回路と呼ぶことができる。画素 5 3 6 7 を選択するタイミングの制御は、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 がゲート信号線 5 3 7 2 にゲート信号を出力することにより行われる。

【 0 1 2 8 】

なお、図 1 4 (A) に示す表示装置において、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 は、画素部 5 3 6 4 と同じ基板に形成することができる。図 1 4 (B) は、画素部 5 3 6 4 と同じ基板 (基板 5 3 8 0 と示す) に、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 が形成される場合の例を示す。なお、基板 5 3 8 0 と外部回路とは、端子 5 3 8 1 を介して接続される。

40

【 0 1 2 9 】

なお、図 1 4 (A) に示す表示装置において、ソースドライバ回路 5 3 6 2 の一部 (例えばスイッチ、マルチプレクサ、シフトレジスタ回路、デコーダ回路、インバータ回路、バッファ回路、及び / 又はレベルシフタ回路など) は、画素部 5 3 6 4 と同じ基板に形成することができる。図 1 4 (C) は、画素部 5 3 6 4 と同じ基板 (基板 5 3 8 0 と示す) に、ゲートドライバ回路 5 3 6 3 __ 1 及びゲートドライバ回路 5 3 6 3 __ 2 とソースドライバ回路 5 3 6 2 の一部 (5 3 6 2 a と示す) が形成され、ソースドライバ回路 5 3 6 2 の

50

別の部分（５３６２ｂと示す）は基板５３８０とは異なる基板に形成される場合の例を示す。

【０１３０】

表示装置の駆動回路又は駆動回路の一部として、実施の形態２で説明されるシフトレジスタ回路を用いることができる。特に、表示装置の駆動回路が実施の形態３で説明されるトランジスタにより構成される場合、実施の形態２で説明されるシフトレジスタ回路を用いることで、駆動回路の駆動能力の向上を図ることができる。そのため、表示装置を大型にすることができる。または、表示装置の解像度の向上を図ることができる。または、駆動回路のレイアウト面積を小さくすることができるので、表示装置の額縁を小さくすることができる。

10

【０１３１】

（実施の形態５）

本実施の形態においては、電子機器の例について説明する。

【０１３２】

図１５（Ａ）乃至図１５（Ｈ）、図１６（Ａ）乃至図１６（Ｄ）は、電子機器を示す図である。これらの電子機器は、筐体５０００、表示部５００１、スピーカ５００３、ＬＥＤランプ５００４、操作キー５００５（電源スイッチ、又は操作スイッチを含む）、接続端子５００６、センサ５００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を有する）、マイクロフォン

20

【０１３３】

図１５（Ａ）はモバイルコンピュータであり、上述したものの他に、スイッチ５００９、赤外線ポート５０１０、等を有することができる。図１５（Ｂ）は記録媒体を備えた携帯型の画像再生装置（たとえば、ＤＶＤ再生装置）であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図１５（Ｃ）はゴーグル型ディスプレイであり、上述したものの他に、第２表示部５００２、支持部５０１２、イヤホン５０１３、等を有することができる。図１５（Ｄ）は携帯型遊技機であり、上述したものの他に、記録媒体読込部５０１１、等を有することができる。図１５（Ｅ）はプロジェクタであり、上述したものの他に、光源５０３３、投射レンズ５０３４、等を有することができる。図１５（Ｆ）は携帯型遊技機であり、上述したものの他に、第２表示部５００２、記録媒体読込部５０１１、等を有することができる。図１５（Ｇ）はテレビ受像機であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図１５（Ｈ）は持ち運び型テレビ受像機であり、上述したものの他に、信号の送受信が可能な充電器５０１７、等を有することができる。図１６（Ａ）はディスプレイであり、上述したものの他に、支持台５０１８、等を有することができる。図１６（Ｂ）はカメラであり、上述したものの他に、外部接続ポート５０１９、シャッターボタン５０１５、受像部５０１６、等を有することができる。図１６（Ｃ）はコンピュータであり、上述したものの他に、ポインティングデバイス５０２０、外部接続ポート５０１９、リーダ／ライタ５０２１、等を有することができる。図１６（Ｄ）は携帯電話機であり、上述したものの他に、アンテナ、ワンセグ（携帯電話・移動端末向けの１セグメント部分受信サービス）用チューナ、等を有することができる。

30

40

【０１３４】

図１５（Ａ）乃至図１５（Ｈ）、図１６（Ａ）乃至図１６（Ｄ）に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の

50

表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図１５（Ａ）乃至図１５（Ｈ）、図１６（Ａ）乃至図１６（Ｄ）に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【０１３５】

図１６（Ｅ）に、表示装置を、建造物と一体にして設けた例について示す。図１６（Ｅ）は、筐体５０２２、表示部５０２３、操作部であるリモコン装置５０２４、スピーカ５０２５等を含む。表示装置は、壁かけ型として建物と一体となっており、広い設置スペースを必要とすることなく設置可能である。

10

【０１３６】

図１６（Ｆ）に、建造物内に表示装置を、建造物と一体にして設けた別の例について示す。表示パネル５０２６は、ユニットバス５０２７と一体に取り付けられており、入浴者は表示パネル５０２６の視聴が可能になる。

【０１３７】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に表示装置を設置することができる。

20

【０１３８】

次に、表示装置を、移動体と一体にして設けた例について示す。

【０１３９】

図１６（Ｇ）は、表示装置を、自動車に設けた例について示した図である。表示パネル５０２８は、自動車の車体５０２９に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【０１４０】

図１６（Ｈ）は、表示装置を、旅客用飛行機と一体にして設けた例について示した図である。図１６（Ｈ）は、旅客用飛行機の座席上部の天井５０３０に表示パネル５０３１を設けたときの、使用時の形状について示した図である。表示パネル５０３１は、天井５０３０とヒンジ部５０３２を介して一体に取り付けられており、ヒンジ部５０３２の伸縮により乗客は表示パネル５０３１の視聴が可能になる。表示パネル５０３１は乗客が操作することで情報を表示する機能を有する。

30

【０１４１】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【０１４２】

本実施の形態に示す電子機器に、実施の形態２のシフトレジスタ回路を搭載することが好ましい。特に、電子機器の表示部を駆動するための回路として、実施の形態２のシフトレジスタ回路を搭載することが好ましい。実施の形態２のシフトレジスタ回路を電子機器の表示部を駆動するための回路として搭載することで、駆動回路の面積を縮小することができる、表示部を大型化することができる。また、表示部の解像度の向上を図ることができる。

40

【符号の説明】

【０１４３】

１１	ノード
１２	ノード
２１	ノード

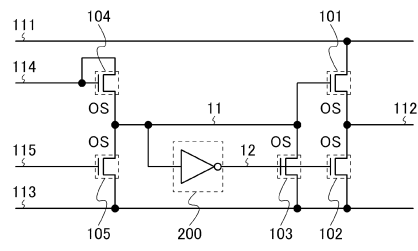
50

1 0 1	トランジスタ	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	トランジスタ	
1 0 5	トランジスタ	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	
1 1 4	配線	
1 1 5	配線	10
1 1 6	配線	
1 1 7	配線	
1 1 8	配線	
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 2 3	トランジスタ	
1 2 4	トランジスタ	
1 2 5	トランジスタ	
1 2 6	容量素子	
2 0 0	回路	20
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	トランジスタ	
3 0 1	回路	
3 1 1	配線	
3 1 2	配線	
3 1 3	配線	
3 1 4	配線	
3 1 5	配線	30
4 0 0	基板	
4 0 2	ゲート絶縁層	
4 0 3	保護絶縁層	
4 1 0	トランジスタ	
4 1 1	ゲート電極層	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	40
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	第 2 表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	50

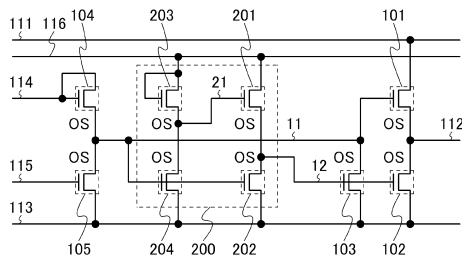
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	10
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	20
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 3 6 0	タイミングコントローラ	
5 3 6 1	回路	
5 3 6 2	回路	
5 3 6 2 a	回路	
5 3 6 2 b	回路	
5 3 6 3 __ 1	回路	
5 3 6 3 __ 2	回路	
5 3 6 4	画素部	30
5 3 6 7	画素	
5 3 7 1	ソース信号線	
5 3 7 2	ゲート信号線	
5 3 8 0	基板	
5 3 8 1	端子	

【図 1】

(A)

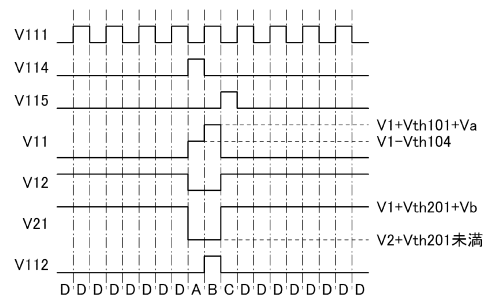


(B)

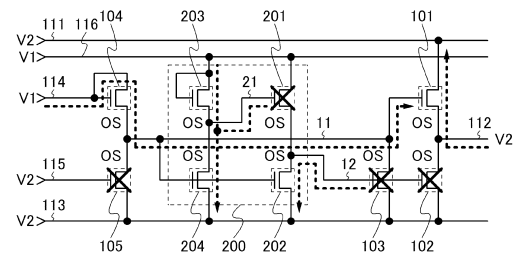


【図 2】

(A)

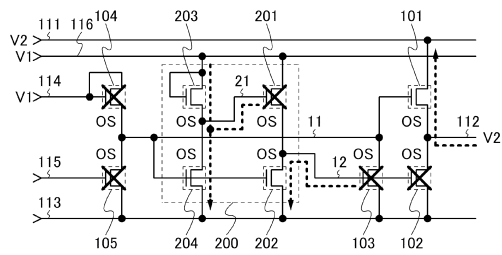


(B)

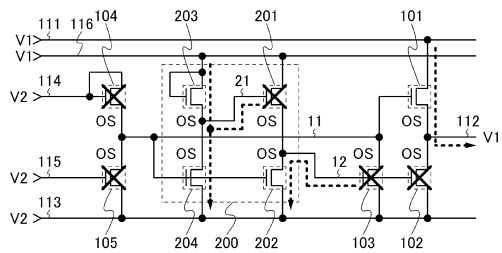


【図 3】

(A)

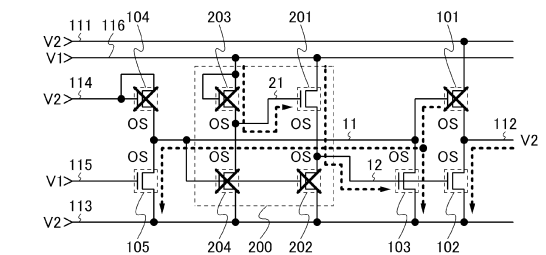


(B)

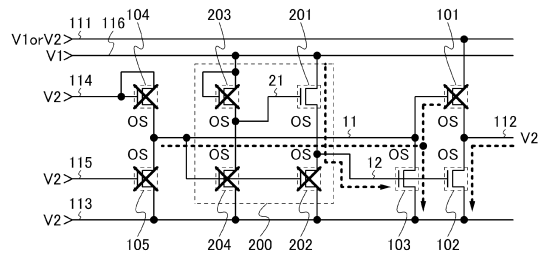


【図 4】

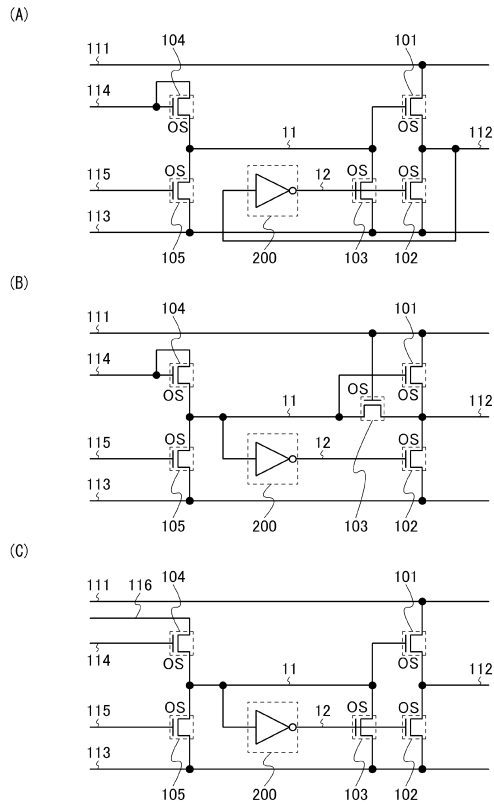
(A)



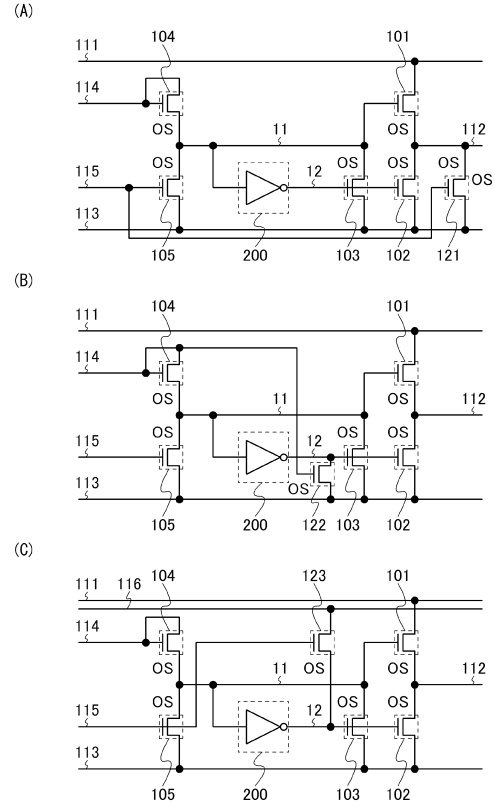
(B)



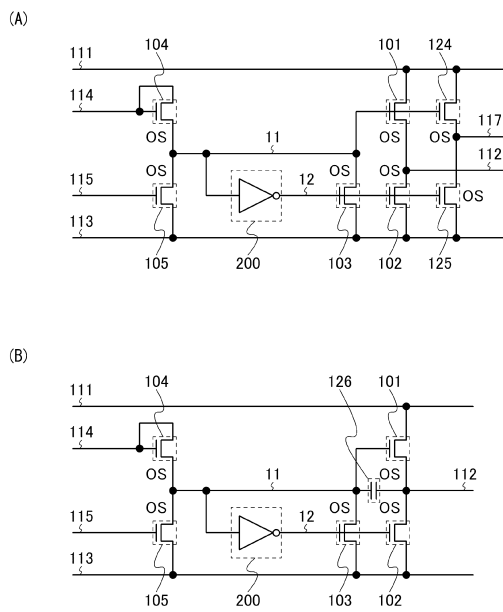
【図 5】



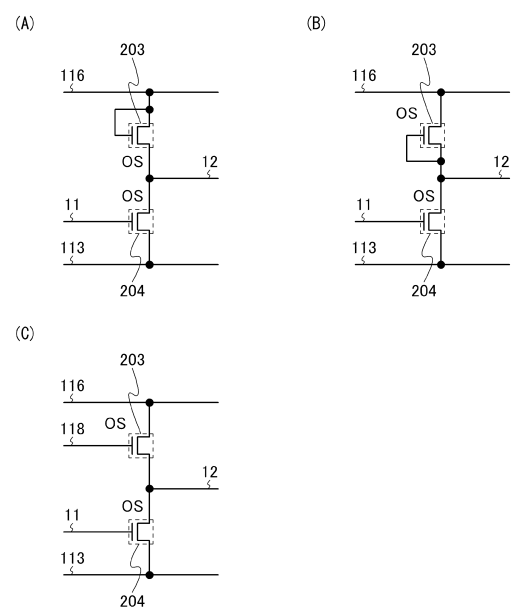
【図 6】



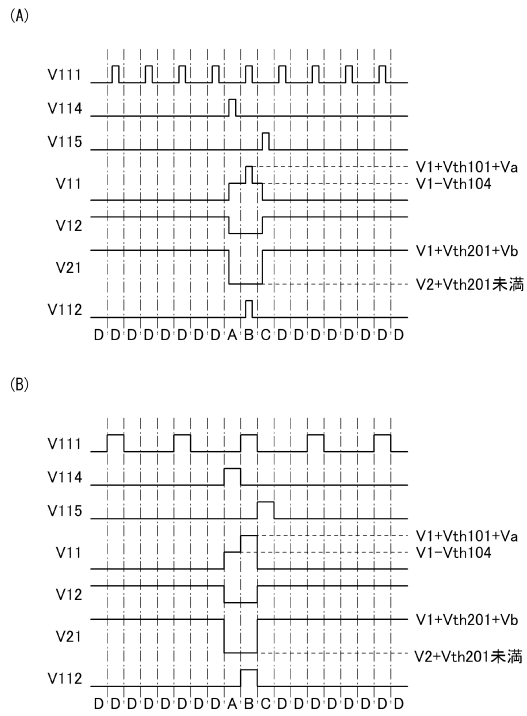
【図 7】



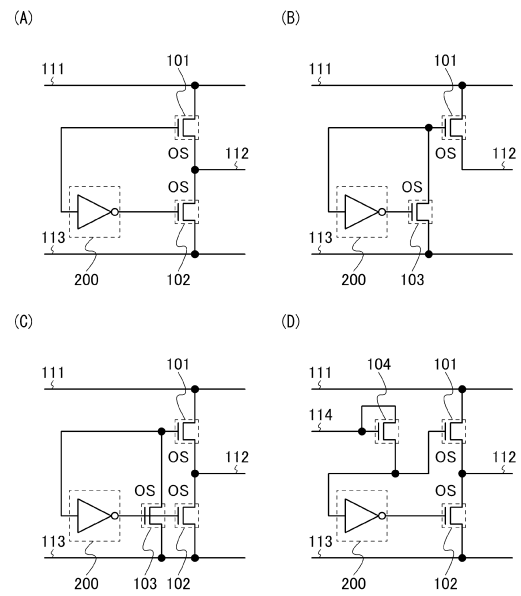
【図 8】



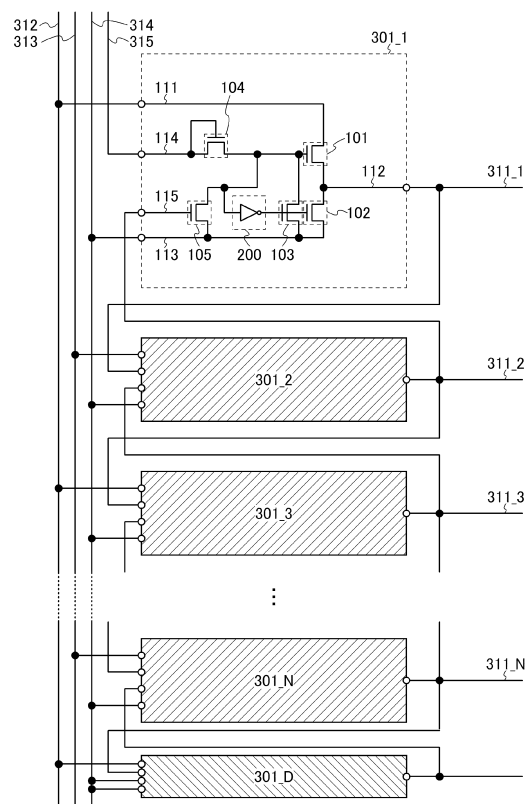
【図 9】



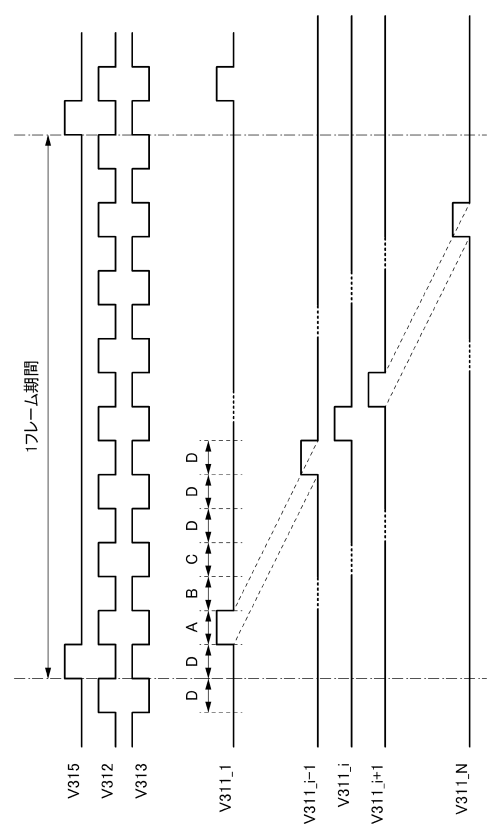
【図 10】



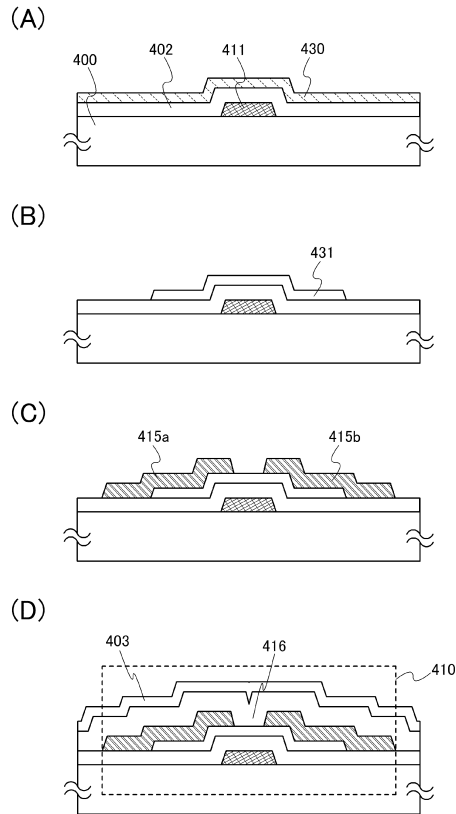
【図 11】



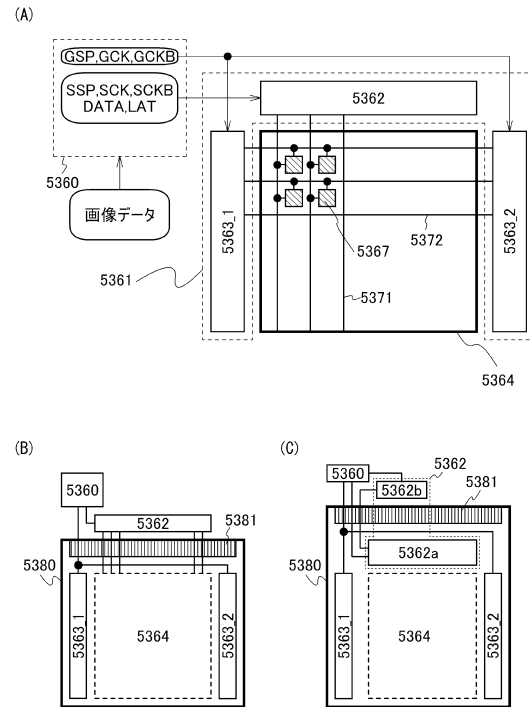
【図 12】



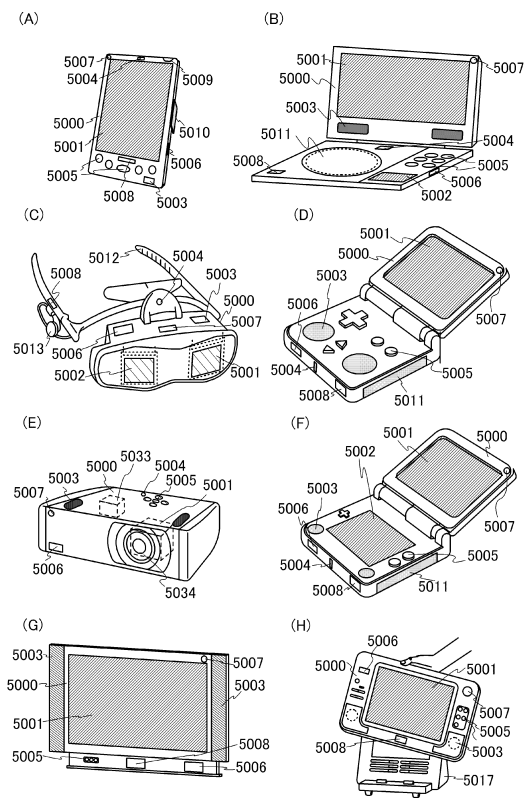
【図 13】



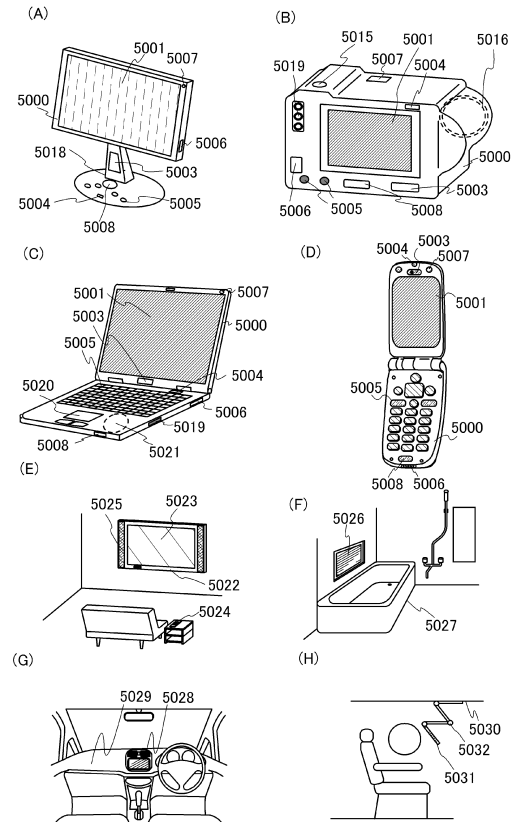
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 H

(56)参考文献 特開2008-009393(JP,A)
特開2008-089874(JP,A)
特開2009-049985(JP,A)
特開2008-083692(JP,A)
特開2003-050405(JP,A)
特開2009-245564(JP,A)
特開2009-055008(JP,A)
特開2008-276849(JP,A)
特開2008-217902(JP,A)
特開2008-107807(JP,A)
特開2008-003602(JP,A)
特開2007-317344(JP,A)
特開2007-317288(JP,A)
特開2007-293995(JP,A)
特開2007-207413(JP,A)
特開2007-207411(JP,A)
特開2007-123861(JP,A)
特開2007-072463(JP,A)
特開2005-050502(JP,A)
特開2004-078172(JP,A)
特開2001-052494(JP,A)
米国特許出願公開第2008/0253499(US,A1)
特開2016-026367(JP,A)
T. Kawamura, et al., "1.5-V Operating Fully
- Depleted Amorphous Oxide Thin Film Transis
tors Achieved by 63-mV/dec Subthreshold Slo
pe", 2008 IEEE International Electron Devic
es Meeting (IEDM), 2008年12月, Vol.1, p.77-80

(58)調査した分野(Int.Cl., DB名)

G09G 3/20 - 3/38
G02F 1/133 - 1/1368
G09F 9/30