

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

smoothing the power supply voltage of power supplied to the drive circuit. The bypass circuit causes a part of the power stored in the first capacitor to be charged to the second capacitor when a power supply for a control system circuit is lost and brings the gate drive signals into a state in which a negative bias can be maintained by the power stored in the second capacitor.

(57) 要約: 実施形態の電力変換装置は、電力変換ユニットと、第1コンデンサと、ゲート回路と、バイパス回路と、放電回路と、を持つ。前記電力変換ユニットは、ゲートを有した複数のスイッチング素子を含み、備える直流入力端子に供給される直流電力から交流電力を生成する。前記第1コンデンサは、前記電力変換ユニットの直流入力側に設けられている。前記ゲート回路は、前記複数のスイッチング素子のなかの1又は複数のスイッチング素子のゲートに供給されるゲート駆動信号を出力する駆動回路と、前記駆動回路に供給される電力の電源電圧を平滑化する第2コンデンサとを含む。前記バイパス回路は、制御系回路の電源喪失時に、前記第1コンデンサに蓄えられた電力の一部を前記第2コンデンサに充電させ、前記第2コンデンサに蓄えられた電力によって前記ゲート駆動信号を負バイアスに維持できる状態にさせる。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明の実施形態は、電力変換装置に関する。

背景技術

[0002] 1又は複数のスイッチング素子を備え、直流電力と交流電力との間で電力を変換する電力変換装置が知られている。このような電力変換装置には、電力変換装置の制御系回路の電源喪失に伴い電力の変換を停止するものがある。その際に、電力の変換に係るスイッチング素子が安定して制御されることが望ましい場合がある。

先行技術文献

特許文献

[0003] 特許文献1：日本国再公表WO2013/125004号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明が解決しようとする課題は、電力変換装置の制御系回路の電源喪失に伴い電力変換装置が電力の変換を停止する際に、電力の変換に係るスイッチング素子をより安定して制御することができる電力変換装置を提供することである。

課題を解決するための手段

[0005] 実施形態の電力変換装置は、電力変換ユニットと、第1コンデンサと、ゲート回路と、バイパス回路と、放電回路と、を持つ。前記電力変換ユニットは、ゲートを有した複数のスイッチング素子を含み、備える直流入力端子に供給される直流電力から交流電力を生成する。前記第1コンデンサは、前記電力変換ユニットの直流入力側に設けられている。前記ゲート回路は、前記複数のスイッチング素子のなかの1又は複数のスイッチング素子のゲートに供給されるゲート駆動信号を出力する駆動回路と、前記駆動回路に供給され

る電力の電源電圧を平滑化する第2コンデンサとを含む。前記バイパス回路は、制御系回路の電源喪失時に、前記第1コンデンサに蓄えられた電力の一部を前記第2コンデンサに充電させ、前記第2コンデンサに蓄えられた電力によって前記ゲート駆動信号を負バイアスに維持できる状態にさせる。

図面の簡単な説明

[0006] [図1]実施形態の電力変換装置を示す構成図。

[図2]実施形態のゲート回路を示す構成図。

[図3]実施形態のDCDC変換器の入力電圧変動に対する出力電圧の安定性を説明するための図。

[図4]実施形態の電力変換装置の動作を示すタイミングチャート。

[図5]実施形態の放電回路に放電を開始させる電圧について説明するための等価回路図。

発明を実施するための形態

[0007] 以下、実施形態の電力変換装置について説明する。

以下の説明では、「ゲート駆動信号」とは、電力変換装置が有するスイッチング素子のゲートを駆動する信号として、ゲートに供給される信号のことである。「ゲート駆動用電力」とは、スイッチング素子の前段に設けられる「ゲート回路」が、「ゲート駆動信号」を所望の電圧でスイッチング素子のゲートに供給することを可能にする電力のことである。上記の所望の電圧には、パルスを形成する電圧のほか、パルスの送出自が停止された状態の直流電圧が含まれる。「ゲートデブロック」とは、電力変換装置を動作させるために、電力変換装置が有するスイッチング素子を導通状態にするためのゲート駆動信号がゲートに連続的またはパルスの供給される制御状態のことである。「ゲートブロック」とは、電力変換装置が有するスイッチング素子を導通状態にするためのゲート駆動信号がスイッチング素子のゲートに連続的に供給されない制御状態のことである。したがって、ゲートブロックにおいてはスイッチング素子はオフ状態を継続することになる。本実施形態の「電力線」とは、ケーブル、バスバーなどの接続導体のことである。

[0008] 本明細書では、電氣的に接続されることを、単に「接続される」ということがある。本明細書で言う「XXに基づく」とは、「少なくともXXに基づく」ことを意味し、XXに加えて別の要素に基づく場合も含む。さらに、「XXに基づく」とは、XXを直接に用いる場合に限定されず、XXに対して演算や加工が行われたものに基づく場合も含む。「XX」は、任意の要素（例えば、任意の情報）である。

[0009] 図1は、実施形態の電力変換装置1を示す構成図である。図1に示す電力変換装置1は、例えば、昇圧チョッパユニット10（直流電源ユニット）と、電力変換ユニット20と、制御電源ユニット40と、電力分配ユニット50（電力中継回路）と、バイパス回路60と、不足電圧検出部70と、放電回路80と、制御部90（制御装置）とを備える。

[0010] 昇圧チョッパユニット10の直流入力端子（入力側）には、直流電力を供給する直流電源装置DCが接続される。昇圧チョッパユニット10の直流出力端子（出力側）には、母線（主回路直流リンク）と、母線を介して電力変換ユニット20の直流入力端子（直流入力側）とが接続されている。電力変換ユニット20の交流出力端子（交流出力側）には負荷LDが接続されている。昇圧チョッパユニット10から電力変換ユニット20までの範囲を主回路と呼ぶ。なお、制御電源ユニット40と、電力分配ユニット50と、不足電圧検出部70と、制御部90を制御系回路と呼ぶ。

[0011] 昇圧チョッパユニット10は、例えば、インダクタ11と、ダイオード12と、スイッチング素子13とを備える。昇圧チョッパユニット10は、昇圧チョッパユニット10の直流入力端子に掛かる入力電圧を昇圧して出力する。

[0012] 昇圧チョッパユニット10は、さらに、コンデンサ14（第1コンデンサ）と、放電抵抗15とを備えてもよい。なお、コンデンサ14と、放電抵抗15は、昇圧チョッパユニット10の外部に設けられていてもよい。例えば、コンデンサ14は、昇圧チョッパユニット10と電力変換ユニット20の間に設けられていてよい。

[0013] コンデンサ 14 と放電抵抗 15 は、昇圧チョッパユニット 10 の直流出力端子における正極端子と負極端子とに夫々接続されている。コンデンサ 14 と放電抵抗 15 は、互いに並列に接続されている。コンデンサ 14 と放電抵抗 15 とが設けられている位置は電力変換ユニット 20 の直流入力側である。コンデンサ 14 は、平滑コンデンサである。放電抵抗 15 は、コンデンサ 14 に蓄積された電荷を放電させる。放電抵抗 15 を経由して放電させる場合の時定数 τ 1 は、放電抵抗 15 のインピーダンスと、コンデンサ 14 の容量とに基づいて規定される。上記の時定数 τ 1 は、一般的には比較的長く設定される。

[0014] 昇圧チョッパユニット 10 の直流出力端子に接続される主回路直流リンクとは、昇圧チョッパユニット 10 の直流出力端子と電力変換ユニット 20 の直流入力端子とを繋ぐ正極母線 93 と負極母線 94 の組のことである。例えば、主回路直流リンクの定格電圧を直流 400 ボルトと仮定する。主回路直流リンクの電圧を V_M で表す。

[0015] 電力変換ユニット 20 の直流入力端子は、主回路直流リンクに接続されている。電力変換ユニット 20 は、電力変換ユニット 20 の直流入力端子に供給される直流電力から交流電力を生成する。電力変換ユニット 20 は、生成した交流電力を負荷 LD に供給する。

[0016] 例えば、電力変換ユニット 20 は、複数のスイッチング素子 21 と、ゲート回路 30 とを備える。例えば、電力変換ユニット 20 は、2 つのスイッチング素子 2 がカスケード接続されたレグを 2 対含む。このような電力変換ユニット 20 は、単相型インバータと呼ばれる。図に示す電力変換ユニット 20 の構成は、その一例を示すものでありこれに制限されることはなく、他の形態のものであってよい。例えば、電力変換ユニット 20 は、スイッチング素子の個数が上記のものとは異なるが、3 相型のものであってもよい。

[0017] 各スイッチング素子 21 は、例えば、IGBT (Insulated Gate Bipolar Transistor) や MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などの電力用半導体である。スイッチング素子 21 には、SiC

(シリコンカーバイド)を用いたSiC-MOSFETなどが含まれる。例えば、後述のゲート回路30が、スイッチング素子21の制御端子であるゲート21gに負のバイアスを掛けることにより、スイッチング素子21のオフ状態を安定化させることができる。以下の説明では、IGBTを例示して説明する。

[0018] ゲート回路30は、電力変換ユニット20のスイッチング素子21に対応させて設けられている。ゲート回路30は、後述する制御部90から供給されるゲートパルスを受けて、スイッチング素子21に対して、スイッチング素子21のゲート駆動信号を供給する。

[0019] なお、ゲート回路30は、電力変換ユニット20とは別体で形成されていてもよい。ゲート回路30は、複数のスイッチング素子21に対して、各スイッチング素子21のゲート駆動信号を供給してもよい。

[0020] 各ゲート回路30の基準電位は、対応するスイッチング素子21のエミッタ側の端子の電位と等電位になる。例えば、ゲート回路30は、ゲート駆動信号の論理値を、制御部90から供給されるゲートパルスの論理値に一致させる。ゲート回路30は、スイッチング素子21をオン状態にする場合にH（ハイ）レベルのゲート駆動信号を、スイッチング素子21に供給し、スイッチング素子21をオフ状態にする場合にL（ロー）レベルのゲート駆動信号を、スイッチング素子21に供給する。なお、実施形態のゲート駆動信号は、バイポーラの信号である。ゲート回路30は、Lレベルのゲート駆動信号をスイッチング素子21に供給することにより、スイッチング素子21のゲート21gを負の電圧にバイアスさせる。これにより電力変換ユニット20の耐ノイズ性が高まる。

[0021] ゲート回路30は、上記のバイポーラのゲート駆動信号を生成するための正と負の電源をゲート回路30の内部で生成する。ゲート回路30の具体例は後述する。なお、制御部90からゲート回路30までの信号線の記載を省略している。

[0022] 制御電源ユニット40は、後述する電力分配ユニット50を介して、各ゲ

ート回路 30 にゲート駆動用電力を供給する。制御電源ユニット 40 は、例えば、図示されない制御用外部電源からの電力を変換して、制御電源ユニット 40 の出力側に供給する。例えば、制御電源ユニット 40 によって生成される電力の定格電圧を直流 100 ボルトと仮定する。

[0023] 電力分配ユニット 50 は、例えば、制御電源ユニット 40 に接続される第 1 直流入力端子対 510 と、バイパス回路 60 に接続される第 2 直流入力端子対 520 とを備える。

[0024] 第 1 直流入力端子対 510 は、第 1 正極端子 511 と、第 1 負極端子 512 とを備える。制御電源ユニット 40 の出力側の正極端子は、第 1 正極端子 511 に接続される。制御電源ユニット 40 の出力側の負極端子は、第 1 負極端子 512 に接続される。

[0025] 電力分配ユニット 50 は、例えば制御電源ユニット 40 から電力の供給を受ける。電力分配ユニット 50 は、絶縁回路を介して電力を中継し、制御電源ユニット 40 から供給される電力の一部を、各ゲート回路 30 に分配する。電力分配ユニット 50 は、ゲート回路 30 のゲート駆動用電力として、分配先のゲート回路 30 に対して上記の分配後の電力を供給する。上記の通り、電力分配ユニット 50 は、電力中継回路の一例である。

[0026] 第 2 直流入力端子対 520 は、第 2 正極端子 521（入力端子の正極）と、第 2 負極端子 522（入力端子の負極）とを備える。第 2 正極端子 521 には、後述するバイパス回路 60 の正極母線 97A が接続される。第 2 負極端子 522 には、バイパス回路 60 の負極母線 98A が接続される。

[0027] 電力分配ユニット 50 は、第 2 直流入力端子対 520 に接続されるバイパス回路 60 を経て主回路側から電力の供給を受けることがある。電力分配ユニット 50 は、バイパス回路 60 を経て供給を受ける電力の一部を、上記の制御電源ユニット 40 の場合と同様に分配する。

[0028] 例えば、電力分配ユニット 50 は、ダイオード 51 と、スイッチング素子 52 と、コンデンサ 53 と、絶縁用高周波変圧器 54 と、ダイオード 55 と、抵抗 56 と、定電圧ダイオード 57 と、発信器 58（第 4 検出部）と、正

極母線 9 5 と、負極母線 9 6 とを備える。絶縁用高周波変圧器 5 4 は、絶縁回路の一例である。

[0029] 第 1 正極端子 5 1 1 は、ダイオード 5 1 のアノードに接続される。ダイオード 5 1 のカソードは、正極母線 9 5 を介して絶縁用高周波変圧器 5 4 の 1 次巻線の第 1 端子に接続される。

[0030] 第 2 正極端子 5 2 1 は、ダイオード 5 5 のアノードに接続される。第 2 正極端子 5 2 1 は「接続点」の一例である。ダイオード 5 5 のカソードは、正極母線 9 5 を介して絶縁用高周波変圧器 5 4 の 1 次巻線の第 1 端子に接続される。さらに第 2 正極端子 5 2 1 は、定電圧ダイオード 5 7 のカソードと抵抗 5 6 の各第 1 端子に接続される。定電圧ダイオード 5 7 のアノードと抵抗 5 6 の各第 2 端子は、負極母線 9 6 を介して第 2 負極端子 5 2 2 に接続される。例えば、定電圧ダイオード 5 7 のツェナー電圧は、制御電源ユニット 4 0 の出力側の定格電圧よりも少し高く規定される。上記のツェナー電圧は、例えば制御電源ユニット 4 0 の出力側の定格電圧に対してダイオード 5 5 の順電圧降下分ほど高く規定してもよい。定電圧ダイオード 5 7 は、第 2 正極端子 5 2 1 の電圧を、定電圧ダイオード 5 7 のツェナー電圧以下に制限する。抵抗 5 6 と定電圧ダイオード 5 7 の作用の詳細は、後述する。尚、定電圧ダイオード 5 7 は単品の定電圧ダイオードで構成する代わりに複数の定電圧ダイオードの組み合わせや、比較的小容量の定電圧ダイオードと比較的大容量のトランジスタの組み合わせにより、端子間の電圧の上限を制限する定電圧回路で構成してもよい。

[0031] スイッチング素子 5 2 は、例えば、高周波スイッチング用の n p n 型トランジスタであってよい。第 1 負極端子 5 1 2 と第 2 負極端子 5 2 2 は、負極母線 9 6 を介してスイッチング素子 5 2 のエミッタに接続され、スイッチング素子 5 2 のコレクタが絶縁用高周波変圧器 5 4 の 1 次巻線の第 2 端子に接続される。スイッチング素子 5 2 のベースには、周期性のパルスを含むベース駆動信号が発信器 5 8 から供給される。スイッチング素子 5 2 は、ベース駆動信号のパルスに応じてスイッチングすることにより、絶縁用高周波変圧器

54の1次側に流れる電流を調整する。

[0032] 発信器58は、絶縁用高周波変圧器54の2次巻線の線間電圧に基づいた周期性のパルスを含むベース駆動信号を生成する。例えば、発信器58は、検出した線間電圧が所望の電圧になるように、スイッチング素子52のベース駆動信号のパルスのDUTYを調整する。発信器58は、そのDUTYでスイッチング素子52をスイッチングさせる。発信器58は、正極母線95と負極母線96に接続され、コンデンサ53を電源としてもよい。

[0033] コンデンサ53は、正極母線95と負極母線96とに接続される。コンデンサ53は、上記の正極母線95と負極母線96に掛かる電圧を平滑する。

[0034] 絶縁用高周波変圧器54は、例えば、1つの1次巻線と、複数のセンタータップ付き2次巻線とを備える。上記の1つの1次巻線と複数の2次巻線の全ての巻線は、互いに絶縁され、かつ互いに磁気結合されている。絶縁用高周波変圧器54の1次側は、バイパス回路60を介してコンデンサ14に接続される。図に示す絶縁用高周波変圧器54は、4つの2次巻線を備えるものの一例である。絶縁用高周波変圧器54の各2次巻線は、その2次巻線に対になるゲート回路30の電源端子に接続される。

[0035] なお、ダイオード51と、スイッチング素子52と、コンデンサ53と、絶縁用高周波変圧器54と、後述するゲート回路30の電源回路34（図2）との組み合わせは、第1DCDC変換器の一例である。上記の第1DCDC変換器は、電力分配ユニット50が制御電源ユニット40から電力の供給を受ける場合に適用される。また、ダイオード55と、スイッチング素子52と、コンデンサ53と、絶縁用高周波変圧器54と、電源回路34との組み合わせは、第2DCDC変換器の一例である。上記の第2DCDC変換器は、電力分配ユニット50が後述のバイパス回路60を経て電力の供給を受ける場合に適用される。第1DCDC変換器と第2DCDC変換器を区別することなく説明する場合には、単にDCDC変換器100（図2）という。

[0036] バイパス回路60は、例えば、第1リレー61（第1開閉器）と、第2リレー62（第2開閉器）と、抵抗63（電流制限抵抗）と、正極母線97、

97Aと、負極母線98、98Aとを備える。

[0037] 第1リレー61は、双極型であり、例えば、正極用の接点611と負極用の接点612とを備える。同じく第2リレー62は、双極型であり、例えば、正極用の接点621と負極用の接点622とを備える。第1リレー61と第2リレー62は、後述の不足電圧検出部70による検出結果に連動して、主回路直流リンクと第2直流入力端子対520を導通させるか、又は、主回路直流リンクと第2直流入力端子対520を絶縁させるかが択一的に選択される。なお、第1リレー61と第2リレー62を単極型にする場合には、負極側の接点を省略することができる。

[0038] 抵抗63と、第1リレー61の接点611と、第2リレー62の接点621は、コンデンサ14の正極端子と電力分配ユニット50との間を接続するように、正極母線97と正極母線97Aの間に設けられる。第1リレー61の接点612と、第2リレー62の接点622は、コンデンサ14の負極端子と電力分配ユニット50との間を接続するように、負極母線98と負極母線98Aの間に設けられる。

[0039] 例えば、第1リレー61の接点611の第1端子は、後述する抵抗63に直列に接続され、さらに正極母線97を介し主回路直流リンクの正極母線93に接続される。接点611の第2端子は、正極母線97Aに接続され、さらに、第2正極端子521を介してダイオード55のアノードに接続され、ダイオード55を介して正極母線95に接続される。第1リレー61の接点612の第1端子は負極母線98を介し、主回路直流リンクの負極母線94に接続される。接点612の第2端子は、負極母線98Aを介し、第2負極端子522に接続され、さらに負極母線96に接続される。第1リレー61は、後述の電圧検出器71からの信号により導通状態になる。

[0040] 第2リレー62の接点621は、第1リレー61の接点611に並列に接続される。第2リレー62の接点622は、第1リレー61の接点612に並列に接続される。第2リレー62の各接点の詳細な接続関係については、第1リレー61の各接点の接続関係の説明を参照する。第2リレー62は、

後述の電圧検出器 7 2 からの信号により導通状態になる。

[0041] 上記の回路によれば、コンデンサ 1 4 の正極は、正極母線 9 3 と、正極母線 9 3 に接続された抵抗 6 3 とを介して、第 1 リレー 6 1 の接点 6 1 1 の第 1 端子と、第 2 リレー 6 2 の接点 6 2 1 の第 1 端子とに接続される。さらに、第 1 リレー 6 1 の接点 6 1 1 の第 2 端子と、第 2 リレー 6 2 の接点 6 2 1 の第 2 端子とが、第 2 正極端子 5 2 1 に夫々接続される。第 1 リレー 6 1 と第 2 リレー 6 2 の何れかがオン状態になることにより抵抗 6 3 と抵抗 5 6 は、直列に接続され、その両端が主回路直流リンクの正極母線 9 3 と負極母線 9 4 とに接続される。抵抗 6 3 は、電流制限抵抗である。

[0042] 上記のバイパス回路 6 0 は、不足電圧検出部 7 0 から出力される信号に応じて、第 1 リレー 6 1 と第 2 リレー 6 2 の接点を閉じる。第 1 リレー 6 1 と第 2 リレー 6 2 の何れかの接点が閉じられることにより、コンデンサ 1 4 に蓄えられた電力の一部が、後述するコンデンサ 3 4 2、3 4 3 に供給される。上記のバイパス回路 6 0 は、制御系回路の電源喪失時に、コンデンサ 1 4 に蓄えられた電力の一部をコンデンサ 3 4 2、3 4 3 に充電させる。バイパス回路 6 0 は、コンデンサ 3 4 2、3 4 3 に電力を蓄えることによって、ゲート駆動信号を負バイアスに維持できる状態にさせる。

[0043] 不足電圧検出部 7 0 は、制御系回路の電源喪失時を検出する。例えば、不足電圧検出部 7 0 は、電圧検出器 7 1（第 1 検出部）と、電圧検出器 7 2（第 2 検出部）と、を備える。

電圧検出器 7 1 は、制御電源ユニット 4 0 の入力端子間に並列に電氣的に接続され、制御電源ユニット 4 0 の入力電圧（入力側の電圧）を検出し、制御電源ユニット 4 0 の入力電圧が第 1 閾値に満たないことを検知する。例えば、電圧検出器 7 1 は、制御電源ユニット 4 0 の入力電圧が第 1 閾値に満たないことを検知することで、制御電源ユニット 4 0 から少なくともゲートデブロック中にゲート回路 3 0 に供給する電力量が満たない可能性があることを検知する。電圧検出器 7 1 は、上記の場合に、バイパス回路 6 0 の第 1 リレー 6 1 を導通状態にする。制御電源ユニット 4 0 の入力電圧が第 1 閾値に

満たない状態は、制御系回路の電源喪失の検出結果の一例である。

[0044] 電圧検出器 72 の入力側は、制御電源ユニット 40 の出力側の正極端子と負極端子とに並列になるように電氣的に接続される。電圧検出器 72 は、制御電源ユニット 40 の出力電圧（出力側の電圧）を検出し、制御電源ユニット 40 の出力電圧が第 2 閾値に満たないことを検知する。例えば、電圧検出器 72 は、制御電源ユニット 40 の出力電圧が第 2 閾値に満たないことを検知することで、制御電源ユニット 40 から少なくともゲートデブロック中にゲート回路 30 に供給する電力量が満たない可能性があることを検知する。電圧検出器 72 は、上記の場合に、バイパス回路 60 の第 2 リレー 62 を導通状態にする。制御電源ユニット 40 の出力電圧が第 2 閾値に満たない状態は、制御系回路の電源喪失の検出結果の一例である。

[0045] 上記のように、不足電圧検出部 70 は、制御電源ユニット 40 の入力電圧と出力電圧の何れかの電圧に基づいて、制御電源ユニット 40 から少なくともゲート回路 30 に供給する電力量が満たないことを検出する。これにより、不足電圧検出部 70 は、ゲート駆動用電力の電力が不足した状態を検出する。バイパス回路 60 は、不足電圧検出部 70 の検出結果に基づいて、バイパス回路 60 の第 1 リレー 61 又は第 2 リレー 62 の接点を導通状態にして、バイパス回路 60 を導通させる。

[0046] 放電回路 80 は、例えば、電圧検出器 81（第 3 検出部）と、電流制限抵抗 82（放電抵抗）と、放電用半導体スイッチ 83（第 3 開閉器）とを備える。

[0047] 電圧検出器 81 は、主回路直流リンクの両極間に接続され、主回路直流リンクから動作用の電力を受けるとともに、主回路直流リンクの正極母線 93 と負極母線 94 との電位差（電圧 V_M ）を検出する。正極母線 93 と負極母線 94 との電位差は、電力変換ユニット 20 の入力電圧（直流入力端子に掛かる電圧）になる。電圧検出器 81 は、不足電圧検出部 70 がゲート駆動用電力の電力不足状態を検出し、且つ主回路直流リンクの電圧 V_M が予め定められた第 3 閾値よりも低下した場合に、後段の放電用半導体スイッチ 83 に

トリガ信号を出力する。上記のトリガ信号は、放電用半導体スイッチ 83 に放電を開始させる信号であり、放電開始信号の一例である。

[0048] なお、電圧検出器 81 は、コンデンサ 342、343 に蓄えられた電力によってゲート駆動信号が負バイアスに維持された状態にあるなかで、コンデンサ 14 に蓄えられた電力を放電させる。例えば、電圧検出器 81 が、放電用半導体スイッチ 83 に放電開始信号のトリガ信号を出力するタイミングは、コンデンサ 342、343 に蓄えられた電力が不足することによって前記ゲート駆動信号が負バイアスに維持されない状態に至る前になる。

[0049] 電流制限抵抗 82 は、コンデンサ 14 に蓄えた電力を放電させる。その放電の際の放電電流は、電流制限抵抗 82 のインピーダンス等によって制限される。

[0050] 放電用半導体スイッチ 83 は、例えば、平常時には非導通状態にあり、トリガ信号を受けて導通するサイリスタである。放電用半導体スイッチ 83 は、電圧検出器 81 からのトリガ信号を受け、導通状態になり、電流制限抵抗 82 をコンデンサ 14 に並列に接続させる。これにより、放電用半導体スイッチ 83 は、電流制限抵抗 82 を介したコンデンサ 14 の放電を開始させる。

[0051] 上記のように、コンデンサ 14 に蓄えられた直流電力の一部を、バイパス回路 60 を経てゲート回路 30 に供給することによる放電に、放電回路 80 による放電を組み合わせ、コンデンサ 14 に蓄えられた電力の放電時間を短縮する。

[0052] なお、放電回路 80 は、電力分配ユニット 50 による電力の分配先には含まれていない。このような放電回路 80 の各部は、主回路直流リンクの電力を利用して機能するように構成される。上記のような放電回路 80 は、例えば、所定の電圧に主回路直流リンクの電圧 V_M が低下すると、制御系電源から電力が供給されることなく、コンデンサ 14 に蓄えられた電力を放電させることができる。

[0053] 図 2 を参照して、より具体的なゲート回路の一例について説明する。図 2

は、実施形態のゲート回路 30 を示す構成図である。

[0054] ゲート回路 30 は、例えば、信号絶縁回路 31 と、駆動回路 32 と、電源回路 34 とを備える。

[0055] 例えば、ゲート回路 30 には、後述する制御部 90 からゲートパルスが供給される。ゲートパルスは、例えば PWM (Pulse Width Modulation) 制御により変調されたものであってよい。ゲート回路 30 は、下記する段階を経てゲートパルスに基づいたゲート駆動信号を生成して、ゲート駆動信号をスイッチング素子 21 のゲート 21g に供給する。

[0056] 信号絶縁回路 31 は、例えば、図示されないフォトカプラなどを含み、入力端子側と出力端子側を電氣的に絶縁する。信号絶縁回路 31 の入力端子は、制御部 90 の出力端子に接続されている。信号絶縁回路 31 は、制御部 90 から供給されたゲートパルスに対応する絶縁ゲート信号を生成して、信号絶縁回路 31 の後段に接続される駆動回路 32 に絶縁ゲート信号を供給する。なお、絶縁ゲート信号は、例えば、ゲートパルスと同じ論理値を持つ信号である。

[0057] 駆動回路 32 には、後述の電源回路 34 から正電圧 V_P と負電圧 V_N が供給される。駆動回路 32 は、負電圧 V_N から正電圧 V_P までの電圧範囲内の信号として、スイッチング素子 21 のゲート 21g を駆動するゲート駆動信号を生成する。

[0058] 駆動回路 32 は、例えば、電圧増幅回路 321 と、電流増幅回路 322 とを備える。電圧増幅回路 321 は、信号絶縁回路 31 から供給される絶縁ゲート信号の電圧を増幅する。電流増幅回路 322 は、電圧増幅回路 321 によって電圧が増幅された絶縁ゲート信号の電流を増幅して絶縁ゲート信号に基づくゲート駆動信号を生成して、ゲート駆動信号を出力する。電流増幅回路 322 は、例えば、コンプリメンタリ・トランジスタによるプッシュプル型回路で構成される。これにより、ゲート回路 30 は、ゲートパルスがハイレベルのときには正極性のゲート駆動信号を出す。また、ゲートブロック中を含むゲートパルスがローレベルのときには、ゲート回路 30 はゲート駆

動信号を負バイアス状態とし、スイッチング素子 21 を確実にオフ状態とすることができる。

[0059] 電源回路 34 は、電力分配ユニット 50 から分配された電力に基づいて、少なくとも駆動回路 32 に供給する電力を生成する。電源回路 34 は、例えば、基準電位に対する正電圧 V_P と負電圧 V_N を生成する。

[0060] 電源回路 34 は、例えば、整流ユニット 341（整流回路）と、コンデンサ 342、343（第 2 コンデンサ）とを備える。例えば、整流ユニット 341 は、4 つのダイオードで構成される半波整流回路である。整流ユニット 341 は、絶縁用高周波変圧器 54 の 1 つの 2 次巻線に接続される。

[0061] 整流ユニット 341 は、例えば、ダイオード 3411、3412、3413、3414 を備える。整流ユニット 341 は、半波整流回路を形成し、スイッチング素子 52 のスイッチングにより絶縁用高周波変圧器 54 の 2 次巻線に誘起される電流を整流する。整流ユニット 341 は、ダイオード 3411、3412 を用いた半波整流により正電圧 V_P を生成し、他の 2 つのダイオード 3413、3414 を用いた半波整流により負電圧 V_N を生成する。

[0062] コンデンサ 342 は、整流ユニット 341 が整流することにより生じる電圧の変動分を吸収し、絶縁用高周波変圧器 54 の 2 次側電圧の正電圧 V_P を平滑する。コンデンサ 343 は、整流ユニット 341 が整流することにより生じる電圧の変動分を吸収し、絶縁用高周波変圧器 54 の 2 次側電圧の負電圧 V_N を平滑する。このようなコンデンサ 342、343 は、駆動回路 32 に供給される電力の電源電圧である正電圧 V_P と負電圧 V_N を平滑化するとともに、電力を蓄積する。

[0063] なお、コンデンサ 342、343 の容量は、整流ユニット 341 からの電力の供給が停止してから所望の期間が経過するまでの期間に所望の電圧を供給可能にする容量を超える容量に規定される。コンデンサ 342、343 が所望の電圧を供給する期間は、後述の放電回路 80 の放電時定数 τ_2 より長くなるように規定される。この詳細については後述する。

[0064] なお、前述の通り、電源回路 34 は、電力分配ユニット 50 との組み合わ

せによりDCDC変換器100として作用する。DCDC変換器100は、電力分配ユニット50に供給されるゲート駆動用電力に基づいて、正電圧 V_P と負電圧 V_N を供給する。

[0065] 例えば、電力分配ユニット50は、図示しない検出器によって検出された絶縁用高周波変圧器54の2次巻線の電圧に基づいて、絶縁用高周波変圧器54の1次巻線の電流を調整する。仮に絶縁用高周波変圧器54の1次巻線側の電圧に変動が生じて、その変動の大きさが許容される変動範囲内であれば、電源回路34は、上記のように調整されることにより、所望の電圧の正電圧 V_P と負電圧 V_N を供給することができる。

[0066] これにより、ゲート回路30から電力変換ユニット20に供給されるゲート駆動信号は、基準電圧に対して負の電位になる負電圧 V_N から、正の電位になる正電圧 V_P までの範囲内の電圧になる。なお、ゲート回路30の基準電位は、ゲート回路30毎に夫々設定される。例えば、ゲート回路30の基準電位は、ゲート回路30に対応する電力変換ユニット20のスイッチング素子21のエミッタ21eの電位である。

[0067] 図3を参照して、DCDC変換器100の入力電圧変動に対する出力電圧の安定性について説明する。図3は、実施形態のDCDC変換器100の入力電圧変動に対する出力電圧の安定性を説明するための図である。DCDC変換器100の入力電圧とは、電力分配ユニット50の入力側に供給される電圧のことである。DCDC変換器100の出力電圧とは、ゲート回路30の駆動回路32に供給される電圧のことである。

[0068] この図3に示すグラフは、スイッチング素子21にゲートパルスが供給された状態において、DCDC変換器100の入力電圧を横軸に、DCDC変換器100出力電圧を縦軸にして、入力と出力の関係を示したものである。図に示す入力電圧は、規格化されており、定格入力電圧を1PUで示す。入力電圧を1PUから0PUまで変化させる場合、1PUから0.5PU程度までは、出力電圧に大きな変動は見られず既定の電圧（正電圧 V_P と負電圧 V_N ）を出力する。さらに入力電圧を低下させて0.3PU程度まで下げる

と、出力電圧の規定の電圧からの乖離が大きくなる。さらに入力電圧を低下させて0.2PUより下げると、出力電圧を発生させることができなくなり、出力電圧が0PUになる。

[0069] なお、DCDC変換器100の構成や、ゲート回路30の消費電力などによって、この図に示す特性とは異なる特性になる場合がある。抵抗値や各種判定値は、DCDC変換器100として必要とされる特性に基づいて規定されてよい。

[0070] 図4を参照して、実施形態の電力変換装置1の動作について説明する。図4は、実施形態の電力変換装置1の動作を説明するためのタイミングチャートである。図4中の(a)に、直流電源装置DCから昇圧チョッパユニット10に供給される電圧(VDC)をグラフにして示す。図4中の(b)に、制御電源ユニット40の入力電圧(VC__1)をグラフにして示す。図4中の(c)に、制御電源ユニット40の出力電圧(VC__2)をグラフにして示す。図4中の(d)に、電圧検出器71の検出結果(DET__1)を示す。既定の第1閾値に満たない場合をHレベルで示す。図4中の(e)に、電圧検出器72の検出結果(DET__2)を示す。既定の第2閾値に満たない場合をHレベルで示す。

[0071] 図4中の(f)に、昇圧チョッパユニット10に供給されるゲート駆動信号(GDS__13)を示す。図4中の(g)に、電力変換ユニット20に供給されるゲート駆動信号(GDS__21)を示す。図4中の(h)に、主回路直流リンクの電圧VMをグラフにして示す。図4中の(i)に、バイパス回路60の状態(I__60)を導通状態と絶縁状態に2値化して示す。接点のオン状態は、電圧検出器71と電圧検出器72の何れかの検出結果がHレベルである場合に対応する。図4中の(j)に、電力分配ユニット50の入力側に、制御電源ユニット40又はバイパス回路60から電力が供給され、その電力によって充電されたコンデンサ53の端子間に生じる電圧(VC__3)を示す。以下、コンデンサ53の端子間に生じる電圧のことを電力分配ユニット50の入力電圧VC__3という。図4中の(k)に、スイッチング

素子 52 に供給されるベース駆動信号 (GDS__52) の状態を示す。図 4 中の (l) に、電圧検出器 81 の検出結果 (DET__3) を示す。図 4 中の (m) に、放電回路 80 による放電電流 (I__80) を示す。図 4 中の (n) に、ゲート回路 30 において生成される電圧 VP を示す。なお、図 4 における電圧 VN の記載を省略する。電圧 VN は、電圧 VP と同様の傾向を示し、電圧 VP とは極性が異なる。

[0072] この図 4 に示す時刻 t10 から時刻 t24 に至るまでの電力変換装置 1 のゲート駆動用電力消失時の処理について説明する。この図 4 に示す初期状態は、電力変換装置 1 が稼働中 (ゲートデブロック中) の状況にある。時刻 t10 に至るまでは、各信号などの状態は下記の通りである。

[0073] 電力変換装置 1 の主回路には、直流電源装置 DC から直流電力が供給されている。図 4 中の (a) に示すように、なお、直流電源装置 DC から供給される電圧は、図に示す期間内では大きく変化することはない。

[0074] 図 4 中の (b) に示すように、制御電源ユニット 40 に所望の定格入力電圧で直流電力が供給されている。図 4 中の (c) に示すように、制御電源ユニット 40 は、定格出力電圧を出力している。例えば、制御電源ユニット 40 の定格入力電圧より低い第 1 閾値と、制御電源ユニット 40 の定格出力電圧より低い第 2 閾値とが規定される。電圧検出器 71 は、制御電源ユニット 40 の入力電圧が第 1 閾値より高いことを検出し、図 4 中の (d) に示すように、第 1 リレー 61 の接点 611、612 をオフ状態 (OFF) にしている。電圧検出器 72 は、制御電源ユニット 40 の出力電圧が第 2 閾値より高いことを検出し、図 4 中の (e) に示すように、第 2 リレー 62 の接点 621、622 をオフ状態 (OFF) にしている。

[0075] 図 4 中の (f) に示すように、昇圧チョッパユニット 10 には、制御部 90 からパルス状のゲート駆動信号が周期的に供給されている。昇圧チョッパユニット 10 は、電力変換をしている。図 4 中の (g) に示すように、電力変換ユニット 20 には、ゲート回路 30 からパルス状のゲート駆動信号が周期的に供給されている。電力変換ユニット 20 は、電力変換をしている。

[0076] 図4中の(h)に示すように、主回路直流リンクの電圧 V_M は、定格値である。主回路直流リンクの電圧 V_M の定格値は、例えば、400ボルトであると仮定する。図4中の(i)に示すように、バイパス回路の状態は絶縁状態にある。図4中の(j)に示すように、電力分配ユニット50の入力電圧 V_{C_3} は、制御電源ユニット40の定格出力電圧に相当する定格値になる。図4中の(k)に示すように、スイッチング素子52に、発信器58からパルス状のベース駆動信号が周期的に供給されている。

[0077] 図4中の(l)に示すように、主回路直流リンクの電圧 V_M が第3閾値以上である。図4中の(m)に示すように、放電回路80を流れる電流はない。図4中の(n)に示すように、ゲート回路30の電圧は所望の電圧になっている。

[0078] ここで、時刻 t_{10} に制御電源ユニット40の入力電圧を喪失した事象が生じてその事象が継続した場合を仮定する。時刻 t_{10} から制御電源ユニット40の入力電圧の低下が始まり、時刻 t_{11} において定格電圧から低下したことが検出される(図4中の(b))。この場合、電圧検出器71は、制御電源ユニット40の入力電圧が第1閾値よりも低下していることを検出する。電圧検出器71は、図4中の(d)に示すように、第1リレー61の接点611、612をオン状態(ON)にする(時刻 t_{11})。これにより、図4中の(i)に示すように、バイパス回路60を通して、主回路側とゲート回路用電源回路側が電氣的に接続される。コンデンサ14から、バイパス回路60を通して、電力分配ユニット50の入力側に電力の供給が始まる。

[0079] なお、制御電源ユニット40が入力電圧を喪失しても、一般的に制御電源ユニット40内に設けられたコンデンサ(不図示)に蓄積された電力があることにより、制御電源ユニット40の出力電圧がすぐに低下することはない。また、制御電源ユニット40が入力電圧を喪失しても、コンデンサ53に蓄積された電力があることにより、電力分配ユニット50の入力電圧がすぐに低下することはない。

[0080] なお、実際の第1リレー61等には応答遅延が生じるものがあるが、応答

遅延を0と見做して図示している。例えば、第1リレー61等の応答遅延による影響を補償するような容量を、電力分配ユニット50以降のコンデンサに設けるとよい。

[0081] また、制御部90は、電圧検出器71の検出結果を取得して、制御電源ユニット40の入力電圧が第1閾値よりも低下していることを電圧検出器71の検出結果に基づいて識別する。制御部90は、これに応じて、図4中の(f)と(g)とに示すように、昇圧チョッパユニット10と電力変換ユニット20とに対し、ゲートブロックを行うので、スイッチング素子13とスイッチング素子21のゲートパルスを含む信号の供給が停止されている。上記のゲートブロックに伴い、昇圧チョッパユニット10と電力変換ユニット20は、電力変換を停止する。

[0082] また、制御電源ユニット40の入力電圧が定格電圧から低下した後、図4中の(c)に示すように、制御電源ユニット40の出力電圧も低下する。例えば、時刻 t_{12} から制御電源ユニット40の出力電圧の低下が始まり、時刻 t_{13} において定格電圧から低下したことが検出される(図4中の(c))。これにより、制御電源ユニット40から電力分配ユニット50に、ゲート駆動用電力が供給されなくなる(時刻 t_{12})。なお、この時点ですでに、バイパス回路60の第1リレー61を通して、コンデンサ14から電力分配ユニット50に電力が供給されている。

[0083] 図4中の(e)に示すように、電圧検出器72は、制御電源ユニット40の出力電圧が第2閾値よりも低下していることを検出し、第2リレー62の接点621、622をオン状態(ON)にする(時刻 t_{13})。すでに、バイパス回路60の第1リレー61を通して、主回路側とゲート回路用電源回路側が電氣的に接続されているが、第2リレー62についても第1リレー61と同様に、第2リレー62を通して、主回路側とゲート回路用電源回路側が電氣的に接続される。

[0084] なお、上記の段階の主回路直流リンクの電圧 V_M は、主回路直流リンクのほぼ定格電圧にあり、制御電源ユニット40の出力側の定格電圧或いは実際

の出力電圧に比べても十分に高い状況にある。そのため、第1リレー61と第2リレー62が導通状態になったことにより、バイパス回路60の抵抗63を通して、コンデンサ14から電力分配ユニット50に電流が流れる。これにより、コンデンサ14から一部の電力がバイパス回路60を通して電力分配ユニット50に供給される。電力分配ユニット50は、コンデンサ14から電力分配ユニット50に供給される電力を、電力分配ユニット50からゲート回路30に供給し、ゲート回路30のコンデンサを充電させる。これにより、電力分配ユニット50は、コンデンサ14から供給される電力を、ゲート駆動用電力に利用することを可能にする。

[0085] なお、コンデンサ14からバイパス回路60を通して電力分配ユニット50に電力が供給されると、第2正極端子521の電圧は、定電圧ダイオード57によって上限が定格値に制限される。上記のように、時刻 t_{10} に制御電源ユニット40が入力電圧を喪失しても、図4中の(j)に示すように電力分配ユニット50の入力電圧 V_{C_3} は、時刻 t_{10} 以降も定格値で保持される。

[0086] ここで、電力分配ユニット50の入力電圧 V_{C_3} に関連する第2正極端子521の電圧について説明する。定電圧ダイオード57は、ツェナー電圧以上の電圧で逆バイアスされると導通する。そのため、負極母線96の電位を基準にした第2正極端子521の電圧は、定電圧ダイオード57の作用により、定電圧ダイオード57のツェナー電圧になる。この状態は、時刻 t_{13} 以降も主回路直流リンクの電圧 V_M が低下し、抵抗56の端子間電圧が定電圧ダイオード57のツェナー電圧以下に低下するまで続く。

[0087] 時刻 t_{14} になると、抵抗56の端子間電圧が定電圧ダイオード57のツェナー電圧以下に低下する。定電圧ダイオード57は、ツェナー電圧以下の電圧で逆バイアスされても非導通になる。そのため、これに応じて定電圧ダイオード57が第2正極端子521の電圧を制限しなくなる。よって、主回路直流リンクの電圧 V_M が降下するとそれに伴い第2正極端子521の電圧も降下する。図4中の(j)に示すように第2正極端子521の電圧の変化

に応じて、コンデンサ 14 から電力分配ユニット 50 の入力電圧 V_{C_3} も低下する。

[0088] 上記の時刻 t_{14} を過ぎても時刻 t_{21} になるまで、ゲート回路 30 内の電源電圧 V_P と V_N の電圧には、図 4 中の (n) に示すように変化はなく、その安定性は確保されている。

[0089] 次に、この図 4 に示す時刻 t_{21} から時刻 t_{24} に至るまでの電力変換装置 1 の主回路直流リンクの電圧 V_M が低下したときの処理について説明する。

[0090] 時刻 t_{21} に主回路直流リンクの電圧 V_M が第 3 閾値よりも低下したと仮定する。

電圧検出器 81 は、電力変換ユニット 20 の入力電圧に基づいて、電力変換ユニット 20 の入力電圧が第 3 閾値に満たないことを検出する。図 4 中の (l) に示すように電圧検出器 81 の検出結果が H レベルになり放電用半導体スイッチ 83 が導通する (ON 状態)。これにより、電流制限抵抗 82 と放電用半導体スイッチ 83 とを經由させた、放電回路 80 によるコンデンサ 14 の放電が始まる (時刻 t_{21})。

[0091] 時刻 t_{21} を過ぎると、コンデンサ 14 の放電電流が増えることにより、主回路直流リンクの電圧 V_M の低下速度が速まり、図 4 中の (h) に示すように主回路直流リンクの電圧 V_M が急速に低下して、時刻 t_{22} になるとその電圧が 0 になる。なお、この主回路直流リンクの電圧 V_M の変化に応じて、図 4 中の (j) に示すように電力分配ユニット 50 の入力電圧 V_{C_3} も変化して、0 になる。

[0092] その後、図 4 中の (n) に示すようにゲート回路 30 により生成される電圧 V_P が低下し始めて (時刻 t_{23})、ゲート回路 30 はゲート駆動信号の電圧を負バイアスさせることを維持できなくなり、ゲート駆動信号の電圧 V_M が 0 になる (時刻 t_{24})。

[0093] なお、時刻 t_{23} になる前に、すでに主回路直流リンクの電圧 V_M がほぼ 0 になっているため、ゲート駆動信号の電圧が負バイアスされなくなったと

しても、電力変換ユニット20のスイッチング素子21が誤ターンオンしても、主回路の直流リンクの残留エネルギーにより、スイッチング素子21が損傷することはない。

[0094] なお、上記の放電の手順を実現する放電回路80の放電特性は、例えば、下記のように規定される。放電回路80の放電特性には、放電時の時定数 τ_2 と、電流二乗時間積と、放電開始電圧とが含まれる。時定数 τ_2 は、放電回路の放電時定数の一例である。まず、放電時の時定数 τ_2 について説明する。放電時の時定数 τ_2 は、例えば、電流制限抵抗82のインピーダンスが放電抵抗15のインピーダンスよりも十分小さいので、電流制限抵抗82のインピーダンスと、コンデンサ14の容量とに基づいてほぼ規定される。なお、放電時の時定数 τ_2 は、放電時定数の一例である。時定数 τ_2 は、前述の時定数 τ_1 に比べて短い。

[0095] 例えば、この放電時の時定数 τ_2 は、電力変換ユニット20のスイッチング素子21のゲート21gが負にバイアスされている間に、放電によりコンデンサ14の電荷がなくなるような大きさにするとよい。換言すれば、電力変換ユニット20のスイッチング素子21のゲート21gが負にバイアスされている間に、主回路直流リンクの電圧VMがスイッチング素子21に損傷を与えない程度の電圧まで低下するように、時定数 τ_2 の大きさが規定されるとよい。

[0096] より具体的には、ゲート回路30の電源回路34におけるコンデンサ342、343がゲートブロック状態で所望の電圧を継続して保持している期間に、コンデンサ14の電圧を、スイッチング素子21により定まる所定の電圧まで低下させるような時定数 τ_2 が規定される。この場合、放電時の時定数 τ_2 は、コンデンサ342、343の電力によって、ゲート21gを負バイアスに維持できる電圧保持時間よりも小さくなるように規定される。上記のように放電特性の時定数 τ_2 が規定できれば、コンデンサ342、343が所望の電圧を保持している間に、コンデンサ14の放電を完了させることができ、これに伴い、電力変換ユニット20の入力電圧を略0ボルトまで低

下させることができる。

[0097] なお、放電回路 80 の特性を示す電流二乗時間積については、例えば、放電開始時の主回路直流リンクの電圧 V_M と、コンデンサ 14 の容量とに基づいて規定される。放電回路 80 による放電の経路に設けられる各素子の耐量は、上記の電流二乗時間積の値より大きなものに規定される。

[0098] 尚、例えば主回路直流リンクの定格電圧を直流 400 ボルトとし、定電圧ダイオード 57 のツェナー電圧を 50 V とし、放電回路 80 の放電開始電圧を約 100 V とすると、電力変換ユニット 20 が動作を停止した直後の主回路直流リンクの電圧の約 $1/4$ の電圧が放電回路 80 の放電開始電圧となり、放電回路 80 の電流二乗時間積を、直流 400 ボルトから放電を開始する場合に比べて約 $1/16$ の小さな値とすることができる。

[0099] 図 5 を参照して、実施形態の放電回路 80 に放電を開始させる電圧（第 3 閾値、閾値電圧）について説明する。図 5 は、実施形態の放電回路 80 に放電を開始させる電圧について説明するための等価回路図である。

[0100] この図の上段側が主回路直流リンクを示す。その主回路直流リンクの電圧は上述の通り V_M である。抵抗 63 のインピーダンスを R_{D1} で示す。抵抗 56 のインピーダンスを R_{D2} で示す。この図の下段側がゲート駆動用電力を供給する制御系回路を示す。制御系回路における DCDC 変換器 100 の入力電圧許容変動範囲の下限電圧を V_{C_3L} で示す。DCDC 変換器 100 の入力電圧は、前述の電力分配ユニット 50 の入力電圧 V_{C_3} に相当する。

[0101] ゲート回路 30 がゲートブロックの状態にあり、かつ発信器 58 がスイッチング素子 52 にベース駆動信号を供給している状態において、絶縁用高周波変圧器 54 の 1 次側から見たゲート回路 30 側の回路を等価した等価負荷回路のインピーダンスを R_{D3} で示す。

[0102] なお、この図に示す等価回路では、コンデンサ 14 に並列に設けられている放電抵抗 15 と、放電回路 80 とを省略している。

[0103] バイパス回路 60 の接点が閉じることにより、コンデンサ 14 からの電力

がバイパス回路 60 を経て電力分配ユニット 50 に供給され、コンデンサ 14 からの放電電流が第 2 正極端子 521 に流れ込む。なお、以下の解析の条件として、抵抗 56 の端子間電圧は、定電圧ダイオード 57 のツェナー電圧以下になっているものとする。また、各ダイオードの順電圧降下は微小であり、これを無視する。

[0104] 上記の関係から、電圧 V_{C_3L} は、次の式 (1) で表すことができる。

$$[0105] \quad V_{C_3L} = V_M \times R_P / (R_P + R_{D1}) \quad \dots (1)$$

[0106] なお、上記の式 (1) における R_P は、式 (2) に示すように、インピーダンス R_{D2} とインピーダンス R_{D3} を並列接続した際の合成インピーダンスである。

$$[0107] \quad R_P = (R_{D2} \times R_{D3}) / (R_{D2} + R_{D3}) \quad \dots (2)$$

[0108] 上記の式 (1) を変換して得られる式 (3) から、電圧 V_{C_3} が電圧 V_{C_3L} になった場合の電圧 V_M を得ることができる。

$$[0109] \quad V_M = (R_P + R_{D1}) \times V_{C_3L} / R_P \quad \dots (3)$$

[0110] 例えば、電圧 V_{C_3} が、DCDC 変換器 100 としての入力電圧許容変動範囲の下限值 (例えば 50 V) まで低下したと仮定する。その場合の電圧 V_M を、電圧検出器 81 が検出すれば、その時点から放電回路 80 による放電を開始することができる。よって第 3 閾値を式 (3) を下回らない値とすればよい。

[0111] 図 5 に示す等価回路において、コンデンサ 14 から電力分配ユニット 50 に供給される電力により電流が流れる回路のうち、第 2 正極端子 521 からコンデンサ 14 と第 2 負極端子 522 とを通過して電力分配ユニット 50 の 1 次側の負極までの範囲の回路の第 1 インピーダンスを、 R_{D1} と定める。図 5 に示す等価回路では、 R_{D1} を、抵抗 63 のインピーダンス (直流抵抗) と見做してもよい。

[0112] また、上記の等価回路において、電力分配ユニット 50 の第 2 直流入力端子対 520 よりもゲート回路 30 側の回路の等価インピーダンスは、 R_{D3} と規定される。なお、 R_{D2} は、電力分配ユニット 50 の抵抗 56 のインピ

ーダンスである。上記の $R D 3$ の等価インピーダンスと、上記の $R D 3$ と $R D 2$ の並列回路のインピーダンスは、第2インピーダンスの一例である。

[0113] 上記の式(3)は、 $R D 1$ から $R D 3$ までを変数に含む。なお、抵抗 56 を設けない場合、 $R D 2$ の大きさが $R D 3$ より十分に大きい場合などの場合には、式(3)から $R D 2$ を省略して、 $R D 1$ と $R D 3$ を変数に含む式に代えてもよい。

[0114] 上記から、第3閾値は、少なくとも、上記の第1インピーダンスと、上記の第2インピーダンスとに基づいて規定されていてよい。

[0115] このような関係式を利用することにより、ゲート回路30から負にバイパスされたゲート駆動信号が電力変換ユニット20に供給されている間に、放電回路80は、電力変換ユニット20の入力側に供給される電力を、スイッチング素子21に実質的に影響がない値まで低減させることができる。

[0116] なお、上記の実施形態によれば、実際に放電回路80が放電を開始する時刻の主回路直流リンクの電圧 V_M は、主回路直流リンクの定格電圧に比べて低い値に規定される。

[0117] 例えば、不足電圧検出部70により電圧低下が検出された時点で放電回路80の放電を開始する場合には、主回路直流リンクの定格電圧に基づいて放電回路80の電流二乗時間積が規定される。これに対して、実施形態では、電圧 V_{C_3} を基準に定められた主回路直流リンクの電圧 V_M に基づいた電流二乗時間積を基準にして、放電回路80の放電電流耐量が規定される。電圧 V_{C_3} を基準に定まる主回路直流リンクの電圧 V_M を、低くするほど放電回路80の耐量を低くすることが可能になる。

[0118] 上記の実施形態によれば、放電回路80は、少なくともバイパス回路60を経てゲート回路30に電力が供給された後、主回路直流リンクの電圧 V_M が、上記の第3閾値よりも低下したことが電圧検出器81によって検出された場合に、コンデンサ14の放電を開始して速やかに放電を完了させる。この放電完了により、コンデンサ14にはスイッチング素子21に損傷を与えるような電力が残っていない。電力変換装置1は、電力変換装置1の制御系

回路の電源喪失時に電力の変換を停止することができる。

[0119] また、不足電圧検出部 70 は、制御電源ユニット 40 への入力電圧が第 1 閾値に満たない場合に、制御電源ユニット 40 から少なくともゲート回路 30 に供給する電力量が満たないことを検出してもよい。これにより、制御電源ユニット 40 の出力電圧を検出する場合より早く、ゲート回路 30 に供給する電力量が満たないことを検出できる。なお、第 1 閾値は、制御電源ユニット 40 の入力電圧の許容変動範囲の下限值より大きく、制御用外部電源の電源電圧変動の下限より小さな値に定めるとよい。

[0120] さらに、バイパス回路 60 の第 1 リレー 61 は、制御電源ユニット 40 への入力電圧が第 1 閾値に満たないことが電圧検出器 71 によって検出された場合に、正極母線 97 に設けられた接点 611 と負極母線 98 に設けられた接点 612 とを導通させる。上記の導通によって、コンデンサ 14 に蓄えられた直流電力の一部がゲート回路 30 に供給される。これにより、コンデンサ 14 に蓄えられた直流電力によって、ゲート回路 30 に供給する電力量が満たない状態に至らずに、ゲート回路 30 は、ゲート駆動信号を電力変換ユニット 20 に供給することができる。

[0121] また、不足電圧検出部 70 は、制御電源ユニット 40 からの出力電圧が第 2 閾値に満たない場合に、制御電源ユニット 40 から少なくともゲート回路 30 に供給する電力量が満たないことを検出してもよい。これにより、制御電源ユニット 40 に入力される電力が消失する場合に限らず、制御電源ユニット 40 の故障などによりゲート回路 30 に供給する電力量が満たないことを検出できる。なお、第 2 閾値は、制御電源ユニット 40 の出力電圧の許容変動範囲の下限值に関連する値に定めるとよい。制御電源ユニット 40 の出力電圧の許容変動範囲の下限值に関連する値とは、制御電源ユニット 40 の出力電圧の許容変動範囲の下限值から所定の大きさ小さな値であって、上記の下限值以下の値かつ電圧 V_{C_3L} 以上に定めるとよい。

[0122] さらに、バイパス回路 60 の第 2 リレー 62 は、制御電源ユニット 40 からの出力電圧が第 2 閾値に満たないことが電圧検出器 72 によって検出され

た場合に、正極母線 9 7 に設けられた接点 6 2 1 と負極母線 9 8 に設けられた接点 6 2 2 とを導通させることにより、ゲート回路 3 0 に供給する電力量が満たない状態を解消することができる。これにより、コンデンサ 1 4 に蓄えられた直流電力の一部がゲート回路 3 0 に供給され、ゲート回路 3 0 は、コンデンサ 1 4 に蓄えられた直流電力に基づいて、ゲート駆動信号を電力変換ユニットに供給することができる。

[0123] また、制御部 9 0 は、制御電源ユニット 4 0 の入力電圧が第 1 閾値に満たないことが検出されたとき、或いは制御電源ユニット 4 0 からの出力電圧が第 2 閾値に満たないことが検出され、制御電源ユニット 4 0 からゲート回路 3 0 に供給する電力が不足することを識別すると、昇圧チョッパユニット 1 0 から電力変換ユニット 2 0 への電力の供給を止める。放電抵抗 1 5 は、コンデンサ 1 4 に蓄えられた電力を放電させる。その結果、電力変換ユニット 2 0 の入力電圧が徐々に低下する。電力変換ユニット 2 0 の入力電圧を反映する処理に用いられる第 3 閾値は、制御電源ユニット 4 0 の出力電圧の定格値よりも低い値に規定される。

[0124] (実施形態の第 1 変形例)

実施形態の第 1 変形例について説明する。上記の実施形態の電力分配ユニット 5 0 は、その内部に絶縁された絶縁用高周波変圧器 5 4 を備える。本変形例は、これに代えて、ゲート回路 3 0 は絶縁用高周波変圧器を備え、絶縁用高周波変圧器を介して電力を中継する。これに合わせて、電力分配ユニット 5 0 の絶縁用高周波変圧器 5 4 を省略する。

[0125] ゲート回路 3 0 における絶縁用高周波変圧器は、1 次巻線と 2 次巻線とを有する。絶縁用高周波変圧器の 1 次巻線と 2 次巻線とが磁気結合される。ゲート回路 3 0 における絶縁用高周波変圧器の 1 次巻線は、電力分配ユニット 5 0 の入力側の正極母線 9 5 に接続される。絶縁用高周波変圧器の 2 次巻線に電源回路 3 4 が接続される。

[0126] 上記の実施形態の変形例によれば、電子回路用電源を絶縁するユニットが異なるものの第 1 の実施形態と同様の効果を奏する。

[0127] (実施形態の第2変形例)

実施形態の第2変形例について説明する。上記の実施形態の電力分配ユニット50は、その内部に絶縁された絶縁用高周波変圧器54を備える。本変形例は、これに代えて、ゲート回路30は、さらに貫通型の変成器を備え、絶縁用高周波変圧器を介して電力を中継する。これに合わせて、電力分配ユニット50の絶縁用高周波変圧器54を省略する。

[0128] 変成器は、母線に流れる電流を検出する巻線を備え、母線と巻線が互いに絶縁されている。ゲート回路30における変成器は、母線と巻線（2次巻線）とが磁気結合される。例えば、上記の母線は、電力分配ユニット50の入力側の正極母線95である。電源回路34の入力は、変成器36の巻線に接続される。

[0129] 電力分配ユニット50の入力側の正極母線95は、外部に延長され、その延長先で、前述の変成器が複数設けられる。電力分配ユニット50の入力側の正極母線95に流れる高周波電流が、各ゲート回路30内の変成器によって変換され、各ゲート回路30に電力が分配される。

[0130] 上記の実施形態の変形例によれば、電子回路用電源を絶縁するユニットが異なるものの第1の実施形態と同様の効果を奏する。

[0131] 以上説明した少なくともひとつの実施形態によれば、バイパス回路は、制御系回路の電源喪失時に、第1コンデンサに蓄えられた電力の一部を前記第2コンデンサに充電させ、前記第2コンデンサに蓄えられた電力によってゲート駆動信号を負バイアスに維持できる状態にさせる。放電回路は、少なくともバイパス回路を経てゲート回路に電力が供給された後、主回路直流リンクの電圧VMが第3閾値よりも低下したことが第2検出部によって検出された場合に、前記第2コンデンサに蓄えられた電力によって前記ゲート駆動信号が負バイアスに維持された状態で、前記第1コンデンサに蓄えられた電力を放電させる。これにより、電力変換装置は、電力変換装置の制御系回路の電源喪失に伴い電力変換装置が電力の変換を停止する際に、電力の変換に係るスイッチング素子をより安定して制御可能にする。

[0132] 上記の電力変換装置は、その少なくとも一部を、CPUなどのプロセッサがプログラムを実行することにより機能するソフトウェア機能部で実現してもよく、全てをLSI等のハードウェア機能部で実現してもよい。

[0133] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

[0134] 例えば、制御部90は、各電圧検出器の検出結果等に基づいて、バイパス回路60、放電回路80などを制御してもよい。

符号の説明

[0135] 1…電力変換装置、10…昇圧チョッパユニット（直流電源ユニット）、14…コンデンサ（第1コンデンサ）、13、21、52…スイッチング素子、20…電力変換ユニット（電力変換ユニット）、30…ゲート回路、40…制御電源ユニット、50…電力分配ユニット（電力中継回路）、58…発信器（第4検出部）、60…バイパス回路、70…不足電圧検出部、71…電圧検出器（第1検出部）、72…電圧検出器（第2検出部）、80…放電回路、81…電圧検出器（第3検出部）、83…放電用半導体スイッチ、90…制御部、91、93、95、97…正極母線（電力線）、92、94、96、98…負極母線（電力線）、100…DCDC変換器、342、343…コンデンサ（第2コンデンサ）

請求の範囲

[請求項1]

ゲートを有したスイッチング素子を含み、備える直流入力端子に供給される直流電力から交流電力を生成する電力変換ユニットと、

前記電力変換ユニットの直流入力側に設けられた第1コンデンサと、

前記スイッチング素子のゲートに供給されるゲート駆動信号を出力する駆動回路と、前記駆動回路に供給される電力の電源電圧を平滑化する第2コンデンサとを含むゲート回路と、

制御系回路の電源喪失時に、前記第1コンデンサに蓄えられた電力の一部を前記第2コンデンサに充電させ、前記第2コンデンサに蓄えられた電力によって前記ゲート駆動信号を負バイアスに維持できる状態にさせるバイパス回路と、

前記第2コンデンサに蓄えられた電力によって前記ゲート駆動信号が負バイアスに維持された状態で、前記第1コンデンサに蓄えられた電力を放電させる放電回路と、

を備える電力変換装置。

[請求項2] 1 次側と 2 次側とを絶縁する絶縁回路を含み、前記絶縁回路を介して電力を中継する電力中継回路をさらに備え、

 前記絶縁回路の 1 次側が前記バイパス回路を介して前記第 1 コンデンサに接続され、前記絶縁回路の 2 次側が前記ゲート回路の前記第 2 コンデンサに接続される、

 請求項 1 に記載の電力変換装置。

[請求項3]

前記ゲート回路に電力を供給する制御電源ユニットと、

前記制御電源ユニットへの入力電圧が第1 閾値に満たないことを検出する第1 検出部をさらに備え、

前記バイパス回路は、

第1 接点が前記第1 コンデンサと前記中継回路との間に設けられた第1 開閉器を備え、

前記第 1 開閉器は、

前記制御電源ユニットへの入力電圧が第 1 閾値に満たないことが前記第 1 検出部によって検出された場合に前記第 1 接点を閉じる、
ことを特徴とする請求項 2 に記載の電力変換装置。

[請求項 4]

前記電力中継回路を介して前記ゲート回路に電力を供給する制御電源ユニットと、

前記制御電源ユニットからの出力電圧が第 2 閾値に満たないことを検出する第 2 検出部とをさらに備え、

前記バイパス回路は、

第 2 接点が前記第 1 コンデンサと前記中継回路との間に設けられた第 2 開閉器を備え、

前記第 2 開閉器は、

前記制御電源ユニットからの出力電圧が第 2 閾値に満たないことが前記第 2 検出部によって検出された場合に前記第 2 接点を閉じる、
ことを特徴とする請求項 2 に記載の電力変換装置。

[請求項 5]

前記電力変換ユニットの前記直流入力端子に直流電力を供給する直流電源ユニットと、

少なくとも前記制御電源ユニットからの出力電圧が第 2 閾値に満たないことを検出すると、前記直流電源ユニットから前記電力変換ユニットへの電力の供給を止める制御装置と、

前記電力変換ユニットの前記直流入力端子に掛かる電圧を検出し、
前記電力変換ユニットの前記直流入力端子に掛かる電圧が第 3 閾値よりも低下した場合に、放電開始信号を出力する第 3 検出部と、

を備える請求項 4 に記載の電力変換装置。

[請求項 6]

前記放電回路は、

前記第 1 コンデンサに蓄えられた電力を放電させる放電抵抗と、

前記電力変換ユニットの前記直流入力端子に掛かる電圧を検出し、

前記電力変換ユニットの前記直流入力端子に掛かる電圧が第3閾値よりも低下した場合に、放電開始信号を出力する第3検出部と、

前記放電開始信号を受けて、前記放電抵抗を前記第1コンデンサに並列に接続させる第3開閉器と

を備える請求項5記載の電力変換装置。

[請求項7]

前記第3閾値は、

少なくとも、前記第1コンデンサから前記電力中継回路に供給される電力に係る電流が流れる回路のうち、前記電力中継回路の入力端子の正極から前記第1コンデンサを通して前記電力中継回路の入力端子の負極までの範囲の回路の第1インピーダンスと、前記電力中継回路の入力端子よりも前記ゲート回路側の回路を等価した等価回路の第2インピーダンスとに基づいて規定される、

請求項5記載の電力変換装置。

[請求項8]

前記バイパス回路は、電流制限抵抗と、第1開閉器と、第2開閉器とを備え、

前記第1コンデンサの正極は、前記電力変換ユニットの前記直流入力端子の正極に接続される正極母線と、前記正極母線に接続された前記電流制限抵抗とを介して、前記第1開閉器の接点の第1端子と、前記第2開閉器の接点の第1端子とに接続され、

前記第1開閉器の接点の第2端子と、前記第2開閉器の接点の第2端子とが、接続点に夫々接続され、

前記電力中継回路は、前記接続点の電圧の上限値を制限する定電圧回路を備え、

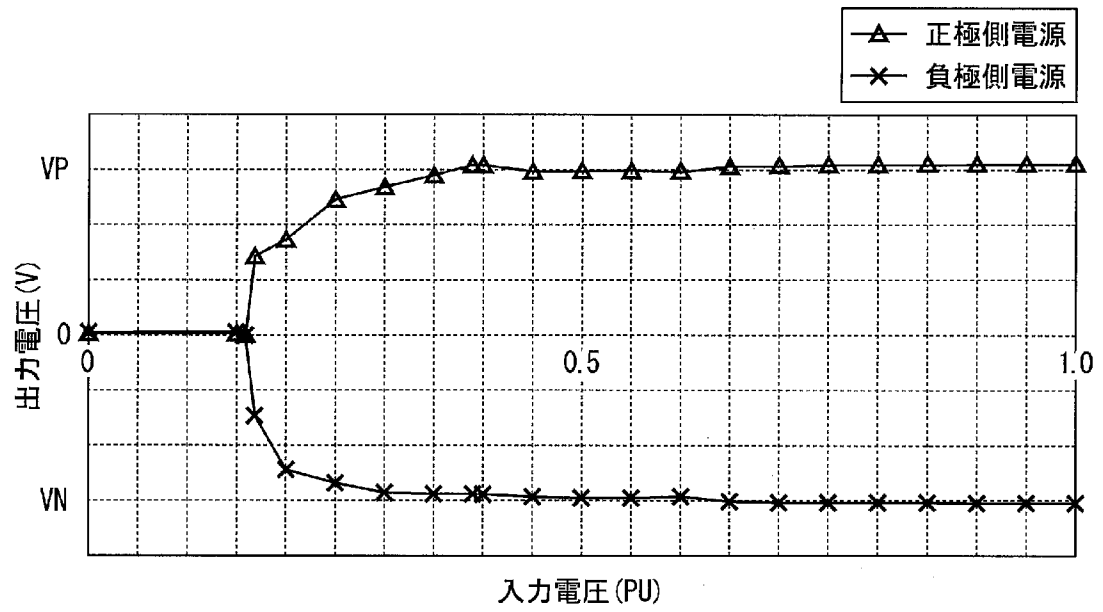
前記定電圧回路の第1端子が、前記接続点に接続され、

前記定電圧回路の第2端子が、前記電力変換ユニットの前記直流入力端子の負極に接続される負極母線を介して前記第1コンデンサの負極に接続される、

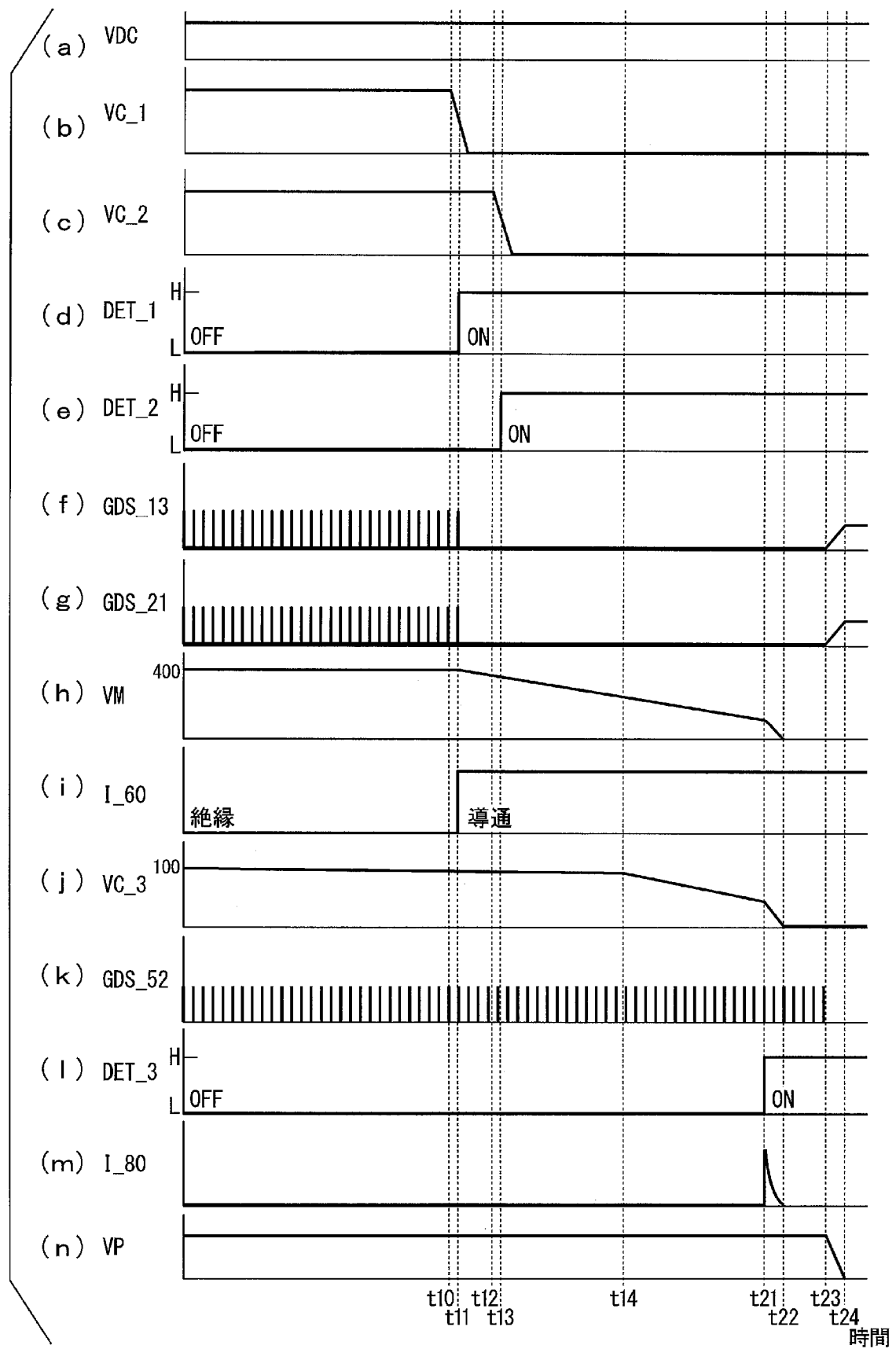
請求項2記載の電力変換装置。

[請求項9] 前記放電回路の放電時定数は、前記第2コンデンサによって、前記ゲートを負バイアスに維持できる電圧保持時間よりも小さい、
請求項1記載の電力変換装置。

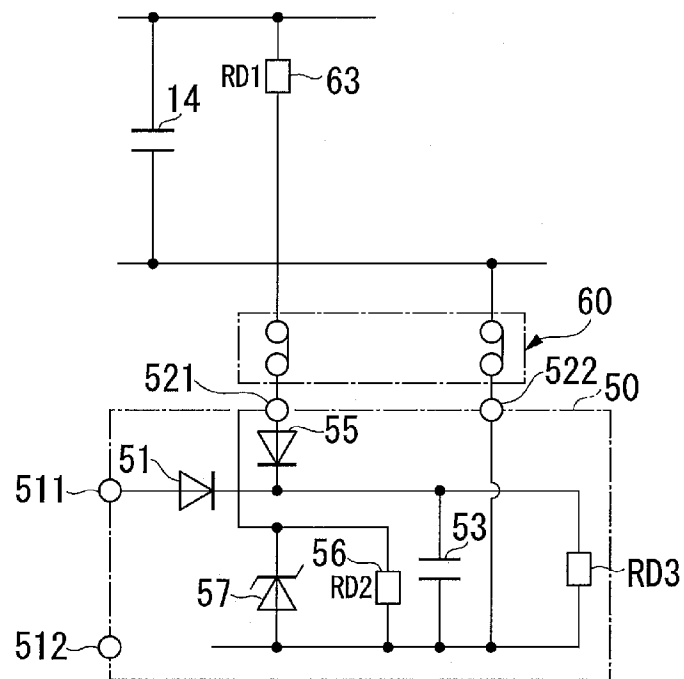
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043739

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2-164275 A (FUJI ELECTRIC CO., LTD.) 25 June 1990, entire text, fig. 1 (Family: none)	1-2 3-9
Y A	JP 6-315201 A (TOYOTA MOTOR CORPORATION) 08 November 1994, paragraph [0009] (Family: none)	1-2 3-9
Y A	JP 2010-148181 A (MITSUBISHI ELECTRIC CORPORATION) 01 July 2010, paragraph [0011], fig. 1 & US 2010/0149844 A1, paragraph [0025], fig. 1	1-2 3-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24.01.2019

Date of mailing of the international search report
12.02.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/043739

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-123202 A (NISSAN MOTOR CO., LTD.) 07 July 2016, paragraphs [0013], [0023]-[0026], fig. 1, 2 (Family: none)	2 3-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2-164275 A（富士電機株式会社）1990.06.25, 全文, 第1図（ファミリーなし）	1-2 3-9
Y A	JP 6-315201 A（トヨタ自動車株式会社）1994.11.08, [0009]（ファミリーなし）	1-2 3-9
Y A	JP 2010-148181 A（三菱電機株式会社）2010.07.01, [0011], 図1 & US 2010/0149844 A1, [0025], FIG. 1	1-2 3-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

24.01.2019

国際調査報告の発送日

12.02.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

遠藤 尊志

5G

3052

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-123202 A (日産自動車株式会社) 2016.07.07, [0013], [0023]-[0026], 図 1-2 (ファミリーなし)	2 3-9