

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 6 月 29 日 (29.06.2023)



(10) 国际公布号
WO 2023/116357 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) H01L 29/06 (2006.01)

(21) 国际申请号: PCT/CN2022/134890

(22) 国际申请日: 2022 年 11 月 29 日 (29.11.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111599705.6 2021 年 12 月 24 日 (24.12.2021) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 李永顺 (LI, Yongshun); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。金华俊 (JIN, Huajun); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。宋亮 (SONG, Liang); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制造方法

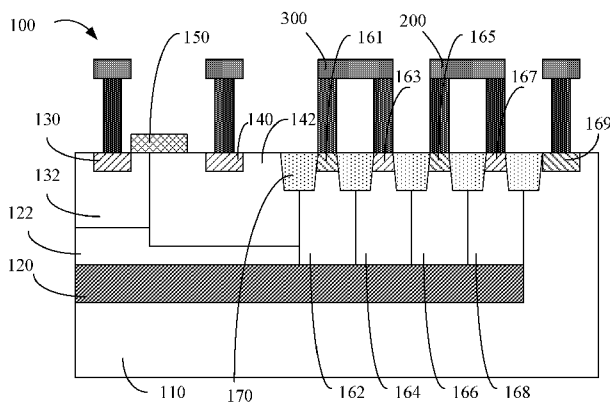


图 1

(57) Abstract: A semiconductor device (100), comprising: a substrate (110); a first-conductivity-type buried layer (120), which is arranged in the substrate (110); a drift region (142), which is arranged on the buried layer (120); a drain region (130), which is arranged in the drift region (142); a body region (132), which is arranged on the buried layer (120); a source region (130), which is arranged in the body region (132); and a first to a fourth doped region (162, 164, 166, 168), which are arranged on the buried layer (120) and are sequentially arranged in the direction of the drift region (142) away from the body region (132), wherein the doping concentration of the third doped region (166) is less than the doping concentration of the first doped region (162), and the doping concentration of the second doped region (164) is greater than the doping concentration of the fourth doped region (168).

(57) 摘要: 一种半导体器件 (100) 包括: 衬底 (110); 第一导电类型埋层 (120), 设于衬底 (110) 中; 漂移区 (142), 设于埋层 (120) 上; 漏极区 (130), 设于漂移区 (142) 内; 体区 (132), 设于埋层 (120) 上; 源极区 (130), 设于体区 (132) 内; 设于埋层 (120) 上并且在漂移区 (142) 背离体区 (132) 的方向上依次排列的第一至第四掺杂区 (162、164、166、168); 其中, 所述第三掺杂区 (166) 的掺杂浓度小于所述第一掺杂区 (162) 的掺杂浓度, 所述第二掺杂区 (164) 的掺杂浓度大于所述第四掺杂区 (168) 的掺杂浓度。

GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告 (条约第21条(3))。

半导体器件及其制造方法

相关申请的交叉引用

本申请要求 2021 年 12 月 24 日申请的，申请号为 2021115997056，名称
5 为“具有隔离结构的半导体器件及其制造方法”的中国专利申请的优先权，
在此将其全文引入作为参考。

技术领域

本发明涉及半导体制造领域，特别是涉及一种具有隔离结构的半导体器
10 件及其制造方法。

背景技术

在现有的 LDMOS 中，可以通过 PN 结反偏的阱区隔离结构来进行隔离，
例如通过 DN-BN-DN（深 N 阱-N 型埋层-深 N 阱）环来进行器件之间的隔离。
15 但是当 LDMOS 应用于死区时间的条件下，由于 LDMOS 的体二极管续流，
体二极管的 N 型漂移区（N-Drift）和 P 型体区（P-Body）形成的 PN 结会产生
负压降，电子电流大量涌入 P-Body，且 N 型漂移区/P 型体区/N 型埋层组
成的 NPN 三极管开启且工作在放大区，部分电子电流在 BN 和 P-Body 形成
的反偏电场的作用下流入 BN。由于 DN-BN-DN 环高阻区的存在，使得 BN
20 环上的电位快速下降，甚至低于 P 型衬底（Psub）的电位，Psub 和 BN 形成
的 PN 结正偏，Psub 内的空穴载流子就会注入 BN，BN 内的电子会注入 Psub，
从而形成较大的 Psub 漏电。

发明内容

25 基于此，有必要提供一种半导体器件。

一种具有隔离结构的半导体器件，包括：衬底，具有第二导电类型；第

一导电类型埋层，设于所述衬底中；漂移区，具有第一导电类型，设于所述第一导电类型埋层上；漏极区，具有第一导电类型，设于所述漂移区内；体区，具有第二导电类型，设于所述第一导电类型埋层上；源极区，具有第一导电类型，设于所述体区内；第一掺杂区，具有第二导电类型，设于所述漂
5 移区的与所述体区相背的一侧、所述第一导电类型埋层上；第二掺杂区，具有第一导电类型，设于所述第一掺杂区的与所述漂移区相背的一侧、所述第一导电类型埋层上；第三掺杂区，具有第二导电类型，设于所述第二掺杂区的与所述第一掺杂区相背的一侧、所述第一导电类型埋层上；第四掺杂区，具有第一导电类型，设于所述第三掺杂区的与所述第二掺杂区相背的一侧、
10 所述第一导电类型埋层上；其中，所述第一导电类型和第二导电类型为相反的导电类型，所述第一掺杂区和所述第二掺杂区连接第一电压端口，所述第三掺杂区和所述第四掺杂区连接至第二电压端口，所述第二电压端口的外接电压高于所述第一电压端口的外接电压。

还有必要提供一种具有隔离结构的半导体器件的制造方法。

15 一种具有隔离结构的半导体器件的制造方法，包括：获取晶圆；所述晶圆包括：衬底，所述衬底中的第一导电类型埋层，所述第一导电类型埋层上的漂移区，所述第一导电类型埋层上的体区，所述漂移区内的漏极区及所述体区内的源极区；所述衬底和体区具有第二导电类型，所述漂移区、漏极区及源极区具有第一导电类型，所述第一导电类型和第二导电类型为相反的导
20 电类型；在所述第一导电类型埋层上形成在所述漂移区背离所述体区的方向上依次排列的第一掺杂区、第二掺杂区、第三掺杂区及第四掺杂区，所述第一掺杂区和第三掺杂区具有第二导电类型，所述第二掺杂区和第四掺杂区具有第一导电类型，所述第三掺杂区的掺杂浓度小于所述第一掺杂区的掺杂浓度，所述第二掺杂区的掺杂浓度大于所述第四掺杂区的掺杂浓度；形成与所
25 述第三掺杂区和第四掺杂区电性连接的第二电压端口，和与所述第一掺杂区和第二掺杂区电性连接的第一电压端口，所述第二电压端口的外接电压高于所述第一电压端口的外接电压。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

图 1 是一实施例中半导体器件的示意图；

图 2 是一实施例中半导体器件的制造方法的流程图；

图 3 是一实施例中半导体器件的制造方法形成第一导电类型埋层的示意图；

图 4 是一实施例中半导体器件的制造方法进行漂移区注入的示意图；

图 5 是一实施例中半导体器件的制造方法形成体区的示意图；

图 6 是一实施例中半导体器件的制造方法形成第一掺杂区和第三掺杂区的示意图；

图 7 是一实施例中半导体器件的制造方法形成第二掺杂区和第四掺杂区的示意图；

图 8 是另一实施例中半导体器件的示意图；

图 9 是另一实施例中半导体器件的示意图。

具体实施方式

为了便于理解本发明，下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的首选实施例。但是，本发明可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本发明的技

术领域的技术人员通常理解的含义相同。本文中在本发明的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本发明。本文所使用的术语“及 / 或”包括一个或多个相关的所列项目的任意的和所有的组合。

应当明白，当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本发明教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在...下面”和“在...下”可包括上和下两个取向。器件可以另外地取向(旋转 90 度或其它取向)并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的

存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

这里参考作为本发明的理想实施例(和中间结构)的示意图的横截面图来描述发明的实施例。这样，可以预期由于例如制造技术和/或容差导致的从所示形状的变化。因此，本发明的实施例不应当局限于在此所示的区的特定形状，而是包括由于例如制造导致的形状偏差。例如，显示为矩形的注入区在其边缘通常具有圆的或弯曲特征和/或注入浓度梯度，而不是从注入区到非注入区的二元改变。同样，通过注入形成的埋藏区可导致该埋藏区和注入进行时所经过的表面之间的区中的一些注入。因此，图中显示的区实质上是示意性的，它们的形状并不意图显示器件的区的实际形状且并不意图限定本发明的范围。

本文所使用的半导体领域词汇为本领域技术人员常用的技术词汇，例如对于 P 型和 N 型杂质，为区分掺杂浓度，简易的将 P+型代表重掺杂浓度的 P 型，P 型代表中掺杂浓度的 P 型，P-型代表轻掺杂浓度的 P 型，N+型代表重掺杂浓度的 N 型，N 型代表中掺杂浓度的 N 型，N-型代表轻掺杂浓度的 N 型。

图 1 是根据一实施例的半导体器件的结构示意图。在该实施例中，半导体器件 100 包括衬底 110、第一导电类型埋层 120、源极区 130、漏极区 140、体区 132、漂移区 142、第一掺杂区 162、第二掺杂区 164、第三掺杂区 166 及第四掺杂区 168。衬底 110 具有第二导电类型。第一导电类型埋层 120 设于衬底 110 上。漂移区 142 具有第一导电类型，设于第一导电类型埋层 120 上。漏极区 140 具有第一导电类型，设于漂移区 142 内。体区 132 具有第二导电类型，设于第一导电类型埋层 120 上。源极区 130 具有第一导电类型，设于体区 132 内。

第一掺杂区 162 具有第二导电类型，设于漂移区 142 的与体区 132 相背的一侧，且位于第一导电类型埋层 120 上。第二掺杂区 164 具有第一导电类型，设于第一掺杂区 162 的与漂移区 142 相背的一侧，且位于第一导电类型埋层 120 上。第三掺杂区 166 具有第二导电类型，设于第二掺杂区 164 的与

第一掺杂区 162 相背的一侧，且位于第一导电类型埋层 120 上。第四掺杂区 168 具有第一导电类型，设于第三掺杂区 166 的与第二掺杂区 164 相背的一侧，且位于第一导电类型埋层 120 上。第一导电类型埋层 120 可以如图 1 所示完整覆盖第四掺杂区 168 的底部，也可以是部分覆盖，即在图 1 中第一导电类型埋层 120 的右边界不与第四掺杂区 168 的右边界平齐。第一导电类型埋层 120、第一掺杂区 162、第二掺杂区 164、第三掺杂区 166 及第四掺杂区 168 作为隔离结构。

在上述半导体器件工作时，第三掺杂区 166 和第四掺杂区 168 连接的电位的电压高于第一掺杂区 162 和第二掺杂区 164 连接的电位的电压。由于第三掺杂区 166 和第四掺杂区 168 接高电位，第一掺杂区 162 和第二掺杂区 164 接低电位，这样在由体区 132 和漂移区 142 组成的体二极管续流时，由第二掺杂区 164-第三掺杂区 166-第四掺杂区 168 组成的三极管工作在放大区，可以将涌入第一导电类型埋层 120 的电流吸收，避免其流入衬底 110，从而显著地屏蔽了由于体二极管续流导致的衬底漏电。在本申请的一个实施例中，第一导电类型为 N 型，第二导电类型为 P 型，因此由第二掺杂区 164-第三掺杂区 166-第四掺杂区 168 组成的 BJT 为 NPN 三极管。在图 1 所示的实施例中，第三掺杂区 166 和第四掺杂区 168 均电性连接第二电压端口 200，第一掺杂区 162 和第二掺杂区 164 均电性连接第一电压端口 300。第二电压端口 200 的外接电压高于第二电压端口 200 的外接电压。

漂移区 142 和体区 132 可以间隔设置，也可以如图 1 所示相邻设置（即漂移区 142 和体区 132 直接接触）。漂移区 142 和体区 132 间隔设置可以提高整个器件的击穿电压（BV），而漂移区 142 和体区 132 相邻设置时整个器件的击穿电压与间隔设置相比虽然有所降低，但可以减小器件尺寸。

漂移区 142 与第一掺杂区 162 可以如图 1 所示相邻设置（即漂移区 142 与第一掺杂区 162 直接接触），也可以间隔设置。在图 1 所示的实施例中，漂移区 142 和体区 132 与第一导电类型埋层 120 之间还设有第二导电类型掺杂区 122。在本申请的一个实施例中，漂移区 142 为 N-drift，N-drift 下方的第

二导电类型掺杂区 122 为 P 型降低表面电场区域 (P-RESURF)。第二导电类型掺杂区 122 与第一导电类型埋层 120 可以如图 1 所示相邻设置 (即第二导电类型掺杂区 122 与第一导电类型埋层 120 直接接触), 也可以间隔设置。

参见图 8, 在本申请的另一个实施例中, 第一导电类型埋层 120 与第四掺杂区 168 至少部分接触, 第一掺杂区 162、第二掺杂区 164 及第三掺杂区 166 的底部均与 120 间隔设置。图 8 所示的实施例相比图 1 所示的实施例, 第二掺杂区 164、第二导电类型掺杂区 122、第一导电类型埋层 120 及衬底 110 会组成 NPNP 结构, 可以较好地屏蔽衬底漏电。

在本申请的一个实施例中, 第三掺杂区 166 的掺杂浓度小于第一掺杂区 162 的掺杂浓度。第三掺杂区 166 作为泄放寄生漏电的 BJT 结构的基区, 适当降低其掺杂浓度可以增大 BJT 的增益, 提高漏电屏蔽能力。此外, 如果第三掺杂区 166 掺杂浓度太高, 会引入第三掺杂区 166-第一导电类型埋层 120-衬底 110 组成的寄生漏电路径, 反而会增大衬底漏电。在本申请的一个实施例中, 第一掺杂区 162 为深 P 阱, 第三掺杂区 166 为深 P 型环。

在本申请的一个实施例中, 第二掺杂区 164 的掺杂浓度大于第四掺杂区 168 的掺杂浓度。第二掺杂区 164 作为泄放寄生漏电的 BJT 结构的发射极, 提高其掺杂浓度可以增加发射极注入效率, 从而提高对衬底漏电的屏蔽能力。

可选地, 使第一导电类型埋层 120 的掺杂浓度尽可能地高, 以保证当体二极管续流时电流涌入第一导电类型埋层 120 中时, 第一导电类型埋层 120 不会产生太大的压降。在本申请的一个实施例中, 第一导电类型埋层 120 的掺杂浓度大于第二掺杂区 164 的掺杂浓度, 且第一导电类型埋层 120 的掺杂浓度大于第四掺杂区 168 的掺杂浓度。

在图 1 所示的实施例中, 半导体器件还包括设于漏极区 140 和源极区 130 之间的区域上方的栅极 150。在本申请的一个实施例中, 栅极 150 为多晶硅材料。在其他实施例中, 栅极 150 也可使用金属、金属氮化物、金属硅化物或类似化合物作为栅极 150 的材料。栅极 150 下方还可以设置栅极介电层, 栅极介电层可以包括传统的电介质材料诸如具有电介质常数从大约 4 到大约

20(真空中测量)的硅的氧化物、氮化物和氮氧化物。或者,栅极介电层可以包括具有电介质常数从大约 20 到至少大约 100 的通常较高电介质常数电介质材料。这种较高电介质常数电介质材料可以包括但不限于:氧化铪、硅酸铪、氧化钛、钛酸锶钡(BSTs)和锆钛酸铅(PZTs)。

5 在本申请的一个实施例中,半导体器件还包括第一接触区 161、第二接触区 163、第三接触区 165 及第四接触区 167。第一接触区 161 具有第二导电类型,设于第一掺杂区 162 的表面,第一接触区 161 的掺杂浓度大于第一掺杂区 162 的掺杂浓度。第二接触区 163 具有第一导电类型,设于第二掺杂区 164 的表面,第二接触区 163 的掺杂浓度大于第二掺杂区 164 的掺杂浓度。

10 第三接触区 165 具有第二导电类型,设于第三掺杂区 166 的表面,第三接触区 165 的掺杂浓度大于第三掺杂区 166 的掺杂浓度。第四接触区 167 具有第一导电类型,设于第四掺杂区 168 的表面,第四接触区 167 的掺杂浓度大于第四掺杂区 168 的掺杂浓度。在图 1 所示的实施例中,第一接触区 161 和第二接触区 163 与阴极形成欧姆接触,第三接触区 165 和第四接触区 167 与阳

15 极形成欧姆接触。需注意的是,第一掺杂区 162、第二掺杂区 164、第三掺杂区 166 及第四掺杂区 168 不能接同电位,因为接同电位的话,在体区 132 和漂移区 142 组成的体二极管续流的条件下,涌入第一导电类型埋层 120 的大量电子电流会导致第一导电类型埋层 120 的电位低于第三掺杂区 166,使得第三掺杂区 166-第一导电类型埋层 120-衬底 110 组成的寄生三极管(PNP 三

20 极管)开启,衬底漏电流增大,隔离结构失效。

在图 1 所示的实施例中,半导体器件还包括浅沟槽隔离(STI)结构 170。浅沟槽隔离结构 170 设于漂移区 142 的顶部和第一掺杂区 162 的顶部之间、第一掺杂区 162 的顶部和第二掺杂区 164 的顶部之间、第二掺杂区 164 的顶部和第三掺杂区 166 的顶部之间、第三掺杂区 166 的顶部和第四掺杂区 168 的顶部之间。

25

请参阅图 9,在另一个实施例中,半导体器件还包括局部硅氧化隔离(LOCOS)180,局部硅氧化隔离 180 设于漂移区 142 的顶部和第一掺杂区

162 的顶部之间、第一掺杂区 162 的顶部和第二掺杂区 164 的顶部之间、第二掺杂区 164 的顶部和第三掺杂区 166 的顶部之间、第三掺杂区 166 的顶部和第四掺杂区 168 的顶部之间。

在图 1 所示的实施例中，半导体器件还包括设于衬底 110 顶部的第五接触区 169。第五接触区 169 具有第二导电类型，且掺杂浓度大于衬底 110 的掺杂浓度。在图 1 所示的实施例中，第五接触区 169 和第四接触区 167 之间也通过浅沟槽隔离结构 170 进行隔离。

在本申请的一个实施例中，漏极区 140 的掺杂浓度大于漂移区 142 的掺杂浓度。源极区 130 的掺杂浓度大于体区 132 的掺杂浓度。

上述半导体器件可应用于横向器件，例如 LDMOS（横向扩散金属氧化物半导体）器件中。漏极区 140、源极区 130、栅极 150、体区 132、漂移区 142 为 LDMOS 的相应结构。

根据一个实施例，还提供一种半导体器件的制造方法，可以用于制造前述任一实施例的半导体器件。图 2 是一实施例中半导体器件的制造方法的流程图，该方法包括下列步骤：

S210，获取晶圆。

需要在晶圆的衬底中形成第一导电类型埋层。参照图 3，在本申请的一个实施例中，可以在第二导电类型的衬底 310 中通过掺杂形成第一导电类型埋层 320，然后在衬底 310 和第一导电类型埋层 320 上外延生长第二导电类型的外延层 322，后续的器件结构和隔离结构形成在外延层 322 中。在另一个实施例中，也可以通过高能离子注入直接在衬底的中部形成第一导电类型埋层，后续的器件结构和隔离结构形成在第一导电类型埋层上方的衬底中。

在本申请的一个实施例中，第一导电类型为 N 型，第二导电类型为 P 型。

形成第一导电类型埋层后可以通过掺杂形成漂移区和体区。参照图 4 和图 5，在本申请的一个实施例中，通过离子注入在第一导电类型埋层 320 上的外延层 322 中形成第一导电类型掺杂区 341。然后向第一导电类型掺杂区 341 中注入第二导电类型离子，使第一导电类型掺杂区 341 的部分区域的掺

杂离子被中和后形成体区 332，第一导电类型掺杂区 341 未被中和的区域作为漂移区 342。在本申请的一个实施例中，漂移区 342 为 N-drift，体区 332 为 P-body，P-body 的离子注入采用高能量高剂量的 P 型杂质注入。这种漂移区/体区的形成方式，能够利用 N-drift 底部的 P-RESURF 注入，提高 P-body 的浓度，从而增强 P-body 对体二极管续流时产生的电子电流的复合能力。

在本申请的一个实施例中，形成漂移区 342 和体区 332 后，还可以在体区 332 中形成源极区 330，在漂移区 342 中形成漏极区 340，以及在漏极区 340 和源极区 330 之间的区域上方形成栅极 350。

S220，在晶圆中形成第一掺杂区、第二掺杂区、第三掺杂区及第四掺杂区。

参见图 6 和图 7，在本申请的一个实施例中，可以先通过离子注入第二导电类型离子形成第一掺杂区 362 和第三掺杂区 366，再通过离子注入第一导电类型离子形成第二掺杂区 364 和第四掺杂区 368。第一掺杂区 362、第二掺杂区 364、第三掺杂区 366 及第四掺杂区 368 在漂移区 342 背离体区 332 的方向上依次排列。在本申请的一个实施例中，第三掺杂区 366 的掺杂浓度小于第一掺杂区 362 的掺杂浓度。在本申请的一个实施例中，第二掺杂区 364 的掺杂浓度大于第四掺杂区 368 的掺杂浓度。第一导电类型埋层 320 可以如图 7 所示完整覆盖第四掺杂区 368 的底部，也可以是部分覆盖，即在图 7 中第一导电类型埋层 320 的右边界不与第四掺杂区 368 的右边界平齐。第一掺杂区 362、第二掺杂区 364 及第三掺杂区 366 的注入深度也可以不到达第一导电类型埋层 320，即第一掺杂区 362、第二掺杂区 364 及第三掺杂区 366 与第一导电类型埋层 320 之间可以间隔有外延层 322。

S230，形成与第三、第四掺杂区，以及与第一、第二掺杂区电性连接第一、第二电压端口。

第二电压端口 200 与第三掺杂区 366 和第四掺杂区 368 电性连接，第一电压端口 300 与第一掺杂区 362 和第二掺杂区 364 电性连接。半导体器件工作时，第二电压端口 200 接入的电压高于第一电压端口 300 接入的电压。在

本申请的一个实施例中，第二电压端口 200 为阳极，第一电压端口 300 为阴极。第二电压端口 200 接高电位，第一电压端口 300 接低电位。

在本申请的一个实施例中，步骤 S230 之前还包括通过离子注入形成第一接触区、第二接触区、第三接触区及第四接触区的步骤。

5 所述第一接触区具有第二导电类型，设于所述第一掺杂区的表面，所述第一接触区的掺杂浓度大于所述第一掺杂区的掺杂浓度；所述第二接触区具有第一导电类型，设于所述第二掺杂区的表面，所述第二接触区的掺杂浓度大于所述第二掺杂区的掺杂浓度；所述第三接触区具有第二导电类型，设于所述第三掺杂区的表面，所述第三接触区的掺杂浓度大于所述第三掺杂区的掺杂浓度；所述第四接触区具有第一导电类型，设于所述第四掺杂区的表面，
10 所述第四接触区的掺杂浓度大于所述第四掺杂区的掺杂浓度；所述第二电压端口与所述第三接触区及第四接触区形成欧姆接触，所述第一电压端口与所述第一接触区及第二接触区形成欧姆接触。

 在本申请的一个实施例中，在步骤 S210 形成第一导电类型埋层 320 之后，
15 还包括形成浅沟槽隔离结构 170 的步骤。浅沟槽隔离结构 170 可以形成于漂移区 342 的顶部和第一掺杂区 362 的顶部之间、第一掺杂区 362 的顶部和第二掺杂区 364 的顶部之间、第二掺杂区 364 的顶部和第三掺杂区 366 的顶部之间、以及第三掺杂区 366 的顶部和第四掺杂区 368 的顶部之间。在本申请的其他实施例中，在步骤 S210 形成第一导电类型埋层 320 之后，还包括形成
20 局部硅氧化隔离 180 的步骤，局部硅氧化隔离 180 设于漂移区 342 的顶部和第一掺杂区 362 的顶部之间、第一掺杂区 362 的顶部和第二掺杂区 364 的顶部之间、第二掺杂区 364 的顶部和第三掺杂区 366 的顶部之间、第三掺杂区 366 的顶部和第四掺杂区 368 的顶部之间。

 应该理解的是，虽然本申请的流程图中的各个步骤按照箭头的指示依次
25 显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，本申请的流程图中的至少一部分步骤可以包括多个步

骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

5 在本说明书的描述中，参考术语“有些实施例”、“其他实施例”、“理想实施例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特征包含于本发明的至少一个实施例或示例中。在本说明书中，对上述术语的示意性描述不一定指的是相同的实施例或示例。

10 以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

15 以上所述实施例仅表达了本发明的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干变形和改进，这些都属于本发明的保护范围。因此，本发明专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体器件，包括：

衬底，具有第二导电类型；

第一导电类型埋层，设于所述衬底中；

漂移区，具有第一导电类型，设于所述第一导电类型埋层上；

漏极区，具有所述第一导电类型，设于所述漂移区内；

体区，具有所述第二导电类型，设于所述第一导电类型埋层上；

源极区，具有所述第一导电类型，设于所述体区内；

第一掺杂区，具有所述第二导电类型，设于所述第一导电类型埋层上且位于所述漂移区的与所述体区相背的一侧；

第二掺杂区，具有所述第一导电类型，设于所述第一导电类型埋层上且位于所述第一掺杂区的与所述漂移区相背的一侧；

第三掺杂区，具有所述第二导电类型，设于所述第一导电类型埋层上且位于所述第二掺杂区的与所述第一掺杂区相背的一侧；及

第四掺杂区，具有所述第一导电类型，设于所述第一导电类型埋层上且位于所述第三掺杂区的与所述第二掺杂区相背的一侧；

其中，所述第一导电类型和所述第二导电类型为相反的导电类型，所述第一掺杂区和所述第二掺杂区连接第一电压端口，所述第三掺杂区和所述第四掺杂区连接至第二电压端口，所述第二电压端口的外接电压高于所述第一电压端口的的外接电压。

2、根据权利要求 1 所述的半导体器件，其特征在于，所述第三掺杂区的掺杂浓度小于所述第一掺杂区的掺杂浓度。

3、根据权利要求 1 所述的半导体器件，其特征在于，所述第二掺杂区的掺杂

浓度大于所述第四掺杂区的掺杂浓度。

4、根据权利要求 1 所述的半导体器件，还包括设于所述漂移区和所述体区与所述第一导电类型埋层之间的第二导电类型掺杂区。

5. 根据权利要求 4 所述的半导体器件，其特征在于，所述漂移区为 N-drift，所述第二导电类型掺杂区为 P-RESURF。

6. 根据权利要求 1 所述的半导体器件，还包括设于所述漏极区和所述源极区之间的区域的上方的栅极。

7、根据权利要求 1 所述的半导体器件，其特征在于，所述第一导电类型埋层的掺杂浓度大于所述第二掺杂区的掺杂浓度和所述第四掺杂区的掺杂浓度。

8、根据权利要求 1 所述的半导体器件，还包括：

第一接触区，具有所述第二导电类型，设于所述第一掺杂区的表面，所述第一接触区的掺杂浓度大于所述第一掺杂区的掺杂浓度；

第二接触区，具有所述第一导电类型，设于所述第二掺杂区的表面，所述第二接触区的掺杂浓度大于所述第二掺杂区的掺杂浓度；

第三接触区，具有所述第二导电类型，设于所述第三掺杂区的表面，所述第三接触区的掺杂浓度大于所述第三掺杂区的掺杂浓度；及

第四接触区，具有所述第一导电类型，设于所述第四掺杂区的表面，所述第四接触区的掺杂浓度大于所述第四掺杂区的掺杂浓度。

9、根据权利要求 1 所述的半导体器件，其特征在于，所述半导体器件为 LDMOS 器件。

10、根据权利要求 1 所述的半导体器件，还包括多个浅沟槽隔离结构，其中所述多个浅沟槽隔离结构分别设于所述漂移区的顶部和所述第一掺杂区的顶部之间、所述第一掺杂区的顶部和所述第二掺杂区的顶部之间、所述第二掺

杂区的顶部和所述第三掺杂区的顶部之间、所述第三掺杂区的顶部和所述第四掺杂区的顶部之间。

11、根据权利要求 8 所述的半导体器件，还包括设于所述衬底顶部的第五接触区，所述第五接触区具有所述第二导电类型，所述第五接触区的掺杂浓度大于所述衬底的掺杂浓度，所述第五接触区和所述第四接触区之间通过浅沟槽隔离结构进行隔离。

12、根据权利要求 1 所述的半导体器件，其特征在于，所述漏极区的掺杂浓度大于所述漂移区的掺杂浓度，所述源极区的掺杂浓度大于所述体区的掺杂浓度。

13、根据权利要求 1 所述的半导体器件，其特征在于，所述第一导电类型为 N 型，所述第二导电类型为 P 型，所述第三掺杂区为 P 型环。

14、一种半导体器件的制造方法，包括：

获取晶圆，所述晶圆包括：衬底，所述衬底中的第一导电类型埋层，所述第一导电类型埋层上的漂移区，所述第一导电类型埋层上的体区，所述漂移区内的漏极区及所述体区内的源极区；所述衬底和所述体区具有第二导电类型，所述漂移区、漏极区及源极区具有第一导电类型，所述第一导电类型和第二导电类型为相反的导电类型；

在所述第一导电类型埋层上形成在所述漂移区背离所述体区的方向上依次排列的第一掺杂区、第二掺杂区、第三掺杂区及第四掺杂区，所述第一掺杂区和第三掺杂区具有第二导电类型，所述第二掺杂区和第四掺杂区具有第一导电类型，所述第三掺杂区的掺杂浓度小于所述第一掺杂区的掺杂浓度，所述第二掺杂区的掺杂浓度大于所述第四掺杂区的掺杂浓度；及

形成与所述第三掺杂区和所述第四掺杂区电性连接的第二电压端口，形成与

所述第一掺杂区和所述第二掺杂区电性连接的第一电压端口，所述第二电压端口的外接电压高于所述第一电压端口的外接电压。

15、根据权利要求 14 所述的方法，其特征在于，所述获取晶圆包括：

通过离子注入在所述第一导电类型埋层上形成第一导电类型掺杂区；

向所述第一导电类型掺杂区中注入第二导电类型离子，使所述第一导电类型掺杂区的部分区域的掺杂离子被中和后形成体区，第一导电类型掺杂区未被中和的区域作为漂移区；及

形成所述源极区、漏极区及位于所述漏极区和源极区之间的区域上方的栅极。

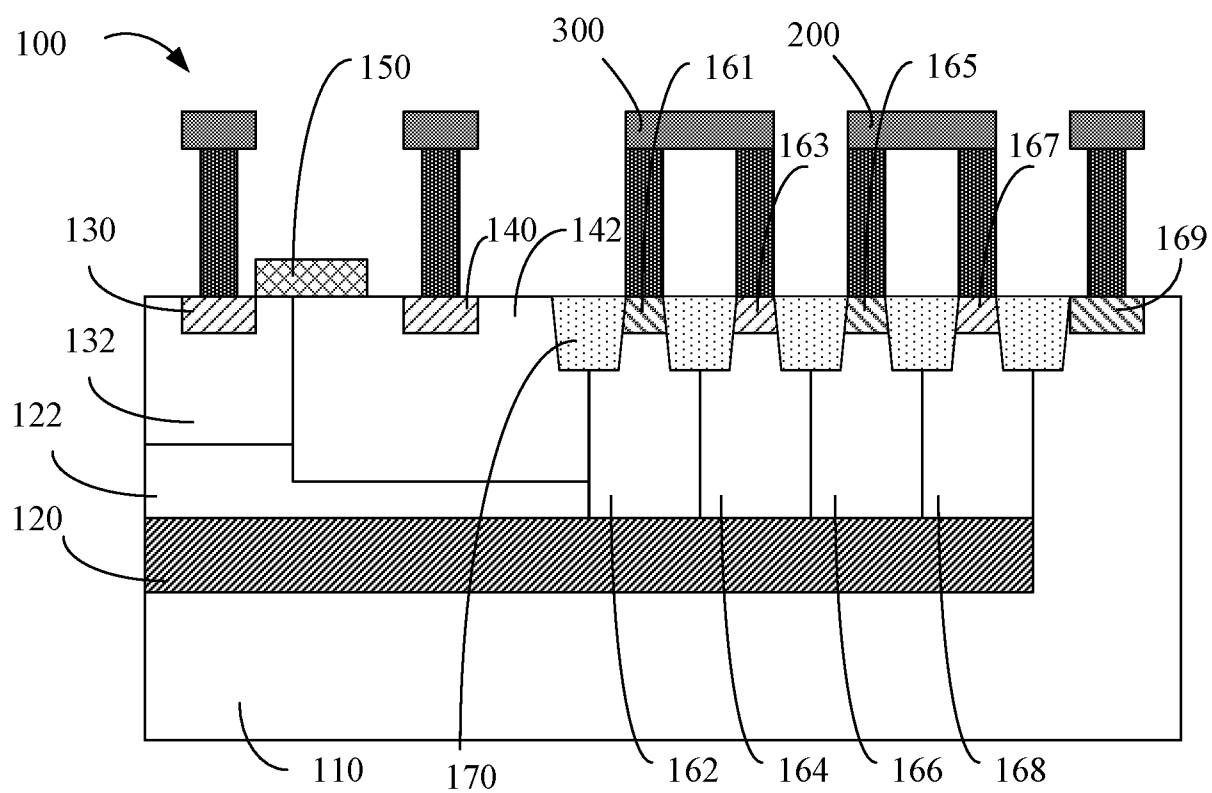


图 1

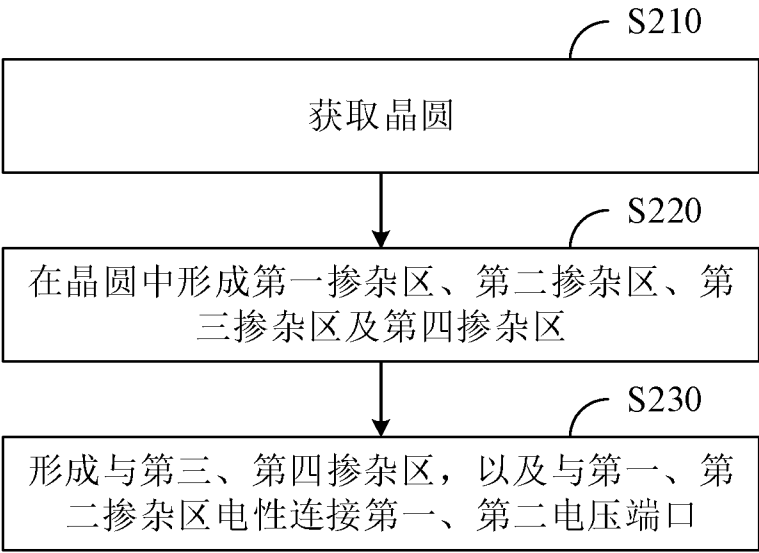


图 2

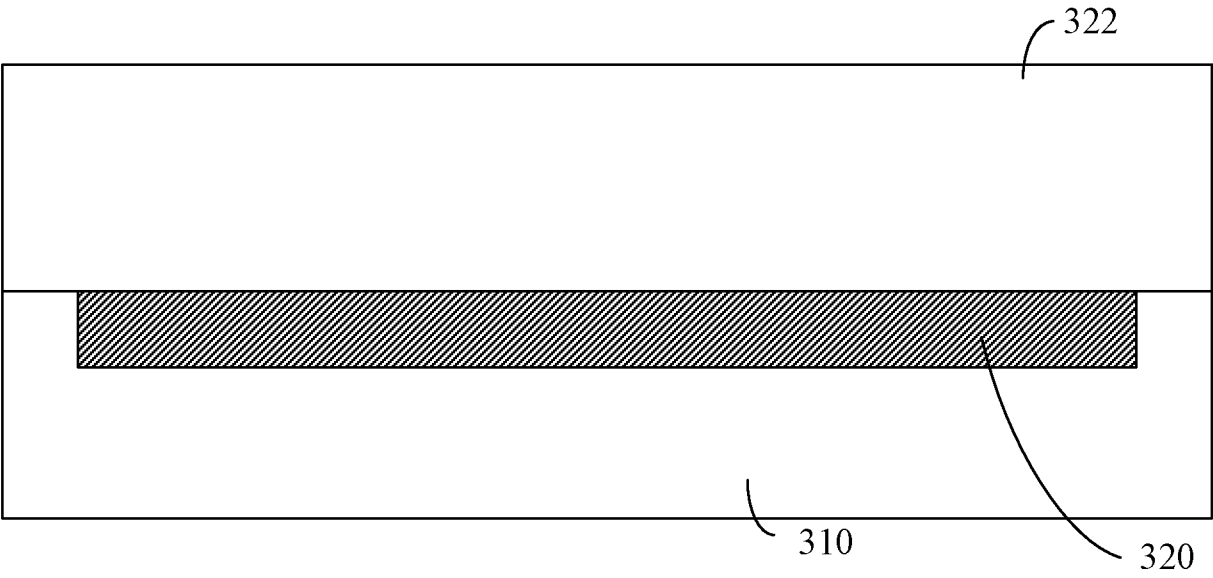


图 3

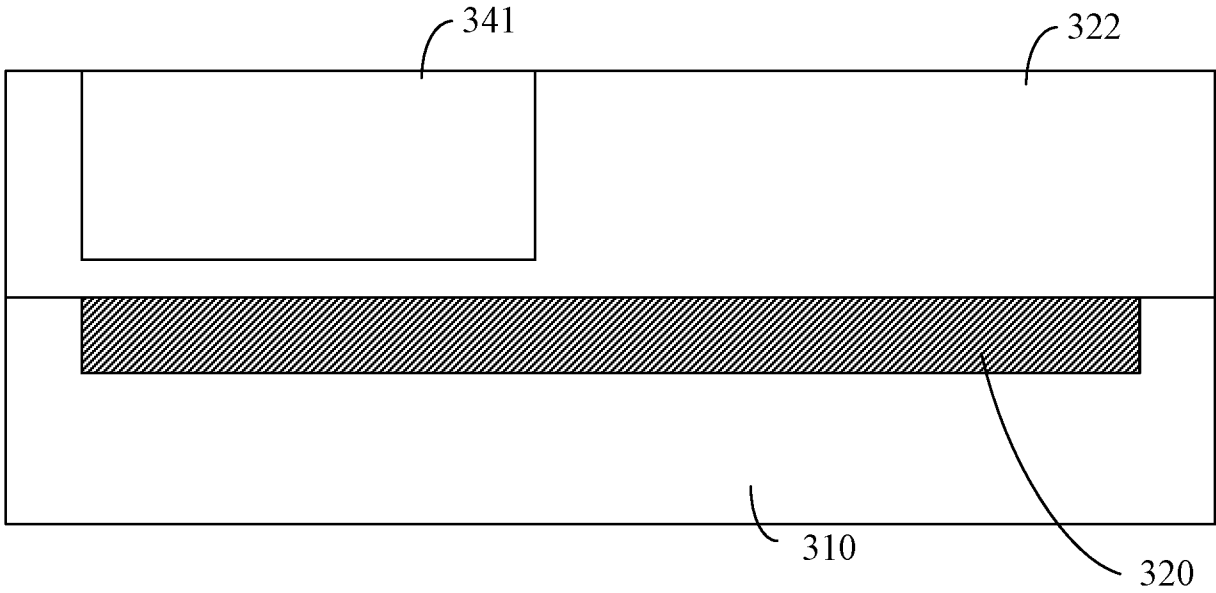


图 4

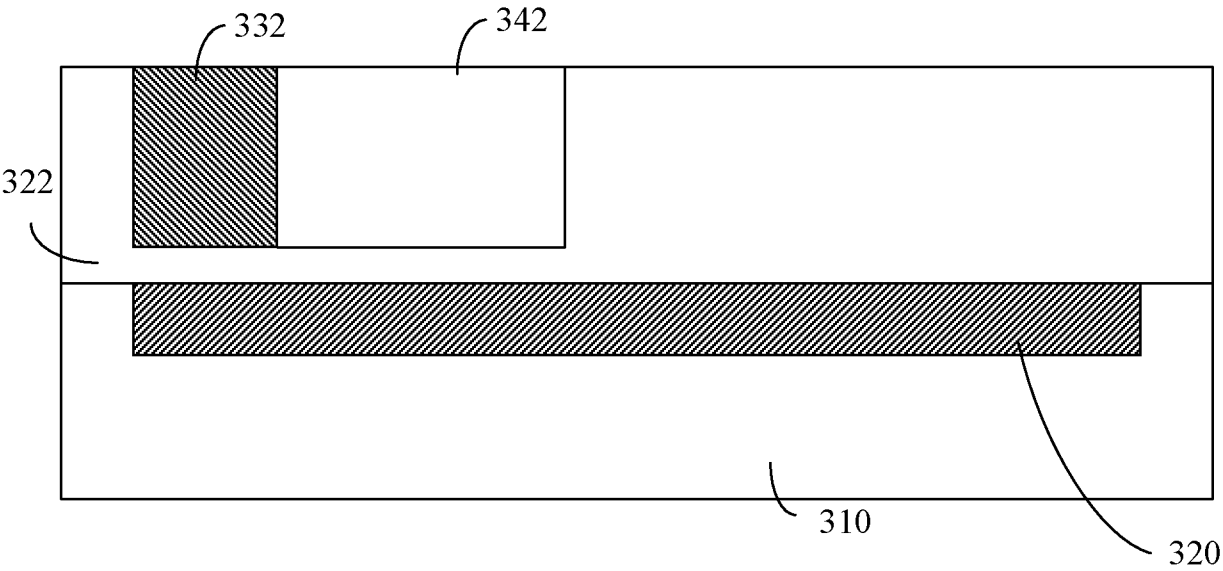


图 5

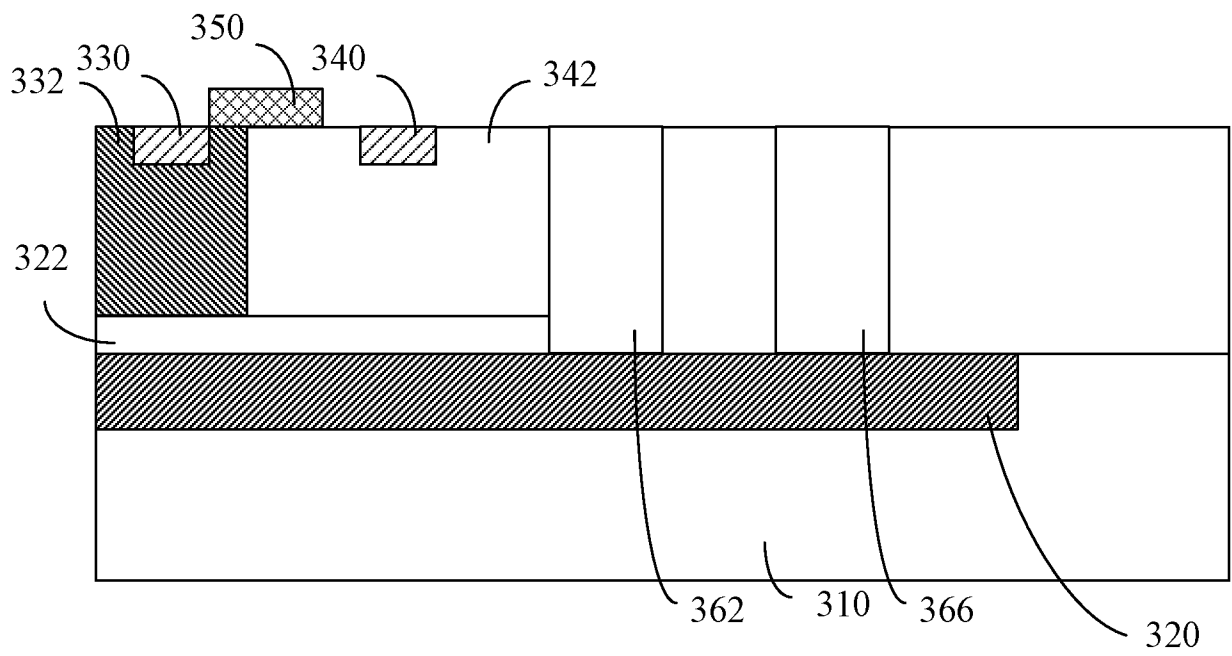


图 6

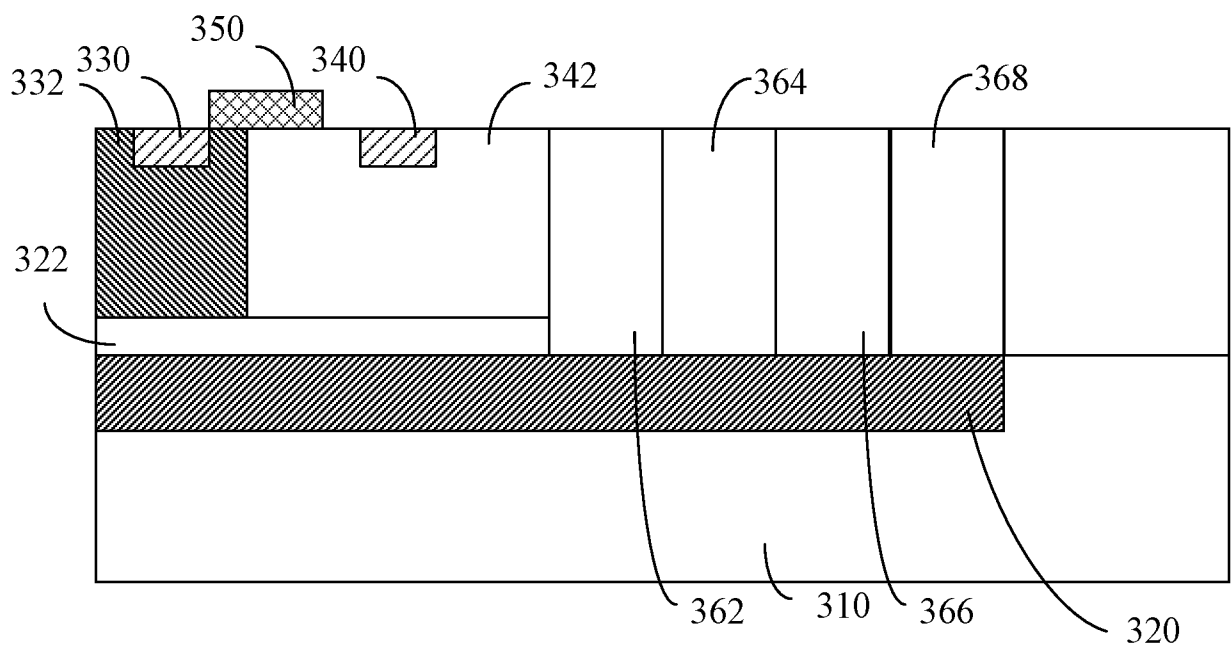


图 7

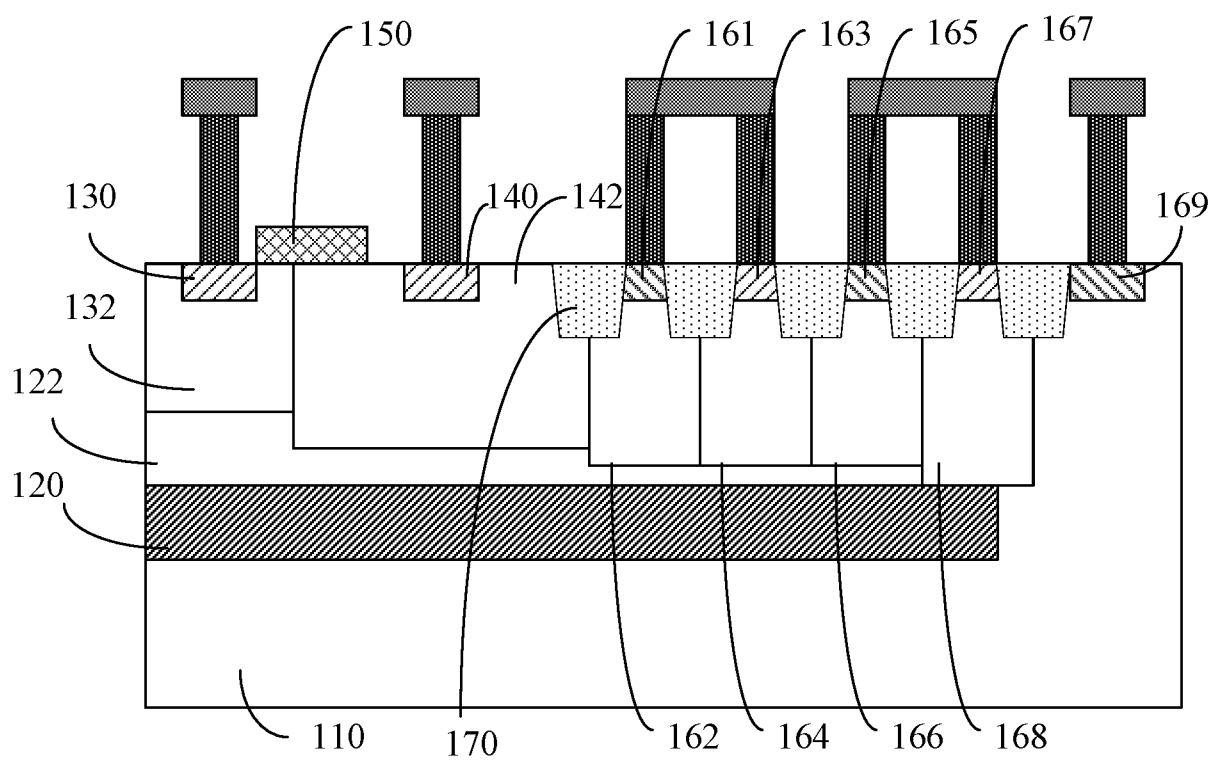


图 8

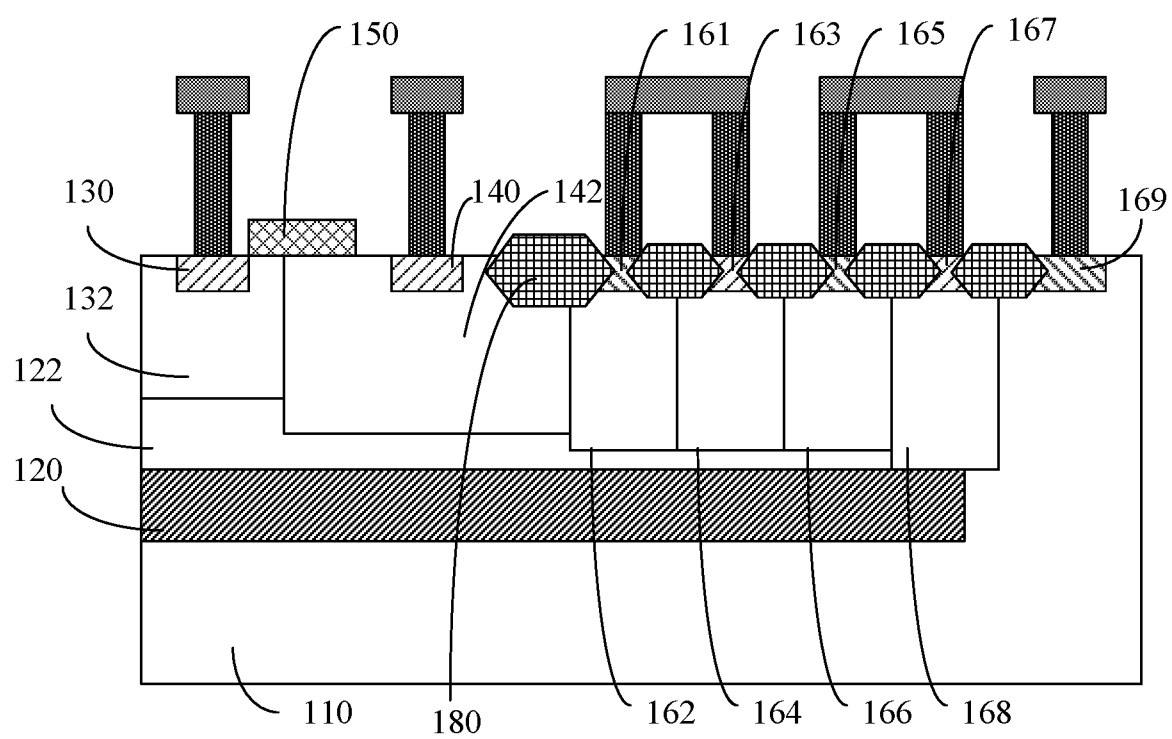


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/134890

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNXTX; ENTXT; ENTXTC; DWPI; CNKI: 横向扩散, 金属氧化物半导体, 漏电, 衬底, 体二极管, 续流, 双极结型晶体管, 三极管, 漂移区, 体区, 埋层, 电流, 掺杂区, 吸收, 隔离, 泄放, 放大区, 电压, 电位, LDMOS, laterally diffused, triode, metal oxide semiconductor, electric leakage, substrate, body diode, follow current, BJT, bipolar junction transistor, drift, region, body, buried, layer, current, doping, absorb, absorption, isolation, discharge, amplified area, voltage, electric potential

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	TW I740719 B (VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION) 21 September 2021 (2021-09-21) description, paragraphs [0007]-[0043], and figures 1-8	1-15
Y	CN 112054668 A (SHENZHEN SIYUAN SEMICONDUCTOR CO., LTD.) 08 December 2020 (2020-12-08) description, paragraphs [0029]-[0050], and figure 3	1-15
Y	CN 108389857 A (HUNAN NORMAL UNIVERSITY) 10 August 2018 (2018-08-10) description, paragraphs [0020]-[0044], and figures 2-5	1-15
A	TW 202141784 A (VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION) 01 November 2021 (2021-11-01) entire document	1-15
A	CN 107123640 A (USY TECHNOLOGY CO., LTD.) 01 September 2017 (2017-09-01) entire document	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

10 January 2023

Date of mailing of the international search report

20 January 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/134890**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108447913 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 24 August 2018 (2018-08-24) entire document	1-15
A	US 2014264586 A1 (DONGBU HITEK CO., LTD.) 18 September 2014 (2014-09-18) entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/134890

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
TW	I740719	B	21 September 2021	TW	202221889	A	01 June 2022
CN	112054668	A	08 December 2020	CN	212435579	U	29 January 2021
CN	108389857	A	10 August 2018	CN	108389857	B	30 October 2020
TW	202141784	A	01 November 2021	TW	I747235	B1	21 November 2021
CN	107123640	A	01 September 2017	CN	107123640	B	09 July 2019
CN	108447913	A	24 August 2018	CN	108447913	B	29 September 2020
US	2014264586	A1	18 September 2014	KR	20140113772	A	25 September 2014
				KR	101452619	B1	23 October 2014
				US	8957475	B2	17 February 2015

国际检索报告

国际申请号

PCT/CN2022/134890

A. 主题的分类

H01L 29/78(2006.01)i; H01L 29/06(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNXT; ENTXT; ENTXTC; DWPI; CNKI:横向扩散, 金属氧化物半导体, 漏电, 衬底, 体二极管, 续流, 双极结型晶体管, 三极管, 漂移区, 体区, 埋层, 电流, 掺杂区, 吸收, 隔离, 泄放, 放大区, 电压, 电位, LDMOS, laterally diffused, triode, metal oxide semiconductor, electric leakage, substrate, body diode, follow current, BJT, bipolar junction transistor, drift, region, body, buried, layer, current, doping, absorb, absorption, isolation, discharge, amplified area, voltage, electric potential

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	TW 1740719 B (世界先进积体电路股份有限公司) 2021年9月21日 (2021 - 09 - 21) 说明书第[0007]~[0043]段、附图1-8	1-15
Y	CN 112054668 A (深圳市思远半导体有限公司) 2020年12月8日 (2020 - 12 - 08) 说明书第[0029]~[0050]段、附图3	1-15
Y	CN 108389857 A (湖南师范大学) 2018年8月10日 (2018 - 08 - 10) 说明书第[0020]~[0044]段、附图2-5	1-15
A	TW 202141784 A (世界先进积体电路股份有限公司) 2021年11月1日 (2021 - 11 - 01) 全文	1-15
A	CN 107123640 A (深圳市环宇鼎鑫科技有限公司) 2017年9月1日 (2017 - 09 - 01) 全文	1-15
A	CN 108447913 A (电子科技大学) 2018年8月24日 (2018 - 08 - 24) 全文	1-15
A	US 2014264586 A1 (DONGBU HITEK CO., LTD.) 2014年9月18日 (2014 - 09 - 18) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年1月10日

国际检索报告邮寄日期

2023年1月20日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

张弘

电话号码 86-(010)-62089915

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/134890

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
TW	1740719	B	2021年9月21日	TW	202221889	A	2022年6月1日
CN	112054668	A	2020年12月8日	CN	212435579	U	2021年1月29日
CN	108389857	A	2018年8月10日	CN	108389857	B	2020年10月30日
TW	202141784	A	2021年11月1日	TW	1747235	B1	2021年11月21日
CN	107123640	A	2017年9月1日	CN	107123640	B	2019年7月9日
CN	108447913	A	2018年8月24日	CN	108447913	B	2020年9月29日
US	2014264586	A1	2014年9月18日	KR	20140113772	A	2014年9月25日
				KR	101452619	B1	2014年10月23日
				US	8957475	B2	2015年2月17日