

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7619521号
(P7619521)

(45)発行日 令和7年1月22日(2025.1.22)

(24)登録日 令和7年1月14日(2025.1.14)

(51)国際特許分類

F I

H 0 1 G 4/30 (2006.01)

H 0 1 G 4/30 2 0 1 F

H 0 1 G 4/30 5 1 3

請求項の数 5 (全15頁)

(21)出願番号	特願2024-506054(P2024-506054)	(73)特許権者	000006231
(86)(22)出願日	令和5年2月22日(2023.2.22)		株式会社村田製作所
(86)国際出願番号	PCT/JP2023/006550		京都府長岡京市東神足1丁目10番1号
(87)国際公開番号	WO2023/171394	(74)代理人	100145403
(87)国際公開日	令和5年9月14日(2023.9.14)		弁理士 山尾 憲人
審査請求日	令和6年4月26日(2024.4.26)	(74)代理人	100221501
(31)優先権主張番号	特願2022-37424(P2022-37424)		弁理士 式見 真行
(32)優先日	令和4年3月10日(2022.3.10)	(74)代理人	100206140
(33)優先権主張国・地域又は機関	日本国(JP)		弁理士 大釜 典子
早期審査対象出願		(72)発明者	山本 和志
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		(72)発明者	本間 弘樹
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
			最終頁に続く

(54)【発明の名称】 電子部品

(57)【特許請求の範囲】

【請求項1】

セラミック素体と、該セラミック素体の端部に設けられた外部電極とを備える電子部品であって、

前記セラミック素体の互いに隣接する2つの側面と端面とが接して、前記セラミック素体の角部を形成し、

前記外部電極は、前記角部を除いて前記端面および前記2つの側面を含む複数の側面を覆う下地層と、前記下地層および前記角部を覆うめっき層とを備え、

前記角部を覆うめっき層の厚さは、前記端面の中心を覆うめっき層の厚さより厚く、前記角部を覆うめっき層のみ、複数のめっき膜が積層された積層膜からなる、電子部品。

【請求項2】

前記角部を覆うめっき層の厚さは、前記端面の中心を覆うめっき層の厚さの1.5倍以上である、請求項1に記載の電子部品。

【請求項3】

前記積層膜は、2層以上10層以下のめっき膜が積層されている、請求項1に記載の電子部品。

【請求項4】

セラミック素体と、該セラミック素体の端部に設けられた外部電極とを備える電子部品であって、

前記セラミック素体の互いに隣接する2つの側面と端面とが接して、前記セラミック素体

の角部を形成し、

前記外部電極は、前記角部を除いて前記端面および前記2つの側面を含む複数の側面を覆う下地層と、前記下地層および前記角部を覆うめっき層とを備え、

前記角部を覆うめっき層の厚さは、前記端面の中心を覆うめっき層の厚さより厚く、

前記角部を覆うめっき層は、前記側面と前記端面とが接する稜線に沿った長さが $20\mu\text{m}$ 以上 $60\mu\text{m}$ 以下である、電子部品。

【請求項5】

前記セラミック素体の内部に内部電極をさらに含む、請求項1～4のいずれか1項に記載の電子部品。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品に関する。

【背景技術】

【0002】

チップ型セラミック電子部品として、セラミック素体の両端に外部電極を備えたものが知られている（例えば特許文献1および2）。外部電極は、セラミック素体の表面に設けられる下地層（例えば、Cu、Ni、Ag、Pd等を主成分とする導電性ペーストを塗布して焼き付けた導電層）と、その表面に形成されためっき層（例えばNiめっき層）とを含む。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2016-31988号公報

【文献】特開2012-69912号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

積層セラミックコンデンサ等の電子部品では、外部電極の下地層を薄くすることが望まれる。下地層を薄くすれば、電子部品の外形寸法を変えずに、セラミック素体の寸法を大きくしたり、内部電極の枚数を増やすことができる。それにより、電子部品の性能を向上し得る。

【0005】

セラミック素体の端部（端面と、側面の一部とを含む）を覆う下地層を形成すると、セラミック素体の角部（端面と、2つの側面とが接する部分）を覆う下地層の厚さは、角部を除く端面および側面を覆う下地層の厚さに比べて、薄くなる傾向がある。そのため、下地層を薄くすると、セラミック素体の角部を覆う下地層が薄くなり過ぎて、下地層から角部が露出するおそれがある。

【0006】

めっき層は導電性の下地層の表面に形成されるため、一般的には、下地層から露出したセラミック素体の角部にはめっき層は形成されない。ただし、めっき時間を長くすることにより、角部周辺を覆う下地層の表面に形成されためっき層を、さらに角部の表面まで広げることができる。

しかしながら、角部の表面を覆うめっき層は薄く、かつセラミック素体との結合力が弱い。そのため、セラミック素体の角部とめっき層との間に隙間が生じやすい。また、めっき時間が十分でなければ、めっき層がセラミック素体の角部を完全に覆うことができず、めっき層にピンホールが生じ得る。

【0007】

めっき層にピンホールが存在すると、めっき層の内側にめっき液が浸入する原因となる。めっき液はセラミック素体および内部電極にダメージを与え得るため、めっき液の浸入

10

20

30

40

50

は、電子部品の信頼性を低下させるリスクがある。

【０００８】

そこで、本発明は、下地層がセラミック素体の角部を完全に覆えていなくても、めっき層のピンホール形成を抑制できる電子部品を提供することを目的とする。

【課題を解決するための手段】

【０００９】

本発明の第１の要旨によれば、セラミック素体と、該セラミック素体の端部に設けられた外部電極とを備える電子部品であって、

前記セラミック素体の互いに隣接する２つの側面と端面とが接して、前記セラミック素体の角部を形成し、

前記外部電極は、前記角部を除いて前記端面および前記２つの側面を含む複数の側面を覆う下地層と、前記下地層および前記角部を覆うめっき層とを備え、

前記角部を覆うめっき層の厚さは、前記端面の中心を覆うめっき層の厚さより厚い、電子部品が提供される。

【発明の効果】

【００１０】

本発明の電子部品によれば、下地層がセラミック素体の角部を完全に覆えていなくても、めっき層のピンホール形成を抑制できる。

【図面の簡単な説明】

【００１１】

【図１】図１（ａ）は、実施形態１に係る電子部品の概略斜視図であり、図１（ｂ）は、図１（ａ）の電子部品に使用されているセラミック素体の概略斜視図である。

【図２】図２は、図１（ａ）のＸ－Ｘ線における電子部品の概略断面図である。

【図３】図３は、図２に示す電子部品の概略部分拡大断面図である。

【図４】図４は、図３に示す電子部品の概略部分拡大断面図である。

【図５】図５（ａ）は、実施形態１に係る電子部品の端面側からの顕微鏡写真であり、図５（ｂ）は、図５（ａ）の一部を拡大した拡大写真である。

【図６】図６（ａ）～６（ｆ）は、めっき層の形成工程を説明するための概略断面図である。

【図７】図７（ａ）は、実施例で作製した電子部品の断面の顕微鏡写真であり、図７（ｂ）は、比較例で作製した電子部品の断面の顕微鏡写真である。

【図８】図８は、図７（ａ）の顕微鏡写真の一部を拡大した拡大写真である。

【発明を実施するための形態】

【００１２】

本発明の実施形態に係る電子部品は、セラミック素体と、該セラミック素体の表面に設けられた外部電極とを備えている。外部電極は、セラミック素体の表面を覆う下地層と、下地層を覆うめっき層とを備えている。セラミック素体の互いに隣接する２つの側面と端面とが接して、セラミック素体の角部を形成している。外部電極の下地層は、セラミック素体の角部を除いて、セラミック素体の端面および前記２つの側面を含む複数の側面を覆っている。セラミック素体の角部は、一部または全部が、下地層から露出することがある。

【００１３】

このような下地層の表面にめっき層を形成すると、セラミック素体の角部の表面には、めっき層が形成されにくく、めっき層にピンホールが生じる原因となる。また、セラミック素体の角部とめっき層との結合力が低いため、それらの間に隙間が生じやすい。めっき層に欠陥（ピンホール、隙間等）があると、そこからめっき層の内側にめっき液が浸入するおそれがある。浸入しためっき液はセラミック素体にダメージを与え得るため、電子部品の信頼性を低下させるおそれがある。

【００１４】

本発明の実施形態に係る電子部品では、セラミック素体の角部を覆うめっき層の厚さを、端面の中心を覆うめっき層の厚さより厚くすることにより、めっき層の欠陥の発生を抑

10

20

30

40

50

制するものである。

【0015】

電子部品は、セラミック素体と、該セラミック素体の表面に設けられた外部電極とを備えるものであれば、セラミック素体の形状、寸法、および材料、ならびに外部電極の数、配置、および形状等は特に限定されない。セラミック素体の内部に内部電極を埋設していても、いなくてもよい。内部電極が存在する場合には、内部電極は外部電極に適切な態様で電氣的に接続される。

【0016】

本発明の実施形態の構成を適用可能な電子部品としては、例えば表面実装型、特にチップ部品であり得、より詳細には、積層セラミックコンデンサ等のコンデンサ（キャパシタ）

10

）、正特性（または正温度係数、PTC）サーミスタ、負特性（または負温度係数、NTC）サーミスタ、バリスタ、コンデンサ等などがある。

【0017】

〔実施形態1〕

図1（a）は、本発明の実施形態1に係る電子部品10の概略斜視図であり、図1（b）は、図1（a）の電子部品10に使用されているセラミック素体20の概略斜視図である。図2は図1（a）のX-X線における電子部品10の概略断面図である。図3は、図2に示す電子部品10の概略部分拡大断面図であり、図4は、図3に示す電子部品10をさらに拡大した概略部分拡大断面図である。

20

【0018】

図1（a）および図2に示す電子部品10は、積層セラミックコンデンサである。電子部品10は、セラミック素体20と、セラミック素体20の端部に設けられた外部電極30、40とを備えている。外部電極30、40は、下地層31、41とめっき層32、42とを備えている。外部電極30、40は、さらに、めっき層32、42を覆う第2めっき層33、43を備えることができる。

【0019】

積層セラミックコンデンサのセラミック素体20は、複数のセラミック層200から構成されている（図2参照）。セラミック素体20の内部には、内部電極71、72が設けられている。内部電極71、72とセラミック層200とが交互に積層されて、積層体80を構成している。内部電極71、72は、セラミック素体20の端面21、22のいずれかから露出して、外部電極30、40と電氣的に接続している。

30

【0020】

各構成について、以下に詳述する。

【0021】

（セラミック素体20）

図1（b）に示すように、実施形態1に係るセラミック素体20は略直方体形状であり、対向する2つの端面21、22と、4つの側面23を備えている。なお、図1（b）では、図面の簡略化のために、端面21、22から露出している内部電極71、72を省略している。

40

セラミック素体20の互いに隣接する2つの側面23と端面（図1（b）では端面21）とが接して、セラミック素体20の角部25（ハッチングした領域）を形成している。

【0022】

本明細書における「セラミック素体20の角部25」とは、2つの側面23と端面とが交差する頂点25tと、頂点25tを囲む部分とを含む領域のことであり、一定の広がり

を有している（図1（b）参照）。角部25は、例えば頂点25tを中心として、側面23および端面21に半径rで描いた円弧で囲まれた範囲としてもよい。角部25の寸法（半径r）は、電子部品10の寸法に合わせて適宜設定できる。例えば0603サイズの電子部品10の場合、角部25の寸

50

法（半径 r ）は、電子部品10の幅 W の $1/5$ （つまり、 $W/5$ ）とすることができる。

後述するように、角部25（より正確には、角部25の稜線25RL）は、めっき層32の第1めっき領域321で覆われる。そこで、第1めっき領域321の長さ321R（図5（b））を半径 r として描いた円弧で囲まれた範囲を、セラミック素体20の角部25として規定してもよい。

【0023】

（下地層31）

図2～4に示すように、外部電極30の下地層31は、セラミック素体20の角部25（図1（a））を除いて、側面23と端面21とを覆っている。

セラミック素体20の角部25は、下地層31から完全に露出してもよい（つまり、角部25は、下地層31によって全く覆われていなくてもよい）。あるいは、角部25の一部だけ下地層31から露出し、残りの部分は下地層31で覆われていてもよい。一例としては、角部25を覆う下地層31が極めて薄いため、下地層31が連続膜を形成できなくてもよい（つまり、下地層31に複数の穴が生じて、穴から角部25の一部が露出してもよい）。別の例では、角部25のうち頂点25t（図1（b））のごく近傍のみが下地層31から露出し、その他の角部25の部分は下地層31で覆われる場合などがあり得る。

【0024】

下地層31の厚さは均一でなくてもよい。例えば、セラミック素体20の角部25またはその近傍を覆う下地層31は相対的に薄く、それ以外の部分を覆う下地層31は相対的に厚くてもよい。

【0025】

下地層31は、電解めっきでめっき層32を形成するために設けている。そのため、下地層31の厚さは、電解めっきを行うのに十分な厚さであり、かつできるだけ薄いことが望ましい。具体的には、下地層31の厚さ31tは $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。下地層31を薄くすることにより、外部電極30の厚さ（下地層31、めっき層32および第2めっき層33の厚さの合計）を薄くすることができる。

なお、本明細書において「下地層31の厚さ31t」は、下地層31の最大厚さのことを指す。下地層31の厚さ31tは、通常は、セラミック素体20の端面21、22の中心21cを覆うめっき層の厚さとほぼ一致する。

【0026】

（めっき層32）

外部電極30のめっき層32は、下地層31と、セラミック素体20の角部25のうち下地層31から露出した部分と、を覆っている。

めっき層32は、セラミック素体20の角部25を覆うめっき層（第1めっき領域）321と、セラミック素体20の端面21、22側に設けられためっき層（第2めっき領域）322と、セラミック素体20の側面23側に設けられためっき層（第3めっき領域）323の3つの領域を有している。

【0027】

（第1めっき領域321の厚さT1）

図3に示すように、角部25を覆うめっき層32（第1めっき領域321）の厚さT1は、端面21の中心21c（図1（b））を覆うめっき層32の厚さT2より厚い。

めっき層32の厚さを、角部25を覆う第1めっき領域321において局所的に厚く形成することにより、第1めっき領域321に欠陥（めっき層32のピンホール、めっき層32とセラミック素体20との間の隙間等）が生じることを抑制できる。これにより、めっき層32を形成する際に、めっき層32の欠陥からめっき液が浸入して、セラミック素体20および内部電極71、72にダメージを与えることを抑制することができる。

【0028】

第1めっき領域321の厚さT1と、セラミック素体20の端面21の中心21cを覆うめっき領域32の厚さT2は、以下のように測定する。

まず、LT面と平行な断面CS（図1（a）のX-X線に沿った断面）で、電子部品10を切断する。断面CSの位置は、角部25を通り、かつセラミック素体20の内部に配置された内部電極71、72が露出ように決定する。なお、電子部品10を断面CSで切断することに代えて、電子部品10を断面CSまで研磨してもよい。

【0029】

図3は、断面SCで切断した電子部品10の断面を図示している。図3に図示したセラミック素体20は、側面23と、端面21と、それらが交差した稜線25RLを備えている。

ここで、稜線25RLについて、図1（b）を参照しながら説明する。セラミック素体20は、側面23と端面21とが接する稜線20RL1、20RL2と、隣接する2つの側面23が接する稜線20RL3を有する。これらの稜線の一部は角部25を通っている。角部25の範囲内にある稜線を「角部25の稜線25RL」と称する。

【0030】

再び図3を参照する。角部25を覆う第1めっき領域321の厚さT1は、電子部品10の断面視（図3）において、セラミック素体20の角部25の稜線25RLから、第1めっき領域321の外表面までの距離である。なお、角部25の稜線25RLは、製造中にエッジが除去されて、曲面（図3では曲線として描かれる）になっていることがある。

【0031】

セラミック素体20の端面21の中心21cを覆うめっき層32の厚さT2は、厳密には、端面21の中心21cを通る面で切断した電子部品10の断面で測定する必要がある。しかしながら、図3に示された第2めっき領域322と、端面21の中心21cを覆うめっき層32とは、ほぼ同じ厚さを有する。そのため、図3の断面図における第2めっき領域322の厚さを、端面21の中心21cを覆うめっき層32の厚さとみなす。以下、端面21の中心21cを覆うめっき層32の厚さのことを、第2めっき領域322の厚さT2と称することがある。

【0032】

角部25を覆う第1めっき領域321の厚さT1は、端面21の中心21cを覆うめっき層32の厚さ（つまり、第2めっき領域322の厚さ）T2の1.5倍以上であることが好ましい。これにより、角部25を覆う第1めっき層321の厚さT1が十分厚くなり、めっき液がめっき層32の内側に浸入することを抑制する抑制効果がより向上する。

より好ましくは、第1めっき領域321の厚さT1は、第2めっき領域322の厚さT2の2倍以上であり、さらに好ましくは3倍以上6倍以下である。

【0033】

（第1めっき領域321の積層構造）

図4に示すように、角部25を覆う第1めっき領域321は、複数のめっき膜を積層した積層膜からなることが好ましい。図4では、第1めっき領域321は3つのめっき膜321a、321b、321cから構成されている。積層膜とすることにより、第1めっき領域321の厚さT1を容易に厚くすることができる。

前記積層膜は、2層以上10層以下のめっき膜が積層されていることが好ましく、2層以上4層以下のめっき膜が積層されていることがより好ましい。

【0034】

第1めっき領域321（積層膜）を構成するめっき膜の層の数は、（亀裂CLの数）+1として計算する。図4では、亀裂CLが2本あるので、めっき膜は「3層」と数える。

亀裂CLは、第1めっき領域321の断面を顕微鏡（マイクロスコープ、または光学顕微鏡）で観察することにより確認できる（図7（a）、図8）。第1めっき領域321を、倍率100倍以上で顕微鏡により観察し、幅1μm以上の隙間が、1μm以上連続している場合に「亀裂CL」と判断する。

【0035】

（第1めっき領域321の長さ321R）

図5（a）は、後述する実施例1に係る電子部品10の端面21側からの顕微鏡写真で

10

20

30

40

50

あり、図5（b）は、図5（a）の一部を拡大した顕微鏡写真である。図5（b）に示すように、セラミック素体20の稜線20RL1に沿った第1めっき領域321の寸法を「長さ321R」とする。第1めっき領域321の長さ321Rは、例えば0.1μm以上100μm以下である。第1めっき領域321の長さ321Rは、より好ましくは20μm以上60μm以下である。

【0036】

第1めっき領域321の長さ321Rは、以下のように測定する。

図5（a）、（b）には、セラミック素体20の側面23、セラミック素体20の端面21、およびセラミック素体20の稜線20RL1、20RL2が描画されている。側面23と端面21とは、セラミック素体20の稜線20RL1または稜線20RL2で接している（図1（b）も参照）。図5（a）、（b）に示すように、セラミック素体20の角部25を覆うめっき層32（第1めっき領域321）は、セラミック素体20の角部25の頂点25tを覆い、さらにセラミック素体20の稜線20RL1、20RL2のそれぞれに沿って伸びている。図5（a）のような端面視において、第1めっき領域321はL字形状を有している。

【0037】

また、セラミック素体20は、互いに隣接する2つの側面23が接する稜線20RL3を有している（図1（b）参照）。第1めっき領域321は、さらに、セラミック素体20の角部25の頂点25tを覆い、セラミック素体20の稜線20RL3に沿って伸びている。

なお、セラミック素体20の稜線20RL1に沿った第1めっき領域321の長さ321Rは、その他の稜線20RL2、20RL3のそれぞれに沿って測定した第1めっき領域321の長さとはほぼ等しい。よって、第1めっき領域321の長さを測定する際は、いずれの稜線に沿って測定してもよい。

【0038】

図5（a）、（b）から分かるように、第1めっき領域321と第2めっき領域322とは、厚さおよび表面性状が異なるため、顕微鏡（マイクロスコープ、または光学顕微鏡）で観察したときに、それらの領域は色調が異なって見える。そのため、色調に基づいて、第1めっき領域321の範囲を特定することができる。第1めっき領域321の範囲を特定した後、第1めっき領域321の長さを測定する。

【0039】

実施形態に係る電子部品10は、めっき層32、42の欠陥（ピンホール、隙間等）を生じることなしに、下地層31、41を薄くすることが可能である。そのため、以下の理由から、図2に示す積層セラミックコンデンサのような、セラミック素体20の内部に内部電極71、72を含む電子部品10に特に好適である。

積層セラミックコンデンサでは、下地層31、41を薄くすることで外部電極30、40の厚さを減らすことができる。そのため、電子部品10の外形寸法を変えることなく、内部電極71、72の数を増やすことができる。これにより、積層セラミックコンデンサの静電容量を向上することができる。

内部電極を備えた他の電子部品（積層サーミスタ等）においても、内部電極の数を増やすことができるため、電子部品の電気的特性を向上し得る。

【0040】

〔電子部品10の製造方法〕

実施形態1に係る電子部品10の製造方法について、図2に示す構造を有する積層セラミックコンデンサを例として説明する。

【0041】

（セラミック素体20および内部電極71、72の作製）

まず、内部電極71、72を内包したセラミック素体20を準備する。セラミック素体20は、任意の適切な方法により作製できる。

【0042】

10

20

30

40

50

セラミック素体 20（より詳細にはセラミック層 200）は、製造する電子部品に適したセラミック材料から形成する。例えば、積層セラミックコンデンサでは、セラミック素体 20 は、誘電体セラミック材料（例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 、 $(\text{BaSr})\text{TiO}_3$ 、 $\text{Ba}(\text{ZrTi})\text{O}_3$ 、 $(\text{BiZn})\text{Nb}_2\text{O}_7$ 等）から形成する。

【0043】

内部電極 71、72 は、導電性材料から形成する。好適な導電性材料は、例えば、Ag、Cu、Pt、Ni、Al、Pd、Au 等であり、特に Ag、Cu、及び Ni が好ましい。

【0044】

セラミック素体 20 および内部電極 71、72 の作製では、まず、セラミック素体 20 の各原料を秤量し、部分安定化ジルコニア（Partially Stabilized Zirconia: PSZ）等の粉碎媒体（以下、PSZ ボールともよぶ）および純水と共にボールミルに投入し、湿式混合粉碎する。得られた混合物を、所定温度（例えば、1000～1200℃）で仮焼成して、仮焼粉末を得る。得られた仮焼粉末に有機バインダを加え、湿式で混合処理を行なってスラリー状とし、その後、ドクターブレード法等を用いて成形加工し、所望の厚さのセラミックグリーンシートを作製する。

【0045】

次いで、内部電極 71、72 を形成するための導電性ペーストを、セラミックグリーンシートの表面に塗布して、内部電極パターンを形成する。導電性ペーストは、例えば、有機溶剤中に金属粉末および有機バインダを分散させることにより調製する。導電性ペーストは、例えば、スクリーン印刷等により塗布する。

【0046】

内部電極パターンが形成されたセラミックグリーンシートを所定数積層した後、さらに、内部電極パターンが形成されていないセラミックグリーンシートで上下から挟持して圧着する。これにより、セラミックグリーンシートと内部電極パターンとが交互に積層された積層体（焼結前積層体）を得る。この焼結前積層体を所定寸法に切断した後、脱脂処理および脱バインダ処理を行い、所定の温度（1200～1400℃）および所定の雰囲気中で焼成する。こうして、複数のセラミック層 200 と内部電極 71、72 とが交互に積層された積層構造を有する、積層体 80 を得る。この積層体 80 は、内部電極 71、72 を内包したセラミック素体 20 と見ることもできる。

【0047】

（下地層 31、41 の形成）

図 2 に示すように、セラミック素体 20 の端部（図 2 に示すように、セラミック素体 20 の端面 21、22 と、側面 23 の一部）を覆うように、下地層 31、41 を形成する。下地層 31、41 は、セラミック素体 20 の端面 21、22 に露出した内部電極 71、72 と接触している。

下地層 31、41 は、例えば Cu、Ag、Si、Ni などを含む金属材料から形成される。特に、Cu 膜から形成することが好ましい。

【0048】

下地層 31、41 は、公知の成膜方法により形成できる。例えば、スパッタリング法、蒸着法、塗布法（導電性ペーストを所定位置に塗布後に焼き付ける）、ディップ法などを用いることができる。例えば、Cu 膜は、Cu ペーストを塗布後焼き付ける方法が好適である。

Cu 膜を薄く形成することにより、下地層 31、41 から、セラミック素体 20 の角部 25 が少なくとも部分的に露出した状態になる。

【0049】

（めっき層 32、42 の形成）

下地層 31、41 と、セラミック素体 20 の角部 25 のうち下地層 31 から露出した部分と、を覆うように、めっき層 32、42 を形成する。

めっき層 32、42 は、例えば、Ni および Cu の少なくとも 1 つを電解めっきするこ

10

20

30

40

50

とにより形成することができる。めっき層 3 2、4 2 は、例えば、バレル内に入れられた導電性メディアとセラミック素体 2 0 とを回転攪拌させながらめっきするバレルめっき法、または、バレルの遠心力によりセラミック素体 2 0 を攪拌してめっきする遠心めっき法等の、めっき対象物に衝撃を付与できるめっき法を用いる。それにより、セラミック素体 2 0 の角部 2 5 を覆うめっき層 3 2 (第 1 めっき領域 3 2 1) を厚膜に形成できる。

【0050】

以下に、遠心めっき法でめっきを行う場合を例として、第 1 めっき領域 3 2 1 を厚膜化するためのメカニズムについて、図面を参照しながら詳しく説明する。

【0051】

図 6 (a) のようにセラミック素体 2 0 の角部 2 5 が露出するように下地層 3 1、4 1 を形成した後、下地層 3 1、4 1 の表面に、遠心めっき法によりめっき層 3 2 a を形成する。

めっき層 3 2 a は、最初に下地層 3 1、4 1 の表面に形成され、時間とともに、セラミック素体 2 0 の角部 2 5 の表面まで広がる (図 6 (b))。

【0052】

セラミック素体 2 0 の角部 2 5 を覆うめっき層 3 2 a は、角部 2 5 の表面との結合力が弱い。遠心めっき中に、セラミック素体 2 0 同士の間、セラミック素体 2 0 と導電性メディアの間、およびセラミック素体 2 0 とカソードとの間で生じる衝突によって、ならびに、遠心力でセラミック素体 2 0 がカソードに張り付いた際の摩擦によって、めっき層 3 2 a は、角部 2 5 の表面から容易に剥離する (図 6 (c))。その結果、角部 2 5 はめっき層 3 2 a から露出する。なお、めっき層 3 2 a と下地層 3 1、4 1 との結合力は強いいため、めっき層 3 2 a は部分的に剥離するのみである。

【0053】

めっき層 3 2 a の一部が剥離した状態で、さらにめっきを続ける。下地層 3 1、4 1 および／または先に形成されためっき層 3 2 a を基点として、角部 2 5 の表面を覆うめっき層 3 2 b が再び形成される (図 6 (d))。また、先に形成されためっき層 3 2 a は厚さを増す。特に、角部 2 5 から剥離しためっき層 3 2 a は、内側 (剥離前には角部 2 5 の表面と接触していた面) と外側の両面で、めっきが成長する。

【0054】

図 6 (c) と同様に、角部 2 5 を覆うめっき層 3 2 b は、遠心めっき中にセラミック素体 2 0 が受け得る (上述したような) 各種の衝突および摩擦によって、角部 2 5 の表面から容易に剥離する (図 6 (e))。

めっき層 3 2 b が剥離した状態で、さらにめっきを続けると、下地層 3 1、4 1 および／または先に形成されためっき層 3 2 a、3 2 b を基点として、角部 2 5 の表面を覆うめっき層 3 2 c が再び形成される (図 6 (f))。また、先に形成されためっき層 3 2 a、3 2 b は厚さを増す。特に、めっき層 3 2 a、3 2 b の剥離した部分は、内側と外側の両面でめっきが成長する。

【0055】

このように、角部 2 5 を覆うめっき層の形成と剥離とを繰り返すことにより、角部 2 5 を覆うめっき層 3 2 (第 1 めっき領域 3 2 1) を、他のめっき層 3 2 の部分 (第 2 めっき領域 3 2 2、第 3 めっき領域 3 2 3) よりも厚くすることができる。

第 1 めっき領域 3 2 1 の厚さ T 1 は、めっき時間の長さで調節することができる。めっき時間を長くすれば、第 1 めっき領域 3 2 1 の厚さ T 1 を厚くすることができる。

【0056】

第 1 めっき領域 3 2 1 を形成するめっき膜 3 2 1 a、3 2 1 b、3 2 1 c の層の数は、剥離する回数によって決定される。遠心めっき中にセラミック素体 2 0 (より正確には、セラミック素体 2 0 の表面に形成されためっき膜) が受ける衝撃の強さの調節 (例えば、チップとメディアを入れる容器 (バレル) の回転数で調節できる) と、めっき時間の調節によって、剥離する回数を制御して、めっき膜 3 2 1 a、3 2 1 b、3 2 1 c の層の数を制御することができる。

10

20

30

40

50

めっき時間は、30分～600分の範囲が好ましく、回転数は200～500rpmの範囲が好ましい。

【0057】

(第2めっき層33、43の形成)

めっき層32、42の表面を覆うように、第2めっき層33、43を形成する。第2めっき層33、43は、例えばSnを電解めっきすることにより形成することができる。第2めっき層33、43は、公知のめっき方法で形成することができ、例えば、バレルめっき法、遠心めっき法等を用いることができる。

【実施例】

【0058】

以下の手順によって、測定用試料を作製した。

【0059】

(実施例1)

セラミック素体20は、原料の粉碎混合、仮焼、成型、焼成、および切断によって調製した。原料の粉碎混合は、主成分としてBaTiO₃を所定量混合した後に粉碎し、空気雰囲気下で、最高温度1200℃で仮焼成した。得られた仮焼粉末に有機バインダを加えて湿式混合して、スラリーを得た。ドクターブレード法により、スラリーから所望の厚さのセラミックグリーンシートを作製した。次いで、内部電極用導電性ペースト(Agペースト)をセラミックグリーンシートの表面に塗布して内部電極パターンを形成した。このように内部電極パターンが形成されたセラミックグリーンシートを所定数積層し、次いで、内部電極パターンが形成されていないセラミックグリーンシートで上下を挟持して圧着することにより、積層体を作製した。この積層体を所定寸法に切断した後、脱脂処理および脱バインダ処理を行い、次いで所定の温度(1200～1400℃)および所定の雰囲気下で焼成し、セラミック素体20と内部電極71、72とからなる積層構造を有する積層体80を得た。

【0060】

セラミック素体20の端部に、Cuペーストを塗布して焼き付けることにより、下地層31を形成した。このとき、下地層31から、セラミック素体20の角部25が露出していた(図7(a)、図8)。

次いで、遠心めっきにより、下地層31の表面、およびセラミック素体20の角部25を覆うめっき層32(Niめっき層)を形成した。遠心めっきする際に、一般的な遠心めっき条件に比べて、バレル(チップとメディアを入れる容器)の回転数を多くし、かつ、めっき時間を増大させた。これにより、衝撃を受けやすいセラミック素体20の角部25において、Niめっき層を積層化させた。

【0061】

さらに、Niめっき層を覆う第2めっき層33(Snめっき層)を、遠心めっきで形成した。めっき条件は、一般的なめっき条件とした。

このようにして、積層セラミックコンデンサを得た(実施例1の試料)。

【0062】

試料を樹脂埋めし、図1(a)のX-X線まで研磨して断面SC(LT面と平行)を露出させた後、イオンミリングを行った。外部電極30、40の第1めっき領域321をマイクロスコープ(キーエンス:VHX7000)で観察した。実施例1の試料の顕微鏡写真を図7(a)、図8に示す。実施例1の試料では、セラミック素体20の角部25を覆う第1めっき領域321は、3層のNiめっき膜321a、321b、321cの積層膜であった(図8)。また、Niめっき層32にはピンホールは存在しなかった。

第1めっき領域321の長さ321R(図5(b))を測定したところ、55μm程度であった。

【0063】

(比較例1)

めっき層32(Niめっき層)の形成条件以外は、実施例1と同様の工程で、比較例1

の試料を作製した。比較例 1 の試料では、N i めっき層 3 2 は、一般的な遠心めっき条件でめっきを行った。これにより、セラミック素体 2 0 の角部 2 5 にかかる衝撃を低減して、N i めっき層 3 2 の積層化を抑制した。

【0064】

比較例 1 の試料から、第 2 めっき層 (S n めっき) を剥離した後、実施例 1 の試料と同様に加工処理して、外部電極 3 0 のコーナー部をマイクロスコブ (キーエンス: V H X 7 0 0 0) で観察した。比較例 1 の試料の顕微鏡写真を図 7 (b) に示す。比較例 1 の試料では、N i めっき層 3 2 は、セラミック素体 2 0 の角部 2 5 を覆う部分が、他の部分に比べて薄くなって、ピンホール P H が生じていた。

【0065】

また、実施例 1 の試料と比較例 1 の試料を、それぞれ 1 0 0 0 0 個作製し、以下の評価を行った。

・めっき液侵入数: N i めっき層の内側にめっき液が浸入した試料の個数を数えた。外部電極 3 0 およびその近傍のセラミック素体 2 0 の断面を顕微鏡で観察して、外部電極 3 0 の内部および／またはセラミック素体 2 0 の内部にめっきの析出または 1 μ m 以上の空洞が観察された場合は、めっき液が浸入したと判断した。

・信頼性評価: 環境負荷をかけて I R (Insulation Resistance) 測定を行い、不良品発生数を数えた。I R 測定では、高温 (7 0 $^{\circ}$ C 以上)、高湿度 (5 0 % 以上) 環境下で一定時間以上 (2 4 h r 以上) 経過した後に絶縁抵抗値を測定し、初期の絶縁抵抗値を維持できているかを確認した。測定した絶縁抵抗値が、初期の絶縁抵抗値の 9 0 % を超えた場合は O K (良品)、9 0 % 以下の場合は N G (不良品) とした。

【0066】

【表 1】

	比較例 1	実施例 1
めっき液侵入数	5 2 1 / 1 0 0 0 0 p c s	0 / 1 0 0 0 0 p c s
信頼性評価 (n = 1 0 0 0 0)	2 6 / 1 0 0 0 0 p c s	0 / 1 0 0 0 0 p c s

【0067】

表 1 に示すように、比較例 1 では、試料 1 0 0 0 0 個のうち、5 2 1 個でめっき液の浸入が確認された。一方、実施例 1 では、試料 1 0 0 0 0 個のうち、めっき液の浸入が確認されたものはなかった。

信頼性評価について、比較例 1 では、試料 1 0 0 0 0 個のうち、2 6 個が不良品であった。実施例 1 では、試料 1 0 0 0 0 個のうち、不良品はなかった。

【0068】

本願は、2 0 2 2 年 3 月 1 0 日付けで日本国にて出願された特願 2 0 2 2 - 0 3 7 4 2 4 に基づく優先権を主張し、その記載内容の全てが、参照することにより本明細書に援用される。

【符号の説明】

【0069】

- 1 0 電子部品
- 2 0 セラミック素体
- 2 0 0 セラミック層
- 2 1、2 2 セラミック素体の端面
- 2 1 c 端面の中心
- 2 3 セラミック素体の側面
- 2 5 セラミック素体の角部
- 3 0、4 0 外部電極
- 3 1、4 1 下地層
- 3 1 t 下地層の厚さ

3 2、4 2 めっき層

3 2 1 角部を覆うめっき層（第 1 めっき領域）

3 2 1 R 角部を覆うめっき層の長さ

3 2 1 a、3 2 1 b、3 2 1 c めっき膜

3 2 2 第 2 めっき領域

3 2 3 第 3 めっき領域

3 3、4 3 第 2 めっき層

7 1、7 2 内部電極

8 0 積層体

T 1 第 1 めっき領域の厚さ

T 2 第 2 めっき領域の厚さ

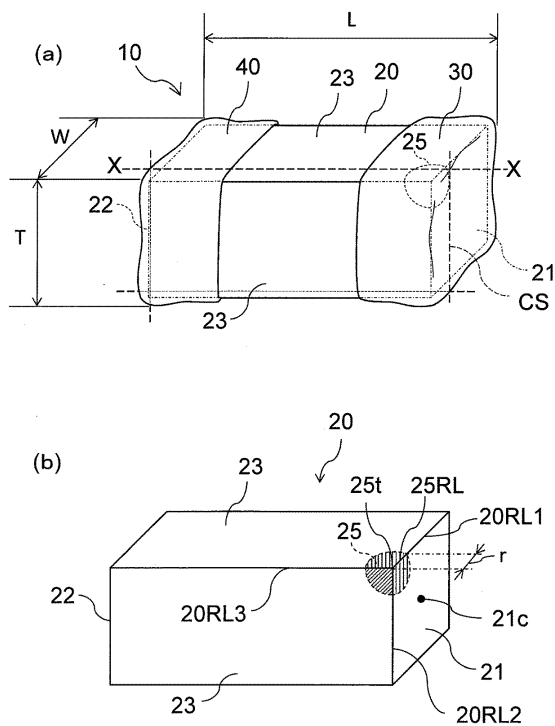
2 0 R L 1、2 0 R L 2、2 0 R L 3 セラミック素体の稜線

2 5 R L 角部の稜線

【図面】

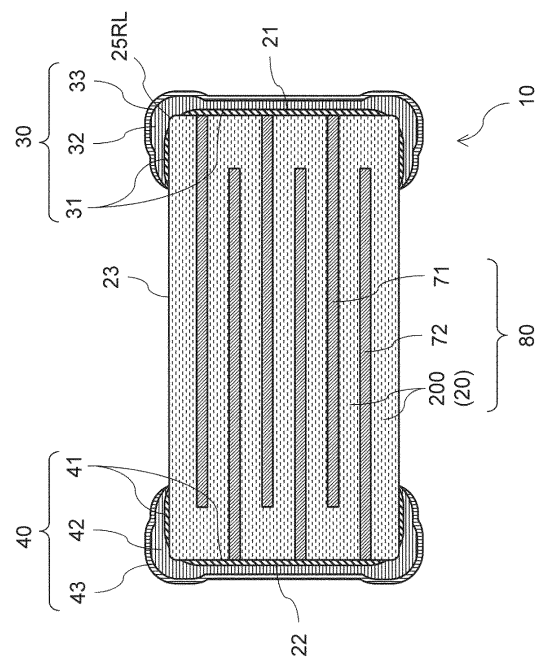
【図 1】

図 1



【図 2】

図 2



10

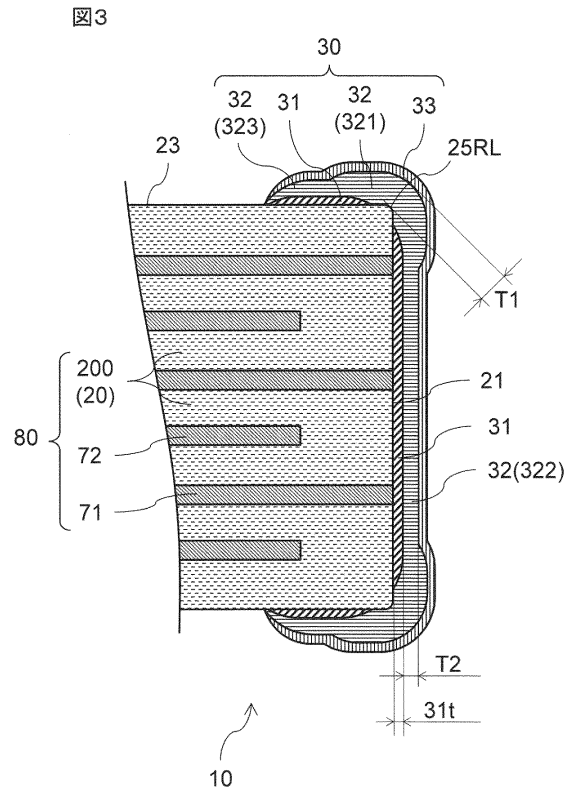
20

30

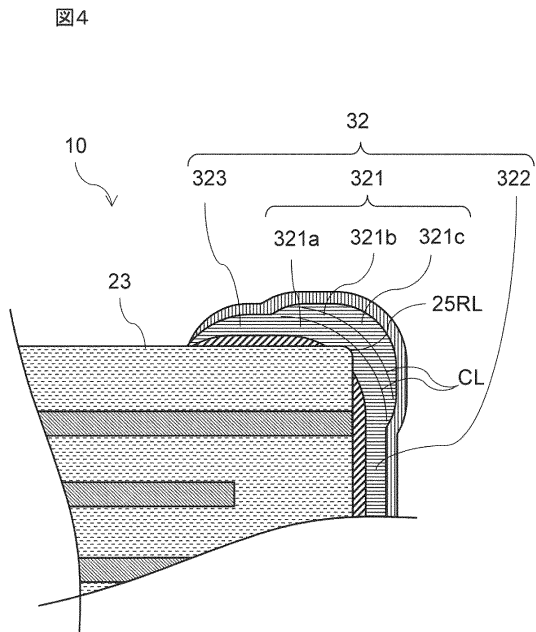
40

50

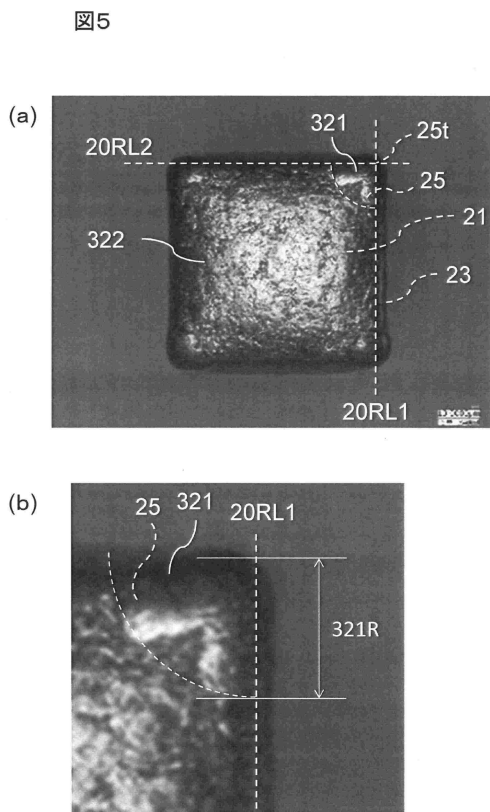
【図 3】



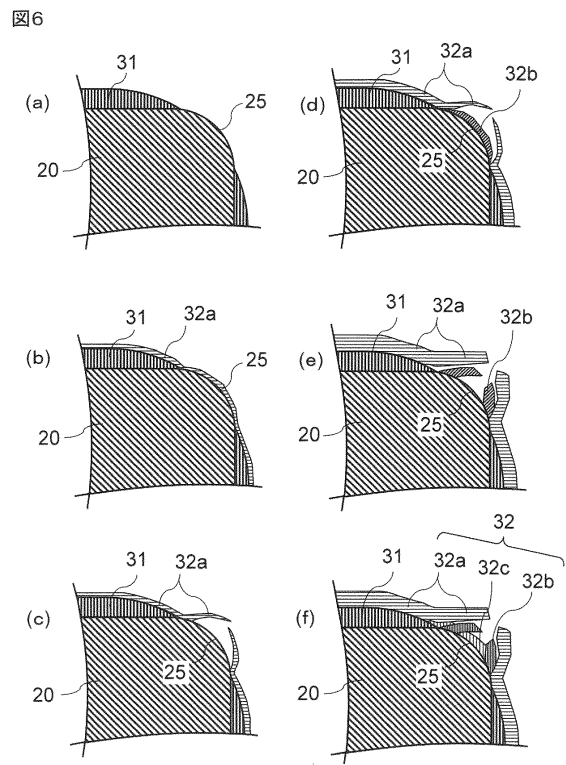
【図 4】



【図 5】



【図 6】



10

20

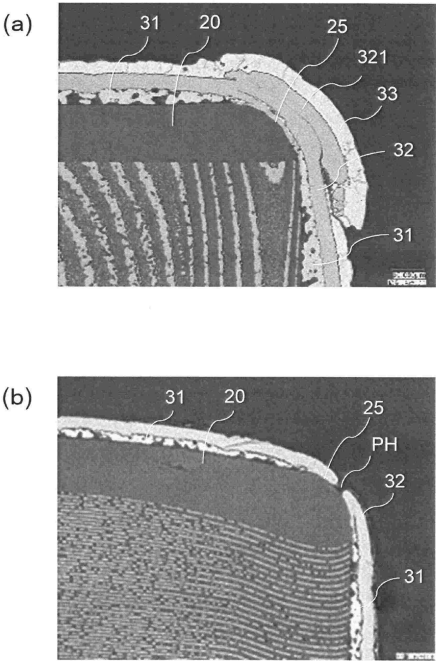
30

40

50

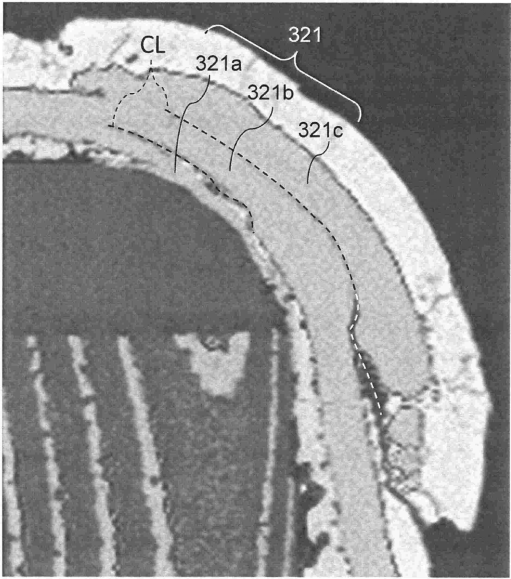
【図 7】

図7



【図 8】

図8



10

20

30

40

50

フロントページの続き

- (72)発明者 宇野 翠
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- (72)発明者 井上 光典
京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
- 審査官 鈴木 駿平
- (56)参考文献 特開2019-062100 (JP, A)
特開2019-149410 (JP, A)
特開2015-111655 (JP, A)
特開2008-300769 (JP, A)
特開2021-190546 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01G 4/30