

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7629992号
(P7629992)

(45)発行日 令和7年2月14日(2025.2.14)

(24)登録日 令和7年2月5日(2025.2.5)

(51)国際特許分類		F I	
H O 1 S	5/183(2006.01)	H O 1 S	5/183
H O 1 S	5/11 (2021.01)	H O 1 S	5/11
H O 1 L	21/20 (2006.01)	H O 1 L	21/20
H O 1 L	21/205(2006.01)	H O 1 L	21/205
H O 1 S	5/343(2006.01)	H O 1 S	5/343 6 1 0
請求項の数 65 (全35頁)			
(21)出願番号	特願2023-525789(P2023-525789)	(73)特許権者	000006633
(86)(22)出願日	令和4年5月27日(2022.5.27)		京セラ株式会社
(86)国際出願番号	PCT/JP2022/021754		京都府京都市伏見区竹田鳥羽殿町6番地
(87)国際公開番号	WO2022/255252	(74)代理人	110000338
(87)国際公開日	令和4年12月8日(2022.12.8)		弁理士法人 HARAKENZO WOR
審査請求日	令和5年11月29日(2023.11.29)		LD PATENT & TRADEMA
(31)優先権主張番号	特願2021-91626(P2021-91626)		R K
(32)優先日	令和3年5月31日(2021.5.31)	(72)発明者	神川 剛
(33)優先権主張国・地域又は機関	日本国(JP)		京都府京都市伏見区竹田鳥羽殿町6番地
			京セラ株式会社内
		(72)発明者	川口 佳伸
			京都府京都市伏見区竹田鳥羽殿町6番地
			京セラ株式会社内
		(72)発明者	谷口 祐基
			京都府京都市伏見区竹田鳥羽殿町6番地
			最終頁に続く

(54)【発明の名称】 半導体デバイス、半導体デバイスの製造方法および製造装置、並びに電子機器

(57)【特許請求の範囲】

【請求項1】
主基板を含む下地基板と、
前記下地基板の上方に位置する第1光反射部と、
前記第1光反射部よりも上方に位置する第1マスクと、
前記第1マスクよりも上方に位置するベース半導体部と、
前記ベース半導体部よりも上方に位置する化合物半導体部と、
前記化合物半導体部および前記第1光反射部の上方に位置する第2光反射部と、
前記化合物半導体部よりも上方に位置する第1電極と、
前記第1マスクよりも上方、または前記主基板よりも下方に位置する第2電極と、を備え

、
前記第1マスクは、マスク部および開口部を含み、
平面視において、前記第1電極および前記第2電極の間に位置する領域は前記開口部と
重ならない、半導体デバイス。

【請求項2】
前記ベース半導体部は、第1部分と、前記マスク部上に位置し、貫通転位密度が前記第1部分の1／5以下である第2部分とを含む、請求項1に記載の半導体デバイス。

【請求項3】
前記第1電極は、平面視で前記第2光反射部と重なる、請求項2に記載の半導体デバイス。

【請求項4】

前記第2電極は、前記第1マスクよりも上方に位置する、請求項3に記載の半導体デバイス。

【請求項5】

主基板を含む下地基板と、

前記下地基板の上方に位置する第1光反射部と、

前記第1光反射部よりも上方に位置する第1マスクと、

前記第1マスクよりも上方に位置するベース半導体部と、

前記ベース半導体部よりも上方に位置する化合物半導体部と、

前記化合物半導体部および前記第1光反射部の上方に位置する第2光反射部と、

前記化合物半導体部よりも上方に位置し、平面視で前記第2光反射部と重なる第1電極と、

10

前記第1マスクよりも上方、または前記主基板よりも下方に位置する第2電極と、

前記化合物半導体部上に位置する絶縁膜と、を備え、

前記第1マスクは、マスク部および開口部を含み、

前記ベース半導体部は、第1部分と、前記マスク部上に位置し、貫通転位密度が前記第1部分の1/5以下である第2部分とを含み、

前記絶縁膜は、平面視において前記第1電極、前記第1光反射部、前記第2部分、および前記第2光反射部と重なるアパーチャー部を含む、半導体デバイス。

【請求項6】

前記化合物半導体部は、第1型半導体層、活性層、および第2型半導体層をこの順に含む、請求項2に記載の半導体デバイス。

20

【請求項7】

主基板を含む下地基板と、

前記下地基板の上方に位置する第1光反射部と、

前記第1光反射部よりも上方に位置する第1マスクと、

前記第1マスクよりも上方に位置するベース半導体部と、

前記ベース半導体部よりも上方に位置する化合物半導体部と、

前記化合物半導体部および前記第1光反射部の上方に位置する第2光反射部と、を備え、

前記第1マスクは、マスク部および開口部を含み、

前記ベース半導体部は、第1部分と、前記マスク部上に位置し、貫通転位密度が前記第1部分の1/5以下である第2部分とを含み、

30

前記化合物半導体部は、第1型半導体層、活性層、および第2型半導体層をこの順に含み、

前記第2型半導体層は、平面視において前記第1光反射部、前記第2部分、および前記第2光反射部と重なるアパーチャー部と、前記アパーチャー部を取り囲み、前記アパーチャー部よりも電流抵抗が大きな高抵抗部とを含む、半導体デバイス。

【請求項8】

前記アパーチャー部は、平面視において前記マスク部の中央とは重ならない、請求項5または7に記載の半導体デバイス。

【請求項9】

40

前記マスク部上に位置し、前記ベース半導体部の側面、および前記化合物半導体部の側面に接する空隙を備える、請求項1、5、7のいずれか1項に記載の半導体デバイス。

【請求項10】

前記第2部分は、平面視で前記第1光反射部および前記第2光反射部と重なる、請求項2に記載の半導体デバイス。

【請求項11】

前記第1光反射部は、第1屈折部と、前記第1屈折部よりも光屈折率が大きな第2屈折部とを含むペアを複数有する、請求項1、5、7のいずれか1項に記載の半導体デバイス。

【請求項12】

前記第2屈折部は、GaN系半導体を含み、

50

前記第 1 屈折部は、前記第 2 屈折部の G a N 系半導体よりも光屈折率の小さな屈折材料を含む、請求項 1 1 に記載の半導体デバイス。

【請求項 1 3】

前記屈折材料は、前記第 2 屈折部の G a N 系半導体よりも熱伝導率大きい、請求項 1 2 に記載の半導体デバイス。

【請求項 1 4】

前記屈折材料は、前記第 2 屈折部の G a N 系半導体よりも格子定数が小さい、請求項 1 2 に記載の半導体デバイス。

【請求項 1 5】

熱膨張係数について、前記主基板の主材料<前記第 2 屈折部の G a N 系半導体<前記屈折材料である、請求項 1 2 に記載の半導体デバイス。

【請求項 1 6】

前記屈折材料が窒化物半導体である、請求項 1 2 に記載の半導体デバイス。

【請求項 1 7】

前記屈折材料は、A l N あるいは A l I n N、または I n N である、請求項 1 2 に記載の半導体デバイス。

【請求項 1 8】

前記マスク部は、前記第 2 屈折部よりも光屈折率が小さい、請求項 1 1 に記載の半導体デバイス。

【請求項 1 9】

前記ベース半導体部は、前記マスク部よりも光屈折率大きい、請求項 1 8 に記載の半導体デバイス。

【請求項 2 0】

前記第 1 光反射部の上面は前記第 2 屈折部に含まれる、請求項 1 1 に記載の半導体デバイス。

【請求項 2 1】

前記第 1 光反射部と前記第 1 マスクとの間にシード部を備える、請求項 1 1 に記載の半導体デバイス。

【請求項 2 2】

前記シード部は、前記マスク部および前記第 1 屈折部よりも光屈折率大きい、請求項 2 1 に記載の半導体デバイス。

【請求項 2 3】

前記ベース半導体部は、前記開口部において、前記第 1 光反射部の上面と接する、請求項 1、5、7 のいずれか 1 項に記載の半導体デバイス。

【請求項 2 4】

前記第 1 光反射部が前記下地基板上に位置し、

前記下地基板は、上面に開口した凹部を有する、請求項 1 1 に記載の半導体デバイス。

【請求項 2 5】

前記主基板は、前記凹部に対応する部分が凹んでいる、請求項 2 4 に記載の半導体デバイス。

【請求項 2 6】

前記下地基板は、前記主基板よりも上方に位置する下地部を含み、

前記下地部は、前記凹部に対応する部分が、凹んでいるかあるいは貫かれている、請求項 2 4 に記載の半導体デバイス。

【請求項 2 7】

平面視において前記第 2 光反射部は前記凹部と重ならない、請求項 2 4 に記載の半導体デバイス。

【請求項 2 8】

主基板を含む下地基板と、

前記下地基板の上方に位置する第 1 光反射部と、

10

20

30

40

50

前記第 1 光反射部よりも上方に位置する第 1 マスクと、
前記第 1 マスクよりも上方に位置するベース半導体部と、
前記ベース半導体部よりも上方に位置する化合物半導体部と、
前記化合物半導体部および前記第 1 光反射部の上方に位置する第 2 光反射部と、を備え、
前記第 1 マスクは、マスク部および開口部を含み、
前記第 1 光反射部は、第 1 屈折部と、前記第 1 屈折部よりも光屈折率が大きな第 2 屈折部とを含むペアを複数有し、
前記第 1 光反射部が前記下地基板上に位置し、
前記下地基板は、上面に開口した凹部を有し、

前記第 1 屈折部および前記第 2 屈折部が、前記凹部に沿った U 字形状部を有する、半導体デバイス。

【請求項 29】

前記化合物半導体部、前記ベース半導体部および前記マスク部の側面に接する空隙を備え、

平面視において前記空隙と前記凹部とが重なる、請求項 28 に記載の半導体デバイス。

【請求項 30】

前記第 1 光反射部の最上部に位置する U 字形状部が前記空隙と接する、請求項 29 に記載の半導体デバイス。

【請求項 31】

前記主基板と前記第 1 光反射部との間に位置する下地部を備え、

前記下地部が窒化物半導体を含む、請求項 1、5、7、28 のいずれか 1 項に記載の半導体デバイス。

【請求項 32】

前記主基板上に位置するバッファ部と、

前記バッファ部および前記下地部の間に位置する第 2 マスクとを備える、請求項 31 に記載の半導体デバイス。

【請求項 33】

前記第 2 マスクはマスク部および開口部を含み、

平面視において、前記第 1 マスクの開口部と前記第 2 マスクの開口部とが重なる、請求項 32 に記載の半導体デバイス。

【請求項 34】

前記第 2 マスクはマスク部および開口部を含み、

平面視において、前記第 1 マスクのマスク部中央と前記第 2 マスクの開口部とが重なる、請求項 32 に記載の半導体デバイス。

【請求項 35】

前記第 2 電極は、平面視で前記第 2 光反射部と重ならない、請求項 4 に記載の半導体デバイス。

【請求項 36】

前記第 2 電極は、前記ベース半導体部に接する、請求項 4 に記載の半導体デバイス。

【請求項 37】

前記第 1 光反射部と前記第 1 マスクとの間にシード部を備え、

前記第 2 電極は、前記シード部に接する、請求項 4 に記載の半導体デバイス。

【請求項 38】

前記第 2 電極は、前記第 1 光反射部の上面に接する、請求項 4 に記載の半導体デバイス。

【請求項 39】

前記第 1 電極は、前記化合物半導体部と前記第 2 光反射部との間に位置する透明電極であり、

前記第 1 電極は前記絶縁膜の上面と接触し、

前記アパーチャー部では、前記第 1 電極および前記化合物半導体部が接触する、請求項 5 に記載の半導体デバイス。

10

20

30

40

50

【請求項 4 0】

前記第 2 光反射部は、前記第 1 電極上に島状に設けられている、請求項 5 に記載の半導体デバイス。

【請求項 4 1】

前記第 2 電極は、平面視において前記第 2 部分と重なる、請求項 5 に記載の半導体デバイス。

【請求項 4 2】

前記ベース半導体部および前記化合物半導体部それぞれが窒化物半導体を含む、請求項 1、5、7、28 のいずれか 1 項に記載の半導体デバイス。

【請求項 4 3】

前記主基板は、前記ベース半導体部と格子定数が異なる異種基板である、請求項 4 2 に記載の半導体デバイス。

【請求項 4 4】

前記主基板は、GaN バルク基板よりも熱伝導率が高い、請求項 1、5、7、28 のいずれか 1 項に記載の半導体デバイス。

【請求項 4 5】

前記主基板が透光性であり、

前記第 1 光反射部は、前記第 2 光反射部よりも光反射率が小さい、請求項 1、5、7、28 のいずれか 1 項に記載の半導体デバイス。

【請求項 4 6】

前記主基板が炭化シリコン基板である、請求項 4 2 に記載の半導体デバイス。

【請求項 4 7】

前記シード部は、前記開口部と重なるように局所的に設けられている、請求項 2 1 に記載の半導体デバイス。

【請求項 4 8】

前記ベース半導体部の側面、前記化合物半導体部の側面、および前記第 2 光反射部の側面に接する空隙を備える、請求項 4 2 に記載の半導体デバイス。

【請求項 4 9】

前記ベース半導体部および前記化合物半導体部それぞれの側面が、前記窒化物半導体の a 面または m 面である、請求項 4 8 に記載の半導体デバイス。

【請求項 5 0】

平面視において前記空隙と前記マスク部の中央とが重なる、請求項 4 8 に記載の半導体デバイス。

【請求項 5 1】

前記ベース半導体部は、平面視において前記マスク部の中央と重なるボイドを内包する、請求項 8 に記載の半導体デバイス。

【請求項 5 2】

前記第 2 部分の貫通転位密度が $5 \times 10^6 / \text{cm}^2$ 以下である、請求項 2 に記載の半導体デバイス。

【請求項 5 3】

前記主基板の下方に位置する波長変換部を備える、請求項 1、5、7、28 のいずれか 1 項に記載の半導体デバイス。

【請求項 5 4】

前記第 2 光反射部は、第 3 屈折部と、前記第 3 屈折部よりも光屈折率が大きな第 4 屈折部とを含むペアを複数有する、請求項 6 に記載の半導体デバイス。

【請求項 5 5】

前記第 3 屈折部および前記第 4 屈折部それぞれが誘電材料を含む、請求項 5 4 に記載の半導体デバイス。

【請求項 5 6】

前記第 2 光反射部の下面は前記第 3 屈折部に含まれ、

10

20

30

40

50

前記第 2 光反射部の上面は前記第 4 屈折部に含まれ、

前記第 3 屈折部は、前記第 2 型半導体層よりも光屈折率が小さい、請求項 5 4 に記載の半導体デバイス。

【請求項 5 7】

前記第 1 光反射部がフォトリソニック結晶層である、請求項 1、5、7、2 8 のいずれか 1 項に記載の半導体デバイス。

【請求項 5 8】

前記第 1 電極はアノードであり、前記第 2 電極はカソードである、請求項 4 に記載の半導体デバイス。

【請求項 5 9】

前記ベース半導体部および前記化合物半導体部並びに前記第 1 光反射部および前記第 2 光反射部を含む面発光半導体レーザ素子を 1 つ以上含む、請求項 1、5、7、2 8 のいずれか 1 項に記載の半導体デバイス。

【請求項 6 0】

1 つ以上の前記面発光半導体レーザ素子に接続する回路基板を含む、請求項 5 9 に記載の半導体デバイス。

【請求項 6 1】

請求項 6 0 に記載の半導体デバイスを含む、電子機器。

【請求項 6 2】

請求項 1、5、7、2 8 のいずれか 1 項に記載の半導体デバイスの製造方法であって、前記ベース半導体部を E L O 法で形成する、半導体デバイスの製造方法。

【請求項 6 3】

前記下地基板は下地部を含み、

前記下地部を E L O 法で形成する、請求項 6 2 に記載の半導体デバイスの製造方法。

【請求項 6 4】

前記第 1 光反射部の最下部を E L O 法で形成する、請求項 6 2 に記載の半導体デバイスの製造方法。

【請求項 6 5】

請求項 1、5、7、2 8 のいずれか 1 項に記載の半導体デバイスの製造装置であって、前記ベース半導体部を E L O 法で形成する、半導体デバイスの製造装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本開示は、半導体デバイス等に関する。

【背景技術】

【0 0 0 2】

特許文献 1 には、G a N 基板上に D B R (Distributed Bragg Reflector) 層および発光層を設けた面発光型の半導体レーザ素子が開示されている。D B R を選択成長マスクとして用いる構造は放熱性に問題がある。

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】日本国特許第 6 5 5 5 2 6 0 号公報

【発明の概要】

【0 0 0 4】

本開示に係る半導体デバイスは、主基板を含む下地基板と、前記下地基板の上方に位置する第 1 光反射部と、前記第 1 光反射部よりも上方に位置する第 1 マスクと、前記第 1 マスクよりも上方に位置するベース半導体部と、前記ベース半導体部よりも上方に位置する化合物半導体部と、前記化合物半導体部および前記第 1 光反射部の上方に位置する第 2 光反射部と、を備える。

10

20

30

40

50

【図面の簡単な説明】

【0005】

- 【図1】本実施形態に係る半導体デバイスの構成を示す断面図である。
【図2】本実施形態に係る半導体デバイスの別構成を示す断面図である。
【図3】本実施形態に係る半導体デバイスの製造方法の一例を示すフローチャートである。
【図4】本実施形態に係る半導体デバイスの製造装置の一例を示すブロック図である。
【図5】実施例1に係る半導体デバイスの、X方向に沿った断面図である。
【図6】実施例1に係る半導体デバイスの、Y方向に沿った断面図である。
【図7】実施例1に係る半導体デバイスの平面図である。
【図8】実施例1の半導体デバイスの部分拡大図である。
【図9】実施例1の半導体デバイスの部分拡大図である。
【図10】下地基板の構成例を示す断面図である。
【図11】第1光反射部周りの別構成例を示す断面図である。
【図12】第1光反射部周りの別構成例を示す断面図である。
【図13】第1光反射部周りの別構成例を示す断面図である。
【図14】実施例1に係る半導体デバイスの製造方法の一例を示すフローチャートである。
【図15】実施例1に係る半導体デバイスの製造方法の一例を示す工程断面図である。
【図16】ベース半導体部8の横方向成長の一例を示す断面図である。
【図17】実施例1の半導体デバイスの別構成を示す平面図である。
【図18】実施例1の半導体デバイスの別構成を示す断面図である。
【図19】実施例1の半導体デバイスの別構成を示す平面図である。
【図20】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図21】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図22】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図23】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図24】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図25】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図26】実施例1に係る半導体デバイスの別構成を示す断面図である。
【図27】実施例1に係る半導体デバイスの別構成を示す平面図である。
【図28】実施例1に係る半導体デバイスの別構成を示す平面図である。
【図29】実施例1に係る半導体デバイスの別構成を示す模式的平面図である。
【図30】実施例1に係る半導体デバイスの別構成を示す模式的平面図である。
【図31】実施例2に係る半導体デバイスの構成を示す断面図である。
【図32】実施例2に係る下地基板の構成を示す断面図である。
【図33】実施例2に係る下地基板の構成を示す断面図である。
【図34】実施例2に係る下地基板の構成を示す断面図である。
【図35】実施例2に係る下地基板の構成を示す断面図である。
【図36】実施例3に係る半導体デバイスの構成を示す断面図である。
【図37】実施例3に係る半導体デバイスの構成を示す断面図である。
【図38】実施例4に係る半導体デバイスの製造方法の一例を示すフローチャートである。
【図39】実施例4に係る半導体デバイスの構成を示す断面図である。
【図40】実施例4に係る半導体デバイスの構成を示す断面図である。
【図41】実施例4に係る半導体デバイスの製造方法の別例を示すフローチャートである。
【図42】実施例4に係る半導体デバイスの別構成を示す断面図である。
【図43】実施例8に係る半導体デバイスの別構成を示す断面図である。
【図44】実施例8に係る半導体デバイスの別構成を示す断面図である。
【図45】実施例9に係る半導体デバイスの別構成を示す断面図である。
【図46】実施例10に係る電子機器の構成を示す模式図である。

【発明を実施するための形態】

【0006】

〔半導体デバイス〕

図1は、本実施形態に係る半導体デバイスの構成を示す断面図である。図1に示すように、本実施形態に係る半導体デバイス30は、下地基板UKと、下地基板UKの上方に位置する第1光反射部RFと、第1光反射部RFよりも上方に位置する第1マスク6と、第1マスク6よりも上方に位置するベース半導体部8と、ベース半導体部8よりも上方に位置する化合物半導体部9と、化合物半導体部9および第1光反射部RFの上方に位置する第2光反射部RSと、を備える。

【0007】

半導体デバイス30は、ベース半導体部8、化合物半導体部9、第1光反射部RFおよび第2光反射部RSを含む面発光半導体レーザ素子20を1つ以上含む。ここでは、下地基板UKの法線方向であって、下地基板UKから第1マスク6への方

10

【0008】

向を上方向とする。半導体デバイス30では、第1マスク6がマスク層6であってもよく、ベース半導体部8がベース半導体層8であってもよく、化合物半導体部9が化合物半導体層9であってもよく、第1光反射部RFが第1光反射層であってもよく、第2光反射部RSが第2光反射層であってもよい。第1マスク6がマスク部5および開口部Kを有していてもよい。つまり、第1マスク6は、マスク部5および開口部Kを含むマスクパターンであってよい。

20

【0009】

化合物半導体部9上には、第1電極E1を設けることができる。第1光反射部RF、ベース半導体部8、化合物半導体部9、第1電極E1および第2光反射部RSは、平面視で互いに重なっていてもよい。平面視で2つの構成要素が重なるとは、下地基板UKの法線方向の視認（透視的視認を含む）において一方の構成要素の少なくとも一部が他方の構成要素に重なることを意味する。

【0010】

半導体デバイス30では、化合物半導体部9で発生した光が、第1および第2光反射部RF・RS間にて往復することでレーザ発振が可能になる。半導体デバイス30では、第1光反射部RFが、下地基板UKと第1マスク6との間に設けられているため、第1光反射部RFからの放熱性が向上し、面発光半導体レーザ素子20の信頼性が高められる。

【0010】

ベース半導体部8および化合物半導体部9が窒化物半導体を含んでいてもよい。窒化物半導体は、例えば、 $Al_xGa_yIn_zN$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x + y + z = 1$) と表すことができ、具体例として、GaN系半導体、AlN（窒化アルミニウム）、InAlN（窒化インジウムアルミニウム）、InN（窒化インジウム）を挙げることができる。GaN系半導体とは、ガリウム原子（Ga）および窒素原子（N）を含む半導体であり、典型的な例として、GaN、AlGaN、AlGaInN、InGaNを挙げることができる。ベース半導体部8は、ドープ型（例えば、ドナーを含むn型）であってもよい。ベース半導体部8および化合物半導体部9それぞれが窒化物半導体層であってもよい。

30

【0011】

窒化物半導体を含むベース半導体部8は、例えば、ELO（Epitaxial Lateral Overgrowth）法によって形成することができる。ELO法を用いた場合、マスク部5上においてはベース半導体部8および化合物半導体部9の貫通転位（欠陥）が低減するため、化合物半導体部9の発光効率（例えば、第1電極E1からの電荷注入量に対する光量の比）が高まり、発熱量は低減する。貫通転位は、ベース半導体部8から化合物半導体部9に延びる転位（欠陥）であり、電荷移動を阻害し、発熱の原因となるからである。

40

【0012】

ELO法を用いてベース半導体部8を形成する場合、下地基板UKおよび第1光反射部RFと第1光反射部RF上のマスクパターン6とを含むテンプレート基板を用いてよい。テンプレート基板が、マスク部5に対応する成長抑制領域（例えば、Z方向の結晶成長を抑制する領域）と、開口部Kに対応するシード領域とを有してよい。例えば、第1光反射部RFに、成長抑制領域およびシード領域を形成し、成長抑制領域およびシード領域上に

50

、E L O法を用いてベース半導体部 8 を形成することもできる。

【0013】

第1光反射部 R F が、窒化物半導体を含む、エピタキシャル D B R (Distributed Bragg Reflector) であってもよい。こうすれば、第1光反射部 R F の光反射率が高められる。

【0014】

図2は、本実施形態に係る半導体デバイスの別構成を示す断面図である。図2に示すように、半導体デバイス30は、下地基板 U K の反対側（化合物半導体部9の上方）に位置し、面発光半導体レーザ素子20と電氣的に接続する回路基板 C B を備える構成とすることができる。

【0015】

〔半導体デバイスの製造〕

図3は、本実施形態に係る半導体デバイスの製造方法の一例を示すフローチャートである。図3の半導体デバイスの製造方法では、下地基板 U K を準備する工程と、第1光反射部 R F を形成する工程と、第1マスク6を形成する工程と、E L O法を用いてベース半導体部8を形成する工程と、化合物半導体部9を形成する工程と、第2光反射部 R S を形成する工程とを含む。

【0016】

図4は、本実施形態に係る半導体デバイスの製造装置の一例を示すブロック図である。図4の半導体デバイスの製造装置70は、第1光反射部 R F 、ベース半導体部8、化合物半導体部9を形成する第1成膜部72と、第1マスク6および第2光反射部 R S を形成する第2成膜部73と、第1および第2成膜部72・73を制御する制御部74とを備える。

【0017】

第1成膜部72はM O C V D (Metal Organic Chemical Vapor Deposition) 装置を含んでいてもよく、制御部74がプロセッサおよびメモリを含んでいてもよい。制御部74は、例えば、内蔵メモリ、通信可能な通信装置、またはアクセス可能なネットワーク上に格納されたプログラムを実行することで第1および第2成膜部72・73を制御する構成でもよい。上記プログラムおよび上記プログラムが格納された記録媒体等も本実施形態に含まれる。

【0018】

〔実施例1〕

（全体構成）

図5は、実施例1に係る半導体デバイスの、X方向に沿った断面図である。図6は、実施例1に係る半導体デバイスの、Y方向に沿った断面図である。図7は、実施例1に係る半導体デバイスの平面図である。図5、図6および図7に示すように、実施例1に係る半導体デバイス30は、下地基板 U K と、下地基板 U K 上に位置する第1光反射部 R F と、第1光反射部 R F 上に位置するシード部4と、シード部4上に位置し、マスク部5および開口部 K を含む第1マスク6と、第1マスク6上に位置するベース半導体部8と、ベース半導体部8上に位置する化合物半導体部9と、化合物半導体部9上に位置する絶縁膜 K F と、化合物半導体部9上に位置する第1電極 E 1 と、ベース半導体部8上に位置する第2電極 E 2 と、第1電極 E 1 上に位置する第2光反射部 R S とを備える。ベース半導体部8および化合物半導体部9は、窒化物半導体（例えば、G a N 系半導体）を含んでいてもよい。X方向はベース半導体部8の<11-20>方向、Y方向はベース半導体部8の<1-100>方向、Z方向はベース半導体部8の<0001>方向である。

【0019】

ベース半導体部8は、第1部分 H D と、マスク部5上に位置し、貫通転位密度が第1部分 H D の $1/5$ 以下である第2部分 S D (低欠陥部) とを含む。第2部分 S D の貫通転位密度が $5 \times 10^6 / \text{cm}^2$ 以下であってもよい。第2部分 S D は平面視で化合物半導体部9と重なる。化合物半導体部9のうち、平面視で第2部分 S D と重なる部分はベース半導体部8の低転位性（低欠陥性）を引き継いだ低転位部となる。第1光反射部 R F および第

10

20

30

40

50

2 光反射部 R S は、平面視で第 2 部分 S D と重なる構成とすることができる。ベース半導体部 8 は、n 型の半導体（例えば、シリコンドープの窒化ガリウム）で構成することができる。例えば、マスク部 5 がシリコンを含む場合は、ベース半導体部 8 をアンインテンシヨナリドープで成膜する際に、第 1 マスク 6 の一部を拡散させることでベース半導体部 8 を n 型半導体とすることもできる。

【0020】

図 5 および図 6 では、第 1 電極 E 1 は透光性を有するアノードであり、第 2 電極 E 2 はカソードである。第 1 電極 E 1 は、化合物半導体部 9 よりも上方に位置し、平面視で第 2 光反射部 R F と重なる。第 2 電極 E 2 は、第 1 マスク 6 よりも上方に位置し、平面視で第 2 光反射部 R S と重ならない。第 2 電極 E 2 は、ベース半導体部 8 に接する。化合物半導体部 9 は、ベース半導体部 8 上に設けられるが、ベース半導体部 8 の一部の上方には化合物半導体部 9 が形成されておらず、このベース半導体部 8 の一部と接するように第 2 電極 E 2 が設けられる。

10

【0021】

半導体デバイス 30 では、第 1 光反射部 R F、ベース半導体部 8、化合物半導体部 9、絶縁膜 K F、第 1 および第 2 電極 E 1・E 2、および第 2 光反射部 R S を含む、面発光半導体レーザ素子 20（V C S E L 素子：a vertical cavity surface emitting laser element）が 1 つ以上構成される。半導体レーザ素子 20 では、第 1 および第 2 電極 E 1・E 2 間の電流によって化合物半導体 9 で発生した光が、第 1 および第 2 光反射部 R F・R S 間における誘導放出および帰還作用によってレーザ発振する。

20

【0022】

半導体デバイス 30 では、第 1 光反射部 R F が、下地基板 U K と第 1 マスク 6 との間に設けられているため、第 1 光反射部 R F からの放熱性が向上し、面発光半導体レーザ素子 20 の信頼性が高められる。また、下地基板 U K および第 1 光反射部 R F の設計（材料、構造等）の自由度が高まる。

【0023】

図 8 は、実施例 1 の半導体デバイスの部分拡大図である。図 8 に示すように、化合物半導体部 9 は、下層側から順に、第 1 型半導体層としての n 型半導体層 9 A と、活性層 9 K と、第 2 型半導体層としての p 型半導体層 9 B とを含む。活性層 9 K は、M Q W（Multi-Quantum Well）構造であり、例えば、I n G a N および G a N の少なくとも一方を含む。n 型半導体層 9 A は、例えば n 型の A l G a N 層である。p 型半導体層 9 B は、例えば p 型の G a N 層である。アノードである第 1 電極 E 1 は、p 型半導体層 9 B と接触するように設けられる。

30

【0024】

半導体デバイス 30 は、化合物半導体部 9 上に位置する絶縁膜 K F を備え、絶縁膜 K F は、平面視において第 1 電極 E 1、第 1 光反射部 R F、第 2 部分 S D、第 2 光反射部 R S と重なるアパーチャー部 A P を含む。第 1 電極 E 1 は、化合物半導体部 9 と第 2 光反射部 R S との間に位置する透明電極であり、第 1 電極 E 1 は絶縁膜 K F の上面と接触する。絶縁膜 K F には、S i O x、S i N x、A l O x 等を用いることができる。

【0025】

アパーチャー部 A P では、第 1 電極 E 1 と化合物半導体部 9 とが接触する。具体的には、アパーチャー部 A P において露出した p 型半導体層 9 B と、第 1 電極 E 1 の中央部とが接触する。アパーチャー部 A P は、絶縁膜 K F を例えば円形に貫いて形成される電流狭窄部であり、アパーチャー部 A P によって第 1 および第 2 電極 E 1・E 2 間の電流経路がアノード側で狭窄され、発光効率が高められる。

40

【0026】

実施例 1 では、アパーチャー部 A P が、平面視において、第 2 光反射部 R S、化合物半導体部 9、ベース半導体部 8 の第 2 部分 S D（低欠陥部）、および第 1 光反射部 R F と重なる。このため、アパーチャー部 A P 内の第 1 電極 E 1 から化合物半導体部 9 を経てベース半導体部 8 に到る電流経路が、ベース半導体部 8 および化合物半導体部 9 の低欠陥部に

50

形成される。したがって、活性層 9 K での発光効率が高められるとともに、ベース半導体部 8 および化合物半導体部 9 での発熱が抑えられる。

【0027】

半導体デバイス 30 では、第 1 電極 E 1 と接触する第 1 パッド P 1 が設けられ、平面視において、第 1 パッド P 1、アパーチャ部 A P および第 2 電極 E 2 が Y 方向に並ぶ。こうすれば、第 2 電極 E 2 を、ベース半導体部 8 の第 2 部分 S D（低欠陥部）上に形成することができ、活性層 9 K での発光効率を高めることができる。第 1 パッド P 1 は、第 1 電極 E 1 の一部と接触していればよいが、アパーチャ部 A P により均一に電流を注入するために、第 1 パッド P 1 が第 1 電極 E 1 の周縁に接触する（第 1 電極 E 1 との接触領域が、平面視でアパーチャ部 A P を取り囲む）ような形状でもよい。第 1 パッド P 1 が円形で

10

【0028】

図 9 は、実施例 1 の半導体デバイスの部分拡大図である。第 1 光反射部 R F は、下地基板 U K 上に位置し、窒化物半導体を含むエピタキシャル D B R とすることができる。この場合、図 9 に示すように、第 1 光反射部 R F が、第 1 屈折部 R 1 と、第 1 屈折部 R 1 よりも光屈折率が大きな第 2 屈折部 R 2 とを含むペア P F を複数有する。第 2 屈折部 R 2 は、G a N 系半導体を含み、第 1 屈折部 R 1 は、第 2 屈折部 R 2 の G a N 系半導体よりも光屈折率の小さな屈折材料（例えば窒化物半導体）を含んでいてもよい。図 6 では、第 1 光反射部 R F と第 1 マスク 6 との間にシード部 4 が設けられている。具体的には、第 1 光反射部 R F の上面が第 1 屈折部 R 1 に含まれ、第 1 光反射部 R F 上に、例えば G a N 系半導体を含むシード部 4 が形成され、シード部 4 上に第 1 マスク 6 が形成されている。第 1 マスク 6 上に位置するベース半導体部 8 が、マスク部 5 よりも光屈折率が大きくてもよい。シード部 4 は、マスク部 5 および第 1 屈折部 R 1 よりも光屈折率が大きくてもよい。

20

【0029】

第 1 光反射部 R F を、窒化物半導体を含むエピタキシャル D B R とすることで、第 1 光反射部 R F の光反射率が高められ、製造工程の簡易化も可能となる。また、ベース半導体部 8 の応力（室温での引っ張り応力）が緩和される。

【0030】

第 2 光反射部 R S は、第 1 電極 E 1 上に位置し、誘電体を含む誘電体 D B R とすることができる。この場合、図 8 に示すように、第 2 光反射部 R S は、第 3 屈折部 R 3 と、第 3 屈折部 R 3 よりも光屈折率が大きな第 4 屈折部 R 4 とを含むペア P S を複数有し、第 3 屈折部 R 3 および第 4 屈折部 R 4 それぞれが誘電材料を含む。

30

【0031】

第 2 光反射部 R S の下面が第 3 屈折部 R 3 に含まれ、第 2 光反射部 R S の上面が第 4 屈折部 R 4 に含まれてもよい。また、第 3 屈折部 R 3 は、p 型半導体層 9 B よりも光屈折率が小さくてもよい。こうすれば、第 2 光反射部 R S での光反射率を高めることができる。また、第 2 光反射部 R S を、第 1 電極 E 1 上に島状に設けることで、放熱性が高まる。

【0032】

実施例 1 の半導体デバイス 30 は、図 5 および図 6 に示すように、ベース半導体部 8 の側面、化合物半導体部 9 の側面、および第 2 光反射部 R S の側面に接する空隙 T K を含み、平面視において空隙 T K とマスク部 5 の中央 5 C とが重なる。ベース半導体部 8 および化合物半導体部 9 それぞれの側面が、G a N 系半導体の a 面または m 面であってもよい。空隙 T K を設けることで、放熱性が高まり、ベース半導体部 8 の応力も緩和される。

40

【0033】

図 10 は、下地基板の構成例を示す断面図である。図 10 に示すように、下地基板 U K は、主基板 1 で構成されていてもよく、この場合、主基板 1 として、例えば、S i C 基板（6 H - S i C バルク結晶）、G a N 基板（バルク結晶）、A l N 基板（バルク結晶）を用いることができる。また、下地基板 U K は、主基板 1 と、主基板 1 よりも上方に位置する下地部 3 とを含んでいてもよく、この場合、例えば、主基板 1 に S i C 基板、下地部 3 に窒化物半導体（例えば、G a N 系半導体）を用いたり、主基板 1 に A l N 基板、下地部

50

3に窒化物半導体（例えば、GaN系半導体）を用いたり、主基板1にSi基板（バルク結晶）、下地部3に窒化アルミニウム（AlN）あるいは炭化シリコン（SiC）を用いたり、主基板1にGaN基板（バルク結晶）、下地部3にGaNを用いたりすることができる。さらに、下地基板UKは、主基板1と、主基板1よりも上方に位置するバッファ部2と、バッファ部2よりも上方に位置する下地部3とを含んでいてもよく、この場合、例えば、主基板1にSiC基板またはSi基板を用い、バッファ部2に、AlN（窒化アルミニウム）あるいはSiC（炭化シリコン）の少なくとも一方を用い、下地部3に窒化物半導体（例えば、GaN系半導体）を用いることができる。

【0034】

図11～図13は、第1光反射部周りの別構成例を示す断面図である。図11では、第1光反射部RFの上面が第2屈折部R2に含まれ、第1光反射部RF上に第1マスク6が形成されている。この場合、最上部の第2屈折部R2が、ベース半導体部8が横方向成長する際のシードとして機能し、ベース半導体部8は、第1マスク6の開口部Kにおいて、第1光反射部RFの上面と接する。図12では、第1光反射部RFの上面が第1屈折部R1に含まれ、第1光反射部RF上に第1マスク6が形成されていてもよい。この場合、例えば窒化物半導体を含む、最上部の第1屈折部R1が、ベース半導体部8が横方向成長する際のシードとして機能し、ベース半導体部8は、第1マスク6の開口部Kにおいて、第1光反射部RFの上面と接する。図13では、第1光反射部RFと第1マスク6との間にシード部4が設けられる。具体的には、第1光反射部RFの上面が第2屈折部R2に含まれ、第1光反射部RF上に、例えば窒化物半導体を含むシード部4が形成され、シード部4上に第1マスク6が形成されている。また、第1光反射部RFの最上層またはシード部4と、ベース半導体部8とを同材料（例えば、GaN系半導体）とすることで、製造工程を簡易化することができる。

【0035】

（製造方法）

図14は、実施例1に係る半導体デバイスの製造方法の一例を示すフローチャートである。図15は、実施例1に係る半導体デバイスの製造方法の一例を示す工程断面図である。図14および図15に示すように、半導体デバイスの製造方法では、下地基板UKを準備する工程と、第1光反射部RFを形成する工程と、シード部4を形成する工程と、第1マスク6を形成する工程と、ELO法でベース半導体部8を形成する工程と、化合物半導体部9を形成する工程と、絶縁膜KF（電流狭窄層）を形成する工程と、第1および第2電極E1・E2を形成する工程と、第2光反射部RSを形成する工程とを含む。

【0036】

（下地基板）

下地基板UKの主基板1には、例えばGaN系半導体を含むベース半導体部と異なる格子定数を有する異種基板を用いることができる。異種基板としては、単結晶のシリコン（Si）基板、サファイア（Al₂O₃）基板、シリコンカーバイド（SiC）基板、窒化アルミニウム（AlN）基板等を挙げることができる。主基板1の面方位は、例えば、シリコン基板の（111）面、サファイア基板の（0001）面、SiC基板の6H-SiC（0001）面である。

【0037】

主基板1は、GaNバルク基板よりも熱伝導率が高くてもよい。GaN基板よりも熱伝導性に優れ、透光性を有するという観点から、主基板1に、SiC基板を採用してもよい。なお、主基板1にGaN基板（バルク結晶）を用いることもできる（図10参照）。

【0038】

下地基板UKでは、例えば図10のように、主基板1上に下地部（下地層）3を設けたり、主基板1上にバッファ部2（バッファ層）および下地部3を設けたりすることができる。シリコン基板およびGaN系半導体が高温下で溶融し合う現象を防ぐため、シリコン基板を用いる場合に、AlN層を含む、下地部3あるいはバッファ部2を設けてもよい。AlN層は、例えばMOCVD装置を用いて、厚さ10nm程度～5μm程度に形成する

ことができる。シリコン基板を用いる場合には、熱伝導性に優れるという観点から、S i C層を含む、下地部3あるいはバッファ部2を設けることもできる。

【0039】

主基板1と下地部3が熔融し合わない場合は、バッファ部2を設けなくてもよく、実施例1では、主基板1をS i C基板とし、主基板1上に下地部3としてのG a N層を、M O C V D法を用いて1.0 μmの厚みとなるように形成している。

【0040】

スパッタ装置（P S D：pulse sputter deposition，P L D：pulse laser depositionなど）を用いて、バッファ部2（例えば、窒化アルミニウム）および下地部3（例えば、G a N系半導体）の少なくとも一方を形成することもできる。スパッタ装置を用いて成膜することで、製造工程を効率化することができる。

10

【0041】

ベース半導体部8をE L O法を用いて横方向に成長させる場合、たとえ結晶性の劣る下地を用いた場合においても、その低結晶性は開口部K上（第1部分H D）に引き継がれ、平面視でアパーチャー部A Pおよび活性層9 Kの発光領域と重なる第2部分S Dには引き継がれない（それゆえ第2部分S Dは低欠陥部である）。そのため、発光特性を維持しながら低コスト化を図ることができる。

【0042】

下地部3が、主基板1と第1光反射部R Fの熔融を防止する効果、第1光反射部R Fの結晶性を高める効果、ベース半導体部8の内部応力を緩和する（半導体デバイス30の反りを緩和する）効果、および放熱性を高める効果の少なくとも1つを有していてもよい。また、バッファ部2が、主基板1と下地部3の熔融を防止する効果、下地部3の結晶性を高める効果、ベース半導体部8の内部応力を緩和する効果、および放熱性を高める効果の少なくとも1つを有していてもよい。

20

【0043】

主基板1にG a N基板（バルク結晶）を用いることもできる。この場合、主基板1上に（ダイレクトに）第1光反射部R F（エピタキシャルD B R）を形成してもよいし、主基板1上に、下地部3（例えば、G a N層）を介して第1光反射部R F（エピタキシャルD B R）を形成してもよい。主基板1にG a N基板を用いることで、第1光反射部R Fの貫通転位が減少し、ベース半導体部8における開口部K上の貫通転位を低減させることができる。

30

【0044】

また、サファイア基板上に（11-22）面のG a N系半導体層が形成された下地基板あるいは、サファイア基板上に（20-21）面のG a N系半導体層が形成された下地基板を用いてもよい。これら半極性面の下地基板上にエピタキシャルに形成された半導体層は結晶性が高いことから、これらの下地基板を実施例1に用いることもできる。

【0045】

（第1光反射部）

図9に示すように、第1屈折部R 1にA l N、第2屈折部R 2にG a Nを含むペアを、20～40ペア積層することで、高反射率（96%以上）かつ高熱伝導率のエピタキシャルD B Rを形成することができる。この場合、主基板1、第1屈折部R 1、および第2屈折部R 2の格子不整合等に起因する貫通転位が生じる場合がある。しかし、第1マスク6によって第1光反射部R Fの貫通転位（Z方向に伸びる欠陥）が止められ、ベース半導体部8の第2部分S Dおよびその上部の化合物半導体部9（特に、アパーチャー部A Pと重なる部分）には引き継がれない。これにより、下地基板U Kおよび第1光反射部R Fの設計の自由度が上がり、放熱性、結晶品質、消費電力、製造コスト等を考慮した設計が可能となる。

40

【0046】

第1光反射部R Fを、A l N（第1屈折部）／G a N（第2屈折部）のエピタキシャルD B Rとすることで第1光反射部R Fの熱伝導性を高めることができる。また、第1マス

50

ク6によって第1光反射部RFからベース半導体部8および化合物半導体部9への応力伝播を緩和することができる。もちろん、第1光反射部RFを、AlInN（第1屈折部）／GaN（第2屈折部）等の格子整合系のエピタキシャルDBRとすることもできる。

【0047】

エピタキシャルDBRはMOCVD法を用いて成膜してもよいし、低温成膜が可能なRPCVD（remote plasma chemical vapor deposition）法や、PSD（Pulse sputter deposition）法を用いて成膜してもよい。RPCVD法やPSD法等の低温成膜方を行う

ことで、成膜中と成膜後の温度差が小さくなり、主基板1とエピタキシャルDBRの熱膨張係数差に起因するクラックを抑制することができる。また、エピタキシャルDBRを低温成膜可能なスパッタ法などを用いて形成し、シード部4をMOCVD法を用いて形成してもよい。

【0048】

実施例1では、MOVPE（Metal Organic Vapor Phase Epitaxy）法により、6H-SiC（0001）基板上に、下地部3としてのアンドープGaN層を約2μm成膜し、下地部3上に、AlN（第1屈折部）／GaN（第2屈折部）のペアを、成長温度1040℃、成長圧力50Torrで30ペア積層し、エピタキシャルDBRとした。DBRの設計ピーク波長は400nm、1ペア内のAlNの光学膜厚をλ／4とした。これにより、98％程度の高光反射率の第1光反射部RFを得ることができた。

【0049】

図9のように、第1光反射部RFの最上部を第1屈折部（AlN）とし、その上にGaN系半導体を含むシード部4を設けてもよいし、図11のように、第1光反射部RFの最上部を第2屈折部（GaN）としてもよい。第1マスク6の下面に接する層をGaN系半導体層とすることで、第1マスク6の形成後、ベース半導体部8を成長させる際の昇温によって、第1マスク6の下面に接する半導体層が再蒸発する現象が発生する可能性を低減できる。

【0050】

第1屈折部R1の屈折材料は、AlNあるいはAlInN、またはInNであってもよい。第1屈折部R1の屈折材料（例えば、AlN）は、第2屈折部R2のGaN系半導体（例えば、GaN）よりも熱伝導率が大きくてもよい。第1屈折部R1の屈折材料は、第2屈折部R2のGaN系半導体と格子定数が異なってもよい。第1屈折部R1の屈折材料（例えば、AlN）は、第2屈折部R2のGaN系半導体（例えば、GaN）よりも格子定数が小さくてもよい。熱膨張係数について、主基板1の主材料（例えば、SiC、Si）＜第2屈折部R2のGaN系半導体（例えば、GaN）＜第1屈折部R1の屈折材料（例えば、AlN）であってもよい。

【0051】

（第1マスク）

第1マスク6の開口部Kは、シードとして機能する窒化物半導体を露出させ、ベース半導体部8の成長を開始させる成長開始用ホールの機能を有し、マスク部5は、ベース半導体部8を横方向成長させる選択成長用マスクの機能を有する。マスク部5として、例えば、シリコン酸化膜（SiO_x）、窒化チタン膜（TiN等）、シリコン窒化膜（SiN_x）、シリコン酸窒化膜（SiON）、および高融点（例えば1000℃以上）をもつ金属膜のいずれか1つを含む単層膜、またはこれらの少なくとも2つを含む積層膜を用いることができる。

【0052】

例えば、スパッタ法を用いて厚さ10nm程度～500nm程度のシリコン酸化膜を全面形成し、シリコン酸化膜の全面にレジストを塗布する。その後、フォトリソグラフィ法を用いてレジストをパターニングし、ストライプ状の複数の開口部を持ったレジストを形成する。その後、フッ酸（HF）、バッファードフッ酸（BHF）等のウェットエッチャントによってシリコン酸化膜の一部を除去して複数の開口部Kとし、レジストを有機洗浄

10

20

30

40

50

で除去することで第1マスク6が形成される。なお、一般的ナリフトオフ法を用いて、開口部Kを形成してもよい。

【0053】

開口部Kは長手形状（スリット状）であり、ベース半導体部8のa軸方向（X方向）に周期的に配列される。開口部Kの幅（開口幅）は、 $0.1\mu\text{m}\sim 20\mu\text{m}$ 程度（例えば $5\mu\text{m}$ 程度）とすることができる。各開口部の幅が小さいほど、各開口部からベース半導体部8に伝搬する貫通転位数は減少する。また、第2部分（低欠陥部）SDを大きくすることができる。マスク部5の厚さについては、放熱性の観点から薄い方がよいが、第1マスク6とベース半導体部8の相互反応の抑制も考慮して、 10nm 以上あるいは 20nm 以上、または 40nm 以上とすることができる。

10

【0054】

マスク部5の幅は、 $10\mu\text{m}\sim 200\mu\text{m}$ とすることができる。マスク部5の幅を大きくすることで、ベース半導体部8の第2部分SD（低欠陥部）の面積（有効面積）を大きくすることができる。これにより、アパーチャー径（アパーチャー部APの口径）も大きくすることができ、高出力の半導体レーザデバイスを実現することができる。

【0055】

シリコン酸化膜は、ベース半導体部8の成膜中に微量ながら分解、蒸発し、ベース半導体部8に取り込まれてしまうことがあるが、シリコン窒化膜、シリコン酸窒化膜は、高温で分解、蒸発し難いというメリットがある。

【0056】

そこで、第1マスク6を、シリコン窒化膜あるいはシリコン酸窒化膜の単層膜としてもよいし、シリコン酸化膜およびシリコン窒化膜をこの順に形成した積層膜としてもよいし、シリコン窒化膜およびシリコン酸化膜をこの順に形成した積層膜としてもよいし、シリコン窒化膜、シリコン酸化膜およびシリコン窒化膜をこの順に形成した積層膜としてもよい。

20

【0057】

マスク部5のピンホール等の異常個所は、成膜後に有機洗浄などを行い、再度成膜装置に導入して同種膜を形成することで、異常個所を消滅させることができる。一般的なシリコン酸化膜（単層）を用い、このような再成膜方法を用いて良質な第1マスク6を形成することもできる。

30

【0058】

マスク部5は、第2屈折部R2（例えば、GaN系半導体）よりも光屈折率が小さくてもよい。実施例1では、第1マスク6がキャビティ内に存在するため、光の共振をできるだけ妨げないように第1マスク6を設計することができる。マスク部5は、選択成長膜であるとともに、光透過膜でもあるため、光透過特性を高く（光吸収を少なく）してもよい。第1光反射部RFの最上部（第2屈折部R2）あるいはシード部4がGaN層であり、GaNより低屈折率であるシリコン酸化膜あるいはシリコン窒化膜の単層をマスク材とする場合、シリコン酸化膜あるいはシリコン窒化膜の光学膜厚（物理膜厚／屈折率）を、 λ （発振波長）／2の整数倍とすることで、第1光反射部RFでの反射率を高めることができる。さらに、それぞれが λ ／2の整数倍の光学膜厚を有する、複数の膜種からなるマスク材を用いてもよい。例えば、第1光反射部RFの最上部（第2屈折部R2）あるいはシード部4がGaN層である場合に、このGaN層の上に、シリコン酸化膜とこれよりも高屈折率のシリコン窒化膜を、この順にいずれも光学膜厚 λ ／4として形成すればよい。このような光学膜厚 λ ／4のシリコン酸化膜および光学膜厚 λ ／4のシリコン窒化膜のペアを第1マスクに採用することで、光反射率をより高めることができる。逆に、第1光反射部RFの反射率を第1マスク6によって低下させる設計も可能である。

40

【0059】

（ベース半導体部）

実施例1では、ベース半導体部8（ELO半導体層）をGaN層とし、MOCVD装置を用いて前述のテンプレート基板上に窒化ガリウム（GaN）のELO成膜を行った。E

50

ＬＯ成膜条件の一例として、基板温度：１１２０℃、成長圧力：５０ｋＰａ、ＴＭＧ（トリメチルガリウム）：２２ｓｃｃｍ、ＮＨ₃：１５ｓｌｍ、 $V/I/II=6000$ （ⅡⅡⅠ族原料の供給量に対する、Ⅴ族原料の供給量の比）を採用することができる。

【００６０】

この場合、開口部Ｋに露出したシード部３（例えばＧａＮ層）上にベース半導体部８が選択成長（縦方向成長）し、引き続いてマスク部５上に横方向成長する。そして、マスク部５上においてその両側から横方向成長するベース半導体部８が会合する前にこれらの横成長を停止させた。

【００６１】

マスク部５には単膜の窒化シリコン膜を用い、発光波長４５０ｎｍを想定して、マスク部５の光学膜厚を $\lambda/4$ とした。マスク部５の幅は５０ μm 、開口部Ｋの幅は５ μm 、空隙ＴＫの幅は３ μm 、ベース半導体部８の横幅は５２ μm 、低欠陥部の幅（Ｘ方向のサイズ）は２３．５ μm 、ベース半導体部８の層厚は５ μm であった。ベース半導体部８のアスペクト比は、 $52\mu\text{m}/5\mu\text{m}=10.4$ となり、非常に高いアスペクト比が実現された。低欠陥部ＳＤの幅（有効幅）は、１０ μm 以上あるいは２０ μm 以上であってもよい。

【００６２】

実施例１におけるベース半導体部８の形成では、横方向成膜レートを高めている。横方向成膜レートを高める手法は、以下のとおりである。まず、開口部Ｋから露出したシード部３上に、Ｚ方向（ｃ軸方向）に成長する縦成長層を形成し、その後、Ｘ方向（ａ軸方向）に成長する横成長層を形成する。この際、縦成長層の厚みを、１０ μm 以下、好ましくは５ μm 以下、さらに好ましくは３ μm 以下とすることで、横成長層の厚みを低く抑え、横方向成膜レートを高めることができる。

【００６３】

図１６は、ベース半導体部８の横方向成長の一例を示す断面図である。図１６に示すように、シード部３上に、イニシャル成長層ＳＬを形成し、その後、イニシャル成長層ＳＬからベース半導体部８を横方向成長させることができる。イニシャル成長層ＳＬは、ベース半導体部８の横方向成長の起点となる。ＥＬＯ成膜条件を適宜制御することによって、ベース半導体部８をＺ方向（ｃ軸方向）に成長させたり、Ｘ方向（ａ軸方向）に成長させたりする制御が可能である。

【００６４】

ここでは、イニシャル成長層ＳＬのエッジが、マスク部５の上面に乗りあがる直前（マスク部５の側面上端に接している段階）、またはマスク部５の上面に乗り上がった直後のタイミングでイニシャル成長層ＳＬの成膜を止めてもよい（すなわち、このタイミングで、ＥＬＯ成膜条件を、ｃ軸方向成膜条件からａ軸方向成膜条件に切り替えてもよい）。こうすれば、イニシャル成長層ＳＬがマスク部５からわずかに突出している状態から横方向成膜を行なうため、ベース半導体部８の厚み方向への成長に材料が消費されることを低減し、ベース半導体部８を高速で横方向成長させることができる。イニシャル成長層ＳＬは、例えば、２．０ μm 以上３．０ μm 以下の厚さに形成すればよい。

【００６５】

ベース半導体部８（ＥＬＯ半導体部）の成膜温度については、１２００℃を超える高温であってもよいが、１１５０℃以下であってもよい。１０００℃を下回るような低温においてもＥＬＯ半導体部の形成は可能であり、相互反応低減の観点ではより好ましいといえる。このような低温成膜においては、ガリウム原料としてトリメチルガリウム（ＴＭＧ）を用いると、原料が十分に分解されず、ガリウム原子と炭素原子が同時にＥＬＯ半導体部に、通常より多く取り込まれることが分かった。ＥＬＯ法は、ａ軸方向の成膜は速く、ｃ軸方向の成膜が遅いため、ｃ面成膜時に多く取り込まれるためであると考えられる。

【００６６】

また、ＥＬＯ半導体部に取り込まれた炭素（カーボン）は、マスク部５との反応を低減し、マスク部５とＥＬＯ半導体部（ベース半導体部８）との癒着などを低減することが判明した。そのため、ＥＬＯ半導体部の低温成膜では、アンモニアの供給量を減らし、低Ｖ

10

20

30

40

50

／ＩＩＩ（＜１０００）程度で成膜することで、原料あるいはチャンバー雰囲気内の炭素元素をＥＬＯ半導体部に取り込み、マスク部５との反応を低減することができる。この場合、ベース半導体部８が炭素（カーボン）を含む構成となる。

【００６７】

図１７は、実施例１の半導体デバイスの別構成を示す平面図である。図１６では、マスク部５上においてその両側から横方向成長するベース半導体部８が会合する前にこれらの横成長を停止させているが、これに限定されない。図１７に示すように、マスク部５上においてその両側から横方向成長するベース半導体部８同士が会合した後に、これらの横成長を停止させてもよい。この場合、ベース半導体部８は、平面視でマスク部５の中央と重なるボイドＶＤを内包し、会合部の転位（結晶欠陥）が多くなるため、半導体レーザー素子２０の

10

【００６８】

（化合物半導体部）

ベース半導体部８および化合物半導体部９は、同一装置（例えば、ＭＯＣＶＤ装置）で連続形成してもよいし、ベース半導体部８形成後に一旦基板を装置から取り出し、ベース半導体部８の表面研磨等を行った後に化合物半導体部９を形成してもよい。この場合、ベース半導体部８上に、再成長の際のバッファとなるｎ型のＧａＮ系半導体層（例えば、厚さ０．１μｍ程度～３μｍ程度）を形成した後に、化合物半導体部９を形成してもよい。化合物半導体部９の形成には、ＭＯＣＶＤ装置のほか、スパッタ装置、リモートプラズマＣＶＤ装置（RPCVD）、ＰＳＤ（Pulse Sputter Deposition）装置等を用いることができる。リモートプラズマＣＶＤ装置、ＰＳＤ装置では、水素をキャリアガスとして用いないため、低抵抗のｐ型ＧａＮ系半導体部を形成することができる。

20

【００６９】

活性層９ＫのＭＱＷ構造は、例えば、ＩｎＧａＮ／ＧａＮの５～６周期の構造とすることができる。Ｉｎ組成は目的とする発光波長で異なり、青色（４５０ｎｍ付近）であれば１５～２０％程度のＩｎ濃度、緑色（５３０ｎｍ付近）であれば３０％程度のＩｎ濃度とすることができる。必要に応じて、電子ブロッキング層（例えば、ＡｌＧａＮ層）を活性層９Ｋ上に形成してもよい。また、低抵抗化のために、ｐ型半導体層９Ｂの表面（１０ｎｍ程度）をｐ型ハイドロ層としてもよい。

【００７０】

図１８は、実施例１の半導体デバイスの別構成を示す断面図である。図８では、絶縁膜ＫＦにアパーチャー部ＡＰを設けているが、これに限定されない。図１８のように、ｐ型半導体層９Ｂに環状の高抵抗部ＨＲ（ｐ型ドーパ濃度が小さい領域）を設け、高抵抗部ＨＲの内側をアパーチャー部ＡＰ（電流狭窄部）とする構成（高抵抗部ＨＲがアパーチャー部ＡＰを取り囲む構成）でもよい。Ａｌ（アルミニウム）、Ｆｅ（鉄）のインプラネーションを行うことでアパーチャー部ＡＰを形成することもできる。また、アパーチャー部ＡＰに屈折率差による光の閉じ込め効果をもたせるため、アパーチャーの周囲を掘り込み、アパーチャー部ＡＰとその周囲との間に屈折率差を生じさせる（例えば、アパーチャー部ＡＰと比較してその周囲の屈折率を小さくする）こともできる。

30

【００７１】

（第１および第２電極）

第１電極Ｅ１は、光透過性を有する透明導電性材料によって形成されている。透明導電性材料としては、例えば、インジウム錫酸化物（結晶性ＩＴＯ、アモルファスＩＴＯ、ＳｎドーパのＩｎ₂Ｏ₃を含む）、インジウム亜鉛酸化物（ＩＺＯ：Indium Zinc Oxide）、ＩＦＯ（ＦドーパのＩｎ₂Ｏ₃）、酸化錫（ＳｎＯ₂、ＳｂドーパのＳｎＯ₂、ＦドーパのＳｎＯ₂を含む）、酸化亜鉛（ＺｎＯ、ＡＩドーパのＺｎＯ、ＢドーパのＺｎＯを含む）をあげることができる。

40

【００７２】

第１電極Ｅ１は、Ｇａ（ガリウム）酸化物、Ｔｉ（チタン）酸化物、Ｎｂ（ニオブ）酸化物、Ｎｉ（ニッケル）酸化物の少なくとも１つを母層として含んでいてもよい。第１電

50

極E1のアパーチャー径（p型半導体部に接触する、電流注入領域の径）は、例えば、2 μm 以上100 μm 以下とすることができる。

【0073】

第1電極E1と接触する第1パッドP1は、例えば、Au、Ag、Pd、Pt、Ni、Ti、V、W、Cr、Al、Cu、Zn、SnおよびInの少なくとも1つ含む、単層構造または複層構造であってもよい。複層構造については、例えば左側を下層側として、Ti層/Au層、Ti層/Al層、Ti層/Al層/Au層、Ti層/Pt層/Au層、Ni層/Au層、Ni層/Au層/Pt層、Ni層/Pt層、Pd層/Pt層、Ag層/Pd層等の構成を採用することができる。

【0074】

（第2光反射部）

第2光反射部RSは、例えば、図8に示すように、第3屈折部R3と第4屈折部R4とが交互に積み重ねられたDBRである。第3屈折部R3は、例えば、SiO₂等を含む。第4屈折部R4は、第3屈折部R3よりも高い屈折率を有する材料を含む層であり、例えば、Ta₂O₅、HfO₂、ZrO₂、TiO₂、Al₂O₃、Nb₂O₅、ZnO、AlN、SiNまたはMgO等を含む。第3屈折部R3と第4屈折部R4との界面に臨界角以上の角度で入射した光は、この界面において全反射するため、第2光反射部RSにおいては高い光反射率（例えば、96%以上）が実現される。

【0075】

図5において、主基板1が透光性の場合には、活性層9Kの発光波長に対し、第2光反射部RSは略100%、例えば、99%程度の反射率を有していてもよく、第1光反射部RFは、第2光反射部RSよりも低い反射率、例えば、98%程度の反射率を有していてもよい。この場合、第1光反射部RFと第2光反射部RSとの間を往復する光は、第1光反射部RFの下面（平面視でアパーチャー部APと重なる部分）からレーザ光として出射する。なお、レーザ光が第1光反射部RF側から出射する構成に限定されない。主基板1が透光性でない場合は第2光反射部RS側から出射する構成でもよいし、第1および第2光反射部RF・RSそれぞれからレーザ光が出射する構成でもよい。

【0076】

（個片化）

図19は、実施例1の半導体デバイスの別構成を示す平面図である。図19に示すように、図7の半導体デバイス30を個片化し、それぞれが1つの半導体レーザ素子20を含む複数の半導体デバイス30としてもよい。

【0077】

（変形例）

図20は、実施例1に係る半導体デバイスの別構成を示す断面図である。図20に示すように、半導体デバイス30は、主基板1の反対側に配され、第1および第2電極E1・E2と電氣的に接続する回路基板CBを備える。具体的には、第1電極E1は、第1パッドP1および導電接着材A1を介して回路基板に接続され、第2電極E2は導電接着材A2を介して回路基板CBに接続される。回路基板CBが半導体レーザ素子20を駆動する構成でもよい。

【0078】

図21および図22は、実施例1に係る半導体デバイスの別構成を示す断面図である。図21に示す半導体デバイス30は、第1電極E1に接触する第1パッドP1と、第2電極E2に接触する第2パッドP2とを備え、第1および第2パッドP1・P2の上面レベル（高さ位置）が一致し、かつ、第1および第2パッドP1・P2の上面が、第2光反射部RSの上面よりもより上方に位置する。このため、回路基板CB（図22参照）への実装が容易になる。第2電極E2の周縁部と、ベース半導体部8との間には、絶縁膜DFを設けることができる。絶縁膜DFを設けることで、第2電極E2と化合物半導体部9の上面（p型半導体層）との短絡を防ぐことができ、第1電極E1からp型半導体層に注入されたホールが、活性層を経由せずに第2電極E2に移動するおそれが低減する。また、第

10

20

30

40

50

2電極E2が、周縁部よりも非周縁部EHが凹んだ形状であり、凹んだ非周縁部EHが絶縁体DLで埋められている構成でもよい。絶縁体DLによって第2パッドP2の上面を平坦化することができる。また、第1パッドP1を第2光反射部RSの上面に接触させることで放熱性を高めることができる。

【0079】

図23および図24は、実施例1に係る半導体デバイスの別構成を示す断面図である。図5等では、シード部4が第1光反射部RF上に全面的に形成されているが、これに限定されない。図23および図24に示すように、シード部4が第1マスク6の開口部Kと重なるように局所的に設けられていてもよい。図23では第1光反射部RFの最上部を第2屈折部R2とし、図24では第1光反射部RFの最上部を第1屈折部R1とする。こうすれば、シード部4からの応力を低減することができる。シード部4を800℃以下の低温で形成してもよい。

【0080】

図25および図26は、実施例1に係る半導体デバイスの別構成を示す断面図である。図6では、第2電極E2がベース半導体部8と接しているが、これに限定されない。図25のように、第2電極E2がシード部4と接していてもよい。この場合は、シード部4を、例えばn型のGaN系半導体層とすることができる。また、図26のように、第2電極E2が、第1光反射部RFの最上部（例えば、第2屈折部R2）と接していてもよい。この場合、第1光反射部RFの最上部を、例えばn型のGaN系半導体層とすることができる。

【0081】

図27は、実施例1に係る半導体デバイスの別構成を示す平面図である。図27に示すように、第1および第2電極E1・E2がX方向に並び、第2電極E2が、平面視で第1部分HDと重なる構成でもよい。なお、第1電極E1およびアパーチャー部APは平面視で第2部分SDと重なる。

【0082】

図28は、実施例1に係る半導体デバイスの別構成を示す平面図である。図28の半導体デバイス30は、空隙TKを挟んでX方向に隣接する、同面積の第1領域L1および第2領域L2を有し、2つの領域L1・L2間で、半導体レーザ素子20の形状が異なる。

【0083】

具体的には、第1領域L1では2つの半導体レーザ素子20が複数Y方向に並び、第2領域L2では6つの半導体レーザ素子20が複数Y方向に並ぶ。第1領域L1の半導体レーザ素子20のアパーチャー径は、第2領域L2の半導体レーザ素子20のアパーチャー径よりも大きい。

【0084】

第1領域L1の半導体レーザ素子20では、平面視において、アパーチャー部APと第1パッドP1がY方向に並び、Y方向を長手方向とし、ベース半導体部8に接する第2電極E2と、第1パッドP1とがX方向に並ぶ。第2領域L2の半導体レーザ素子20では、平面視において、アパーチャー部APと第1パッドP1がX方向に並び、X方向を長手方向とし、ベース半導体部8に接する第2電極E2と、第1パッドP1との間にアパーチャー部APが位置する。

【0085】

図29および図30は、実施例1に係る半導体デバイスの別構成を示す模式的平面図である。図29の半導体デバイス30は、図19に示す複数の半導体デバイスを回路基板CBに実装して得られる。図30の半導体デバイス30は、図28の半導体デバイス30を領域分割し、第2領域L2から得られる複数の半導体デバイスを回路基板CBに実装して得られる。

【0086】

〔実施例2〕

図31は、実施例2に係る半導体デバイスの構成を示す断面図である。実施例2の半導

10

20

30

40

50

体デバイス30は、例えば図10に示す下地基板UKを備え、第1光反射部RFが下地基板UK上に位置し、下地基板UKは、上面に開口した凹部UTを有する。

【0087】

図32～図35は、実施例2に係る下地基板の構成を示す断面図である。実施例2では、図32に示すように、主基板1は、凹部UTに対応する部分が凹んでいてもよい。また、図33に示すように、下地基板UKは、主基板1よりも上方に位置する下地部3を含み、下地部3は、凹部UTに対応する部分が貫かれていてもよい。また、図34に示すように、下地基板UKは、主基板1よりも上方に位置するバッファ部2および下地部3を含み、下地部3は、凹部UTに対応する部分が凹んでいてもよい。また、図35に示すように、下地基板UKは、主基板1よりも上方に位置するバッファ部2および下地部3を含み、主基板1は、凹部UTに対応する部分が凹み、バッファ部2および下地部3は、凹部UTに対応する部分が貫かれていてもよい。凹部UTは、Y方向に伸びるストライプ状に形成され、凹部UTの幅（X方向のサイズ）は例えば3μm、凹部UTの深さ（Z方向のサイズ）は例えば5μmである。

10

【0088】

図31では、第2光反射部RSは、平面視において凹部UTと重ならない。第1光反射部RFの第1および第2屈折部R1・R2が、凹部UTに沿ったU字形状部UCを有し、U字形状部UCは、平面視でマスク部5の中央と重なる。実施例2の半導体デバイス30は、化合物半導体部9およびベース半導体部8の側面に接する空隙TKを備え、平面視において空隙TKと凹部UTとが重なる。

20

【0089】

空隙TKは、マスク部5の側面5Sおよびシード部4の側面4Sに接し、第1光反射部RFの最上部に位置する（第2屈折部R2の）U字形状部UCが空隙TKと接する。なお、第1光反射部RFの最上部に位置する（第1屈折部R1の）U字形状部UCが空隙TKと接する構成でもよい。下地基板UKに凹部UTを設け、エピタキシャルDBRである第1光反射部RFにU字形状部を設けることで、第1光反射部RFの応力が緩和され、クラックの発生が低減する。また、第1光反射部RFからの放熱性も高まる。

【0090】

〔実施例3〕

図36は、実施例3に係る半導体デバイスの構成を示す断面図である。図37は、実施例3に係る半導体デバイスの構成を示す断面図である。図36および図37の半導体デバイスでは、第2電極E2が下地基板UKの裏面に設けられている。下地基板UKには、例えばn型ドーパがなされた主基板1（例えば、SiC基板、Si基板）を用いることができる。下地基板UKに下地部3を設ける場合は下地部3をn型半導体層（例えば、GaN系半導体）とし、下地基板UKにバッファ部2および下地部3を設ける場合は、これらをn型半導体層（例えば、窒化物半導体）とする。第1光反射部RFの各エピタキシャル層（例えば、窒化物半導体）およびシード部4（例えば、GaN系半導体）についても、n型半導体層とする。

30

【0091】

〔実施例4〕

図38は、実施例4に係る半導体デバイスの製造方法の一例を示すフローチャートである。図39～図40は、実施例4に係る半導体デバイスの構成を示す断面図である。実施例4では、下地基板UKが、主基板1と、主基板1の上方に位置する第2マスクMSとを有する。図38では、主基板1を準備する工程の後に、第2マスクMSを形成する工程と、ELO法で下地部3を形成する工程とを行う。すなわち、図39～図40の半導体デバイス30は、ELO法で形成される下地部3を有する。なお、主基板1と第2マスクMSとの間にバッファ部2を設けてもよい。

40

【0092】

図39～図40では、例えば、主基板1をSiC基板とし、バッファ部2をGaN系半導体層とし、第2マスクMSを、シリコン酸化膜およびシリコン窒化膜の少なくとも一方

50

を含む、単層膜あるいは複層膜とし、下地部3を、ELO法で形成されたGaN系半導体層とすることができる。

【0093】

第2マスクMSはマスク部Mおよび開口部Qを含み、図39では、平面視において、第1マスク6の開口部Kと第2マスクMSの開口部Qとが重なる。図40のように、平面視において、ベース半導体部8の間隙TKと第2マスクMSの開口部Qとが重なる構成であってもよい。

【0094】

図41は、実施例4に係る半導体デバイスの製造方法の別例を示すフローチャートである。図42は、実施例4に係る半導体デバイスの別構成を示す断面図である。図41では、主基板1を準備する工程の後に、第2マスクMSを形成する工程と、ELO法で第1光反射部RFの最下部を形成する工程とを行う。このため、図42の半導体デバイス30は、最下部がELO法で形成された第1光反射部RFを有する。

【0095】

実施例4では、下地部3あるいは第1光反射部RF（エピタキシャルDBR）の最下部がELO法で形成されるため、第1光反射部RFの転位（欠陥）が低減し、光反射率を高めることができる。

【0096】

〔実施例5〕

実施例5では、InAlN（第1屈折部R1）／GaN（第2屈折部R2）のエピタキシャルDBRを形成する。この場合、下地基板UKをMOCVD装置の反応炉内に設置し、反応炉内にH₂およびNH₃を供給して、基板温度を1070℃まで昇温させた後、下地基板UKにTMGを供給し、バッファ部2としてのGaN層を100nmエピタキシャル成長させる。次に、基板温度を930℃（第1の温度）に降温した後、供給ガスをH₂からN₂に切替え、TMIおよびTMAを供給することで、ノンドープのInAlN層（第1屈折部R1）を50nm成長させた。次に、基板温度を930℃に維持した状態でTEGおよびSiH₄を供給することで、第2屈折部R2の第1層としてのSiドープGaN層を5nm成長させた。続いて、供給ガスをN₂からH₂に切替え、基板温度を1070℃（第2の温度）まで昇温し、TMGを供給することで、第2屈折部R2の第2層としてのノンドープGaN層を40nm成長させた。その後、上記工程を繰り返し、40ペアのInAlN／GaNからなるエピタキシャルDBRを形成した。ベース半導体部8（例えば、GaN層）と格子整合するInAlN／GaNからなる第1光反射部RFを形成する場合、下地基板UKはGaN基板（バルク結晶）を用いることができる。この場合、第1マスク6の開口部K上の貫通転位密度を $5 \times 10^6 \text{ cm}^{-2}$ 以下程度に抑えることができ、開口部K上にもアパーチャー部APを形成できるようになる。

【0097】

〔実施例6〕

実施例6では、第1光反射部RF（エピタキシャルDBR）をPSD法で形成する。PSD法では、化合物エピタキシャル層を形成するための元素の全て、または一部を、間欠的に供給する。化合物エピタキシャル層を形成するには、構成元素の全てを供給する必要があるが、間欠的に供給するのは一部の元素のみでよい場合がある。すなわち、構成する元素の原料の全てまたは一部を、間欠的に励起する。III-V族窒化物の場合、一般に、III族元素すべてを間欠的に供給することができるが、混晶を成膜するときには、一部のIII族元素を間欠的に供給し、他のIII族元素を連続的に（好ましくは遅い供給速度で）供給してもよい。

【0098】

V族元素については、窒素を気体で供給すると、ガス状（分子、ラジカル、イオン）で基板成長面付近に存在するため、意図的に間欠的に供給しなくてもよい。N元素の供給は、Nを含む原料、例えばIII-V族窒化物を間欠的に励起（スパッタ）して間欠的に供給することも可能である。V族元素は、原料を間欠的に励起して供給してもよいし、V族

10

20

30

40

50

元素原料を雰囲気中に存在させてもよいし、V族元素原料を雰囲気中に存在させながら同時に別の原料を間欠的に励起して供給してもよい。また、複数の元素が間欠的に供給されるとき、複数の元素が供給されるタイミングは同一であっても、同一でなくてもよい。

【0099】

供給継続時間については、短すぎると、実用的な成膜速度を得るために、瞬間的に大きなエネルギーを与えて供給期間中の供給速度を上げることとなり、その結果、PLD法のようにドロップレットが発生しやすくなる。一方、供給継続時間が長すぎると、十分なマイグレーションが可能な供給停止時間を取れない場合がある。供給停止時間(sec)については、短すぎるとマイグレーションの時間が不足して良好な結晶を得るのが困難になり、また長すぎると不純物を取り込みやすくなったり、また成膜方法によっては、成膜の継続が困難になったりする。

【0100】

実施例6では、雰囲気ガスとしてマスフローコントローラーによりArガスを1.0 sccm、窒素ガスを4.0 sccm導入し、成長圧力は 2×10^{-2} Torrとした。SiC基板を電位的に接地し、SiC基板とGa金属ターゲット間に印加する電圧を-600 V、電圧を印加する時間を5 μ sec、電圧印加を休止する時間を95 μ secとし、SiC基板とGa金属ターゲット間に印加する電圧を-557 V、電圧を印加する時間を5 μ sec、電圧印加を休止する時間を50 μ secとして繰り返した。成長室内に導入するArガス量を一時的に増加させることによりスパッタ放電を開始させ、Arガス量、成長圧力が前述の設定値に安定したことを確認後、各シャッターを開放することで第2屈折部R2であるGaN層を形成することができる。成長温度は350°Cとした。同様の方法でAlターゲットを用いれば第1屈折部R1であるAlN層を形成することができる。上記工程を繰り返すことで、30ペアのAlN(第1屈折部R1)/GaN(第2屈折部R2)からなるエピタキシャルDBRが形成できる。

【0101】

〔実施例7〕

実施例1~6では、ベース半導体部8をGaNで構成することができるが、ベース半導体部8を、GaN系半導体であるInGaNで構成してもよい。InGaNの横方向成膜は、例えば1000°Cを下回るような低温で行う。高温ではインジウムの蒸気圧が高くなり、膜中に有効に取り込まれないためである。成膜温度が低温になることで、マスク部5とベース半導体部8との相互反応が低減される効果がある。また、InGaNは、GaNよりもマスク部5(シリコン酸化膜、シリコン窒化膜等)との反応性が低いという効果もある。ベース半導体部8にインジウムがIn組成レベル1%以上で取り込まれるようになると、マスク部5との反応性がさらに低下する。ガリウム原料ガスとしては、トリエチルガリウム(TEG)を用いることができる。

【0102】

〔実施例8〕

図43および図44は、実施例8に係る半導体デバイスの別構成を示す断面図である。図43に示すように、下地基板UKの下方(裏面側)に波長変換部HSを設けてもよい。例えば、波長変換部HSとして、黄色で発光する一般的なYAG蛍光体などを配置することで、白色照明とすることができる。

【0103】

図44に示すように、複数の半導体レーザ素子20を含む半導体デバイス30において、赤サブ画素用の半導体レーザ素子20のアパーチャー部APと平面視で重なるように赤色発光の蛍光体HRを配し、緑サブ画素用の半導体レーザ素子20のアパーチャー部APと平面視で重なるように緑色発光の蛍光体HGを配し、青サブ画素用の半導体レーザ素子20のアパーチャー部APと平面視で重なるように青色発光の蛍光体HBを配することで、レーザ表示装置用の半導体デバイス30を実現することができる。

【0104】

〔実施例9〕

図45は、実施例9に係る半導体デバイスの別構成を示す断面図である。図45では、第1光反射部RFにフォトニック結晶層を用いる。フォトニック結晶層である第1光反射部RFは、例えば、第5屈折部R5と、第5屈折部R5よりも高屈折率である第6屈折部R6とが2次元(X-Y平面)配置された構造を有する。第5屈折部R5は、ベース層に、格子点状に形成された、数十～数百ナノメートルの径を有する孔(ホール)であってもよい。ベース層は窒化物半導体層であってもよい。格子ピッチは、化合物半導体部9での発光波長程度(例えば、200～400nm)とすることができる。この場合、下地基板UK(例えば、GaN基板)上にGaN系半導体層をベース層とする第1光反射部RF(フォトニック結晶層)を形成し、第1光反射部RF上に対向基板SK(例えば、GaN基板)を配し、対向基板SK上にシード部4を介して第1マスク6を設けてもよい。対向基板SKがGaN基板であれば対向基板SK上に第1マスク6を設けてもよい。また、対向基板SKを設けずに、第1光反射部RF(フォトニック結晶層)上にシード部4を介して第1マスク6を設けてもよいし、第1光反射部RF(フォトニック結晶層)上に第1マスク6を設けてもよい。フォトニック結晶を形成すると、その上層の結晶性が低下することが知られているが、実施例9では、高光反射率を実現するフォトニック結晶を用いながら、上層の結晶性の低下が抑えられ、発光効率の高い化合物半導体部9を得ることができる。

【0105】

〔実施例10〕

図46は、実施例10に係る電子機器の構成を示す模式図である。図46の電子機器40は、実施例1～9の半導体デバイス30と、半導体デバイス30を制御するプロセッサを含む制御部80とを備える。電子機器40としては、通信装置、光学装置、表示装置、照明装置、センサ装置、情報処理装置、医療機器、電気自動車(EV)等を挙げることができる。

【0106】

上述の実施形態および実施例は、例示および説明を目的とするものであり、限定を目的とするものではない。これら例示および説明に基づけば、多くの変形形態が可能になることが、当業者には明らかである。

【0107】

〔付記事項〕

以上、本開示に係る発明について、諸図面および実施例に基づいて説明してきた。しかし、本開示に係る発明は上述した各実施形態に限定されるものではない。すなわち、本開示に係る発明は本開示で示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本開示に係る発明の技術的範囲に含まれる。つまり、当業者であれば本開示に基づき種々の変形または修正を行うことが容易であることに注意されたい。また、これらの変形または修正は本開示の範囲に含まれることに留意されたい。

【符号の説明】

【0108】

- 1 主基板
- 2 バッファ部
- 3 下地部
- 5 マスク部
- 6 第1マスク
- 8 ベース半導体部
- 9 化合物半導体部
- 20 半導体レーザ素子
- 30 半導体デバイス
- RF 第1光反射部
- RS 第2光反射部
- MS 第2マスク

R 1 ~ R 4 第 1 ~ 第 4 屈折部

U K 下地基板

K 開口部

Q 開口部

E 1 第 1 電極

E 2 第 2 電極

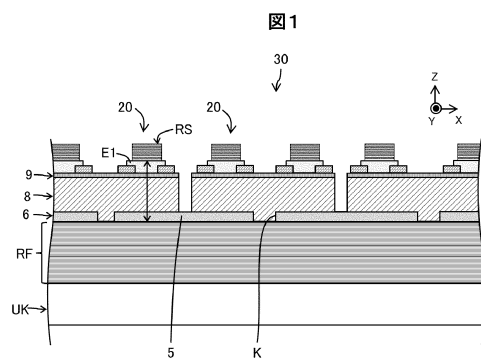
C B 回路基板

H D 第 1 部分

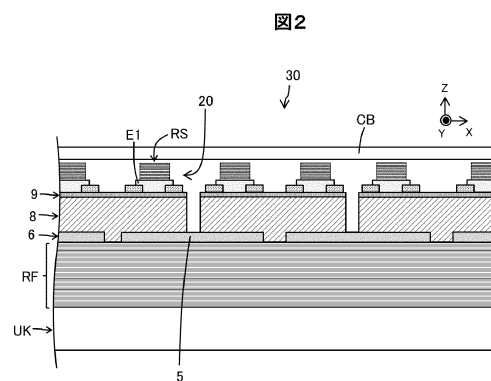
S D 第 2 部分

【凶面】

【図 1】



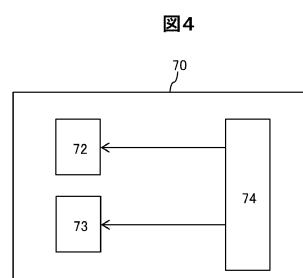
【圖 2】



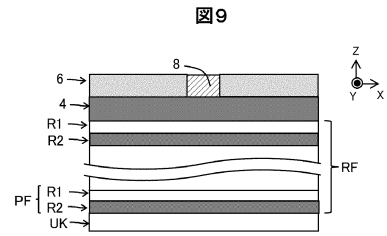
【圖 3】



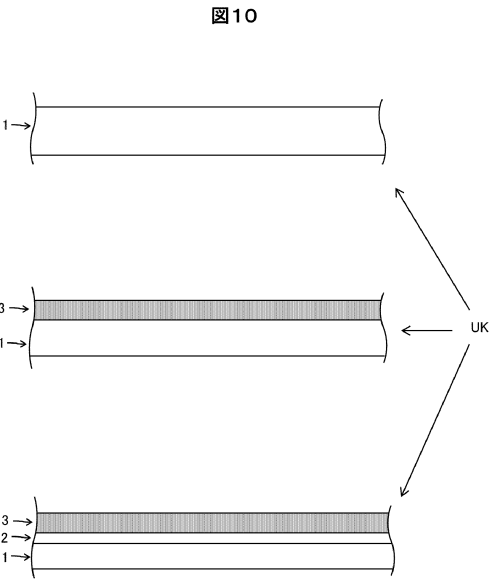
【図 4】



【図 9】

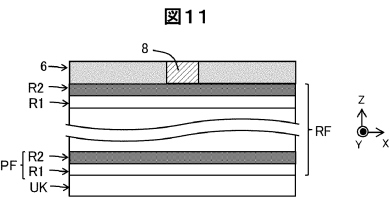


【図 10】

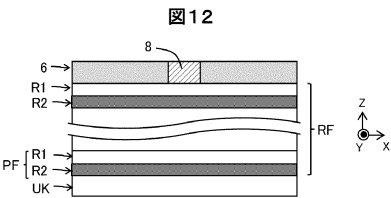


10

【図 11】



【図 12】



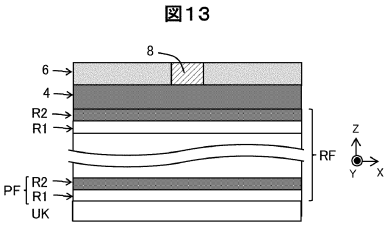
20

30

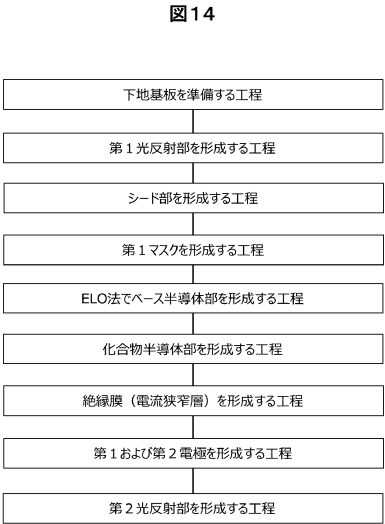
40

50

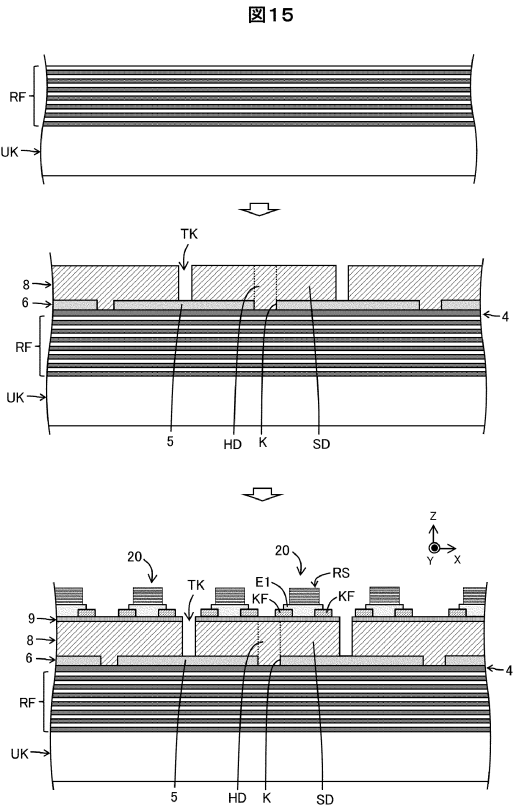
【図 1 3】



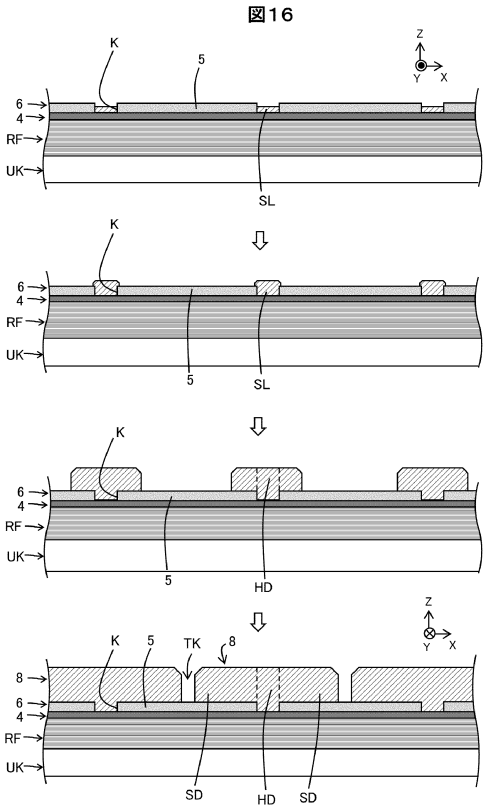
【図 1 4】



【図 1 5】



【図 1 6】



10

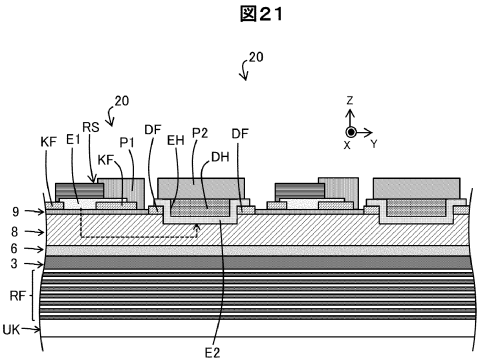
20

30

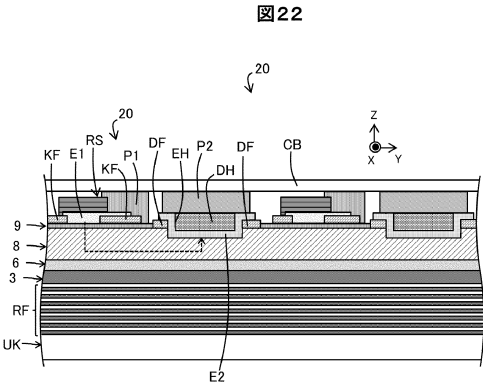
40

50

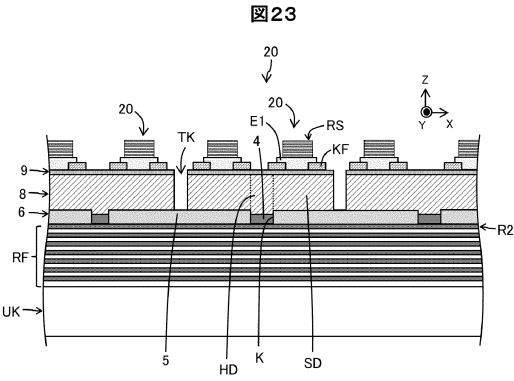
【図 2 1】



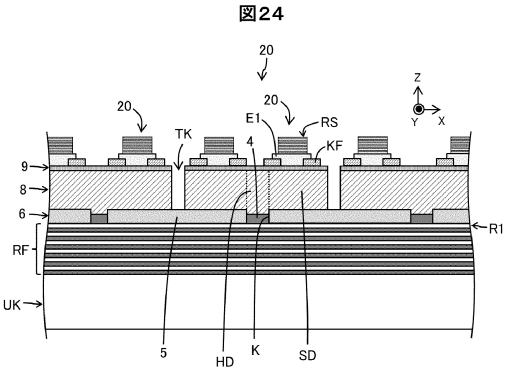
【図 2 2】



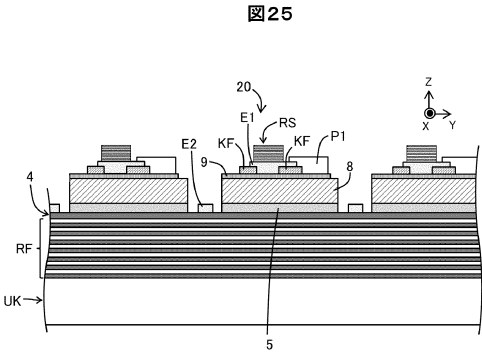
【図 2 3】



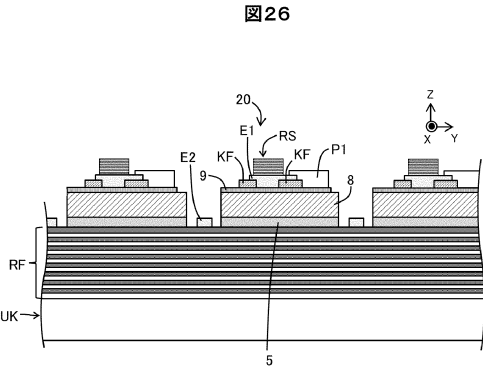
【図 2 4】



【図 2 5】



【図 2 6】



10

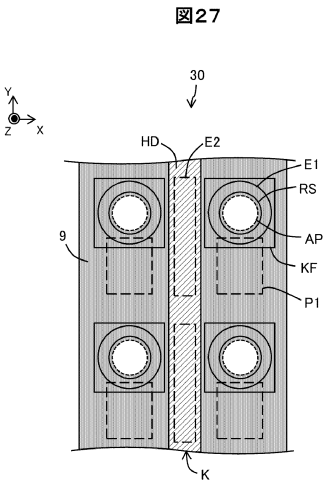
20

30

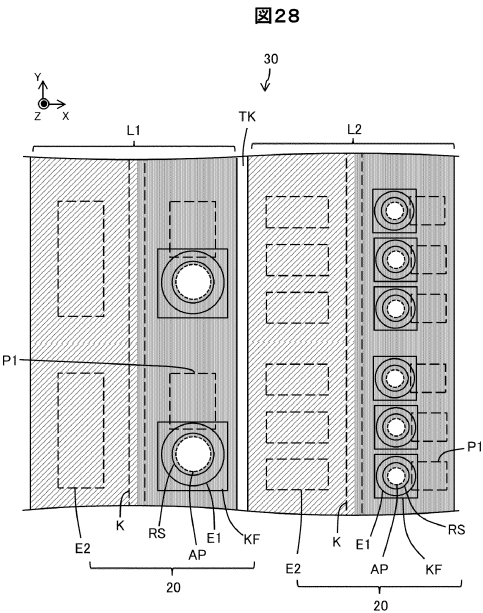
40

50

【図 2 7】

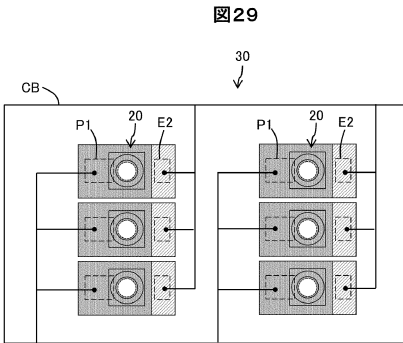


【図 2 8】

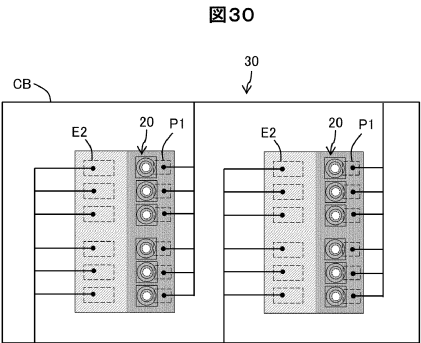


10

【図 2 9】



【図 3 0】



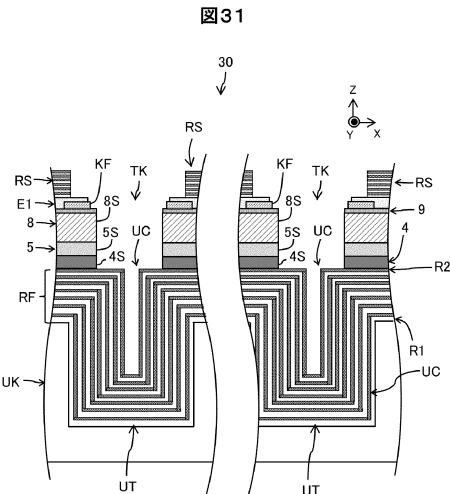
20

30

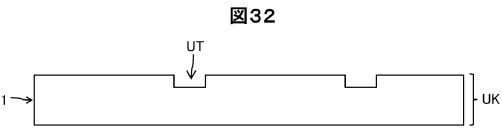
40

50

【図 3 1】

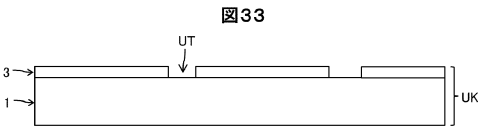


【図 3 2】

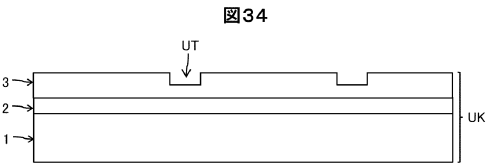


10

【図 3 3】

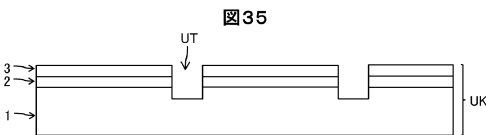


【図 3 4】

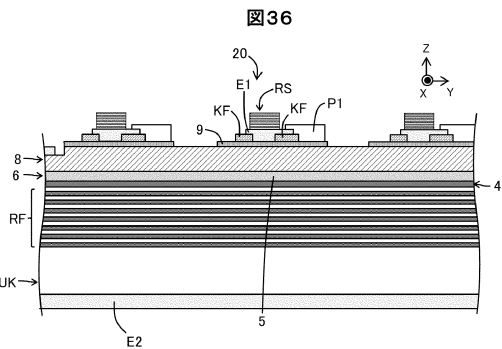


20

【図 3 5】



【図 3 6】

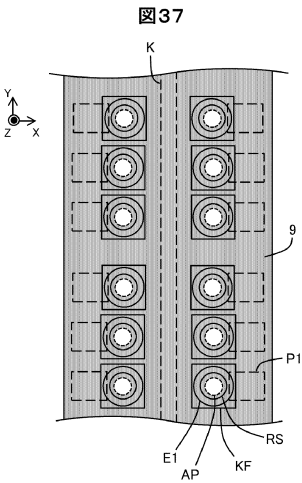


30

40

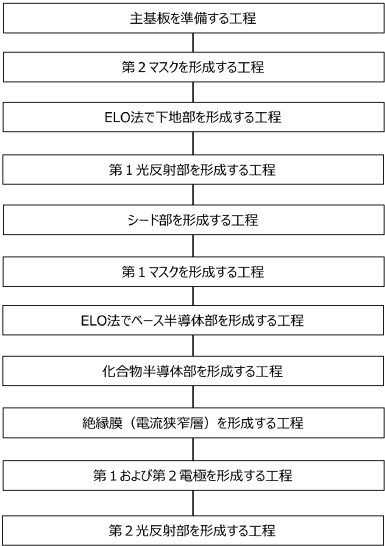
50

【図 3 7】

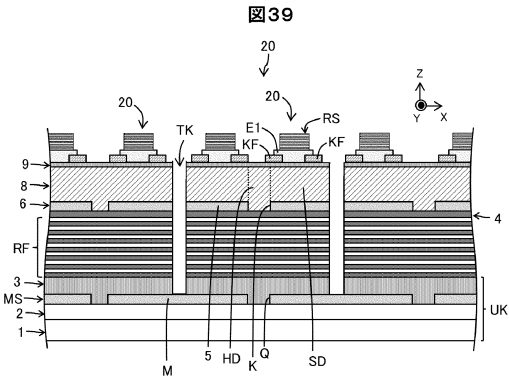


【図 3 8】

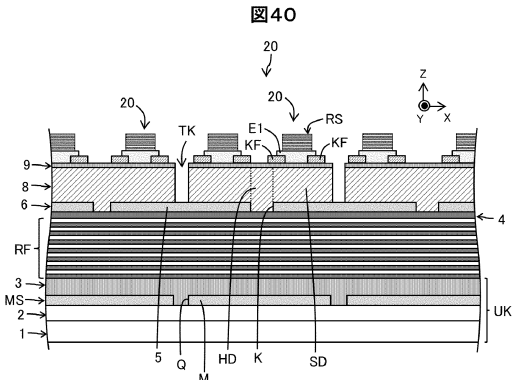
図38



【図 3 9】



【図 4 0】



10

20

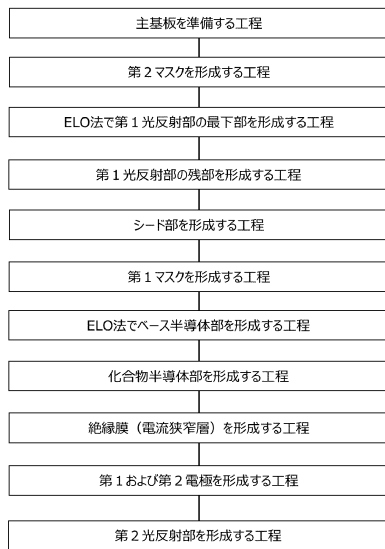
30

40

50

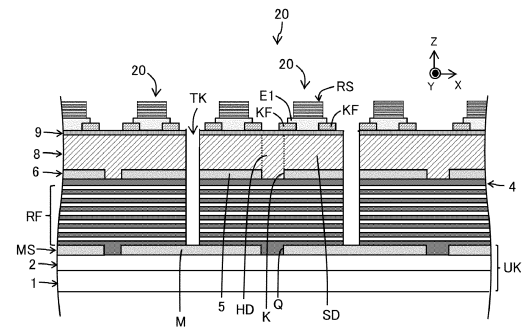
【図 4 1】

図41



【図 42】

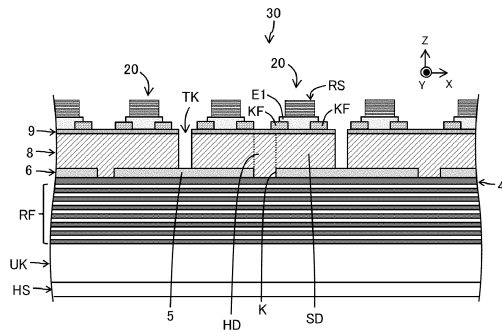
图42



10

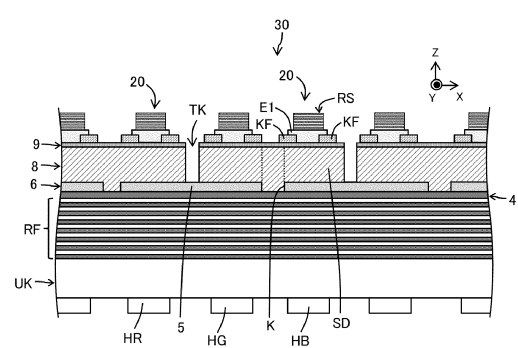
【圖 4 3】

図43



【図 4 4】

图44



20

30

40

50

【図 4 5】

【図 4 6】

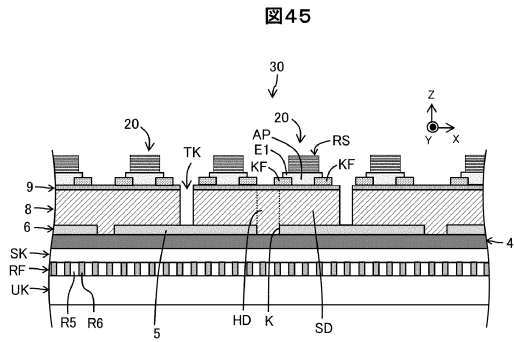
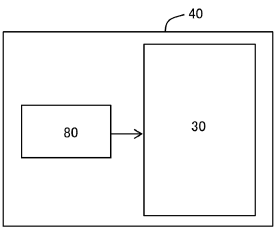


図46



10

20

30

40

50

フロントページの続き

京セラ株式会社内

審査官 吉岡 一也

- (56)参考文献 特開平11-163402 (JP, A)
特開2006-024713 (JP, A)
特開2002-009004 (JP, A)
特開2009-246291 (JP, A)
特開2018-125404 (JP, A)
特開2008-060459 (JP, A)
特開2011-044447 (JP, A)
特開2015-035540 (JP, A)
米国特許第06875544 (US, B1)
- (58)調査した分野 (Int.Cl., DB名)
H01S 5/00-5/50