



(12) 发明专利

(10) 授权公告号 CN 1855409 B

(45) 授权公告日 2010.06.23

(21) 申请号 200610076376.6

(22) 申请日 2006.04.20

(30) 优先权数据

126392/2005 2005.04.25 JP

(73) 专利权人 株式会社瑞萨科技

地址 日本东京都

(72) 发明人 天野贤治 长谷部一

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H01L 21/60(2006.01)

H01L 21/48(2006.01)

H01L 23/495(2006.01)

H01L 23/50(2006.01)

(56) 对比文件

US 2004/0232442 A1, 2004.11.25, 全文.

US 5458158 A, 1995.10.17, 全文.

US 6611048 B1, 2003.08.26, 全文.

US 6402009 B1, 2002.06.11, 全文.

审查员 赵世欣

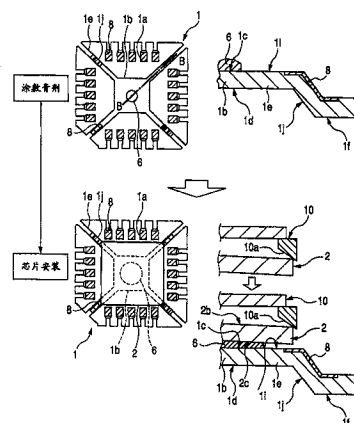
权利要求书 1 页 说明书 10 页 附图 19 页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

公开了一种制造半导体器件的方法。根据此方法,提供一种引线框架,其中形成在每个悬置引线(1e)上的用于导线连接的镀银的薄片侧端部的厚度小于形成在每个引线上的镀银的厚度。之后,将半导体芯片安装到薄片上。在这种情况下,由于在悬置引线(1e)上的镀银的整个表面处在挤压状态,所以可防止当把半导体芯片安装到薄片上时半导体芯片与镀银的接触。从而,在管芯键合工艺中,半导体芯片可以在薄片上滑动,而不与镀银接触,并且可以减少在将半导体芯片安装到薄片上时对半导体芯片的损坏,并因此可以防止当装配半导体器件时芯片的破裂或碎裂。



1. 一种制造半导体器件的方法,包括下列步骤:

(a) 提供引线框架,所述引线框架具有芯片安装部分、布置在所述芯片安装部分周围的多个引线以及用于支撑所述芯片安装部分的悬置引线,每个所述悬置引线具有弯曲部分,金属镀膜形成在所述多个引线的每个引线的部分上方和包括所述弯曲部分的每个所述悬置引线的部分上方,形成在所述悬置引线上方的每个所述金属镀膜具有一端部和与所述一端部相对的另一端部,所述一端部比所述另一端部更靠近所述芯片安装部分而定位;

(b) 在所述步骤 (a) 之后,将半导体芯片安装在所述芯片安装部分上方,所述半导体芯片具有主表面和形成在所述主表面上的多个焊盘;以及

(c) 在所述步骤 (b) 之后,通过多个导线和形成在所述多个引线的每个引线的部分上方的所述金属镀膜,分别将所述半导体芯片的多个焊盘与所述多个引线电连接;

其中所述弯曲部分通过以下步骤形成:

(d1) 提供具有上模具和与所述上模具相对并且与所述上模具的形状相配合的下模具的偏移模具,所述上模具具有与将形成的所述弯曲部分的形状相配合的表面;

(d2) 将每个所述悬置引线布置在所述上模具和所述下模具之间,使得形成在所述悬置引线上方的每个所述金属镀膜的所述一端部布置在所述上模具和所述下模具之间;

(d3) 利用所述上模具和所述下模具夹紧每个所述悬置引线,使得形成所述弯曲部分,以及使形成在所述悬置引线上方的每个所述金属镀膜的所述一端部变平,使得形成在所述悬置引线上方的每个所述金属镀膜的所述一端部嵌入到每个所述悬置引线的表面中。

2. 根据权利要求 1 的制造半导体器件的方法,其中所述半导体芯片的尺寸大于所述芯片安装部分的尺寸。

3. 根据权利要求 2 的制造半导体器件的方法,其中在所述步骤 (b) 中,将所述半导体芯片安装在所述芯片安装部分上方,使得形成在所述悬置引线上方的每个所述金属镀膜的所述一端部与所述半导体芯片的端部重叠。

4. 根据权利要求 3 的制造半导体器件的方法,其中所述上模具与每个所述悬置引线的接触面积大于形成在每个所述悬置引线上方的所述金属镀膜。

5. 根据权利要求 4 的制造半导体器件的方法,其中所述金属镀膜的材料是银。

6. 根据权利要求 4 的制造半导体器件的方法,其中借助于具有锥形夹持表面的夹具,使所述半导体芯片通过管芯键合材料向下压靠所述芯片安装部分,并由此将所述半导体芯片连接到所述芯片安装部分。

7. 根据权利要求 4 的制造半导体器件的方法,还包括在所述步骤 (c) 之后,利用树脂密封所述半导体芯片以形成树脂密封体的步骤,所述密封体是以利用树脂覆盖所述芯片安装部分的方式形成的。

8. 根据权利要求 4 的制造半导体器件的方法,还包括在所述步骤 (c) 之后,利用树脂密封所述半导体芯片以形成树脂密封体的步骤,所述密封体是以使所述多个引线部分地暴露于树脂密封体的背表面的方式形成的。

9. 根据权利要求 2 的制造半导体器件的方法,其中所述上模具与每个所述悬置引线的接触面积大于形成在每个所述悬置引线上方的所述金属镀膜。

制造半导体器件的方法

技术领域

[0001] 本发明涉及一种半导体器件制造技术,并且特别地涉及一种可有效应用于具有电镀悬置引线的半导体器件制造的技术。

背景技术

[0002] QFN(四方扁平无引线封装)型半导体器件包括支撑半导体芯片的薄片、通过利用树脂密封半导体芯片而形成的密封部分、用于支撑薄片的薄片悬置引线以及暴露于密封部分背表面的外围边缘部分的多个引线,该薄片为小薄片并利用密封树脂密封(见,例如专利文献1)。

[0003] [专利文献1]

[0004] 国际公开 WO 01/003186(图40)

[0005] 在装配如 QFN 型半导体器件的这种半导体器件中,使用具有引线的引线框架,其中引线镀有用于导线连接的银。通过掩膜执行用于引线框架的引线的镀银。在这种情况下,由于半导体器件尺寸变得更小或者间距变得更窄,所以掩膜对准精度降低。作为结果,镀银也施加到引线框架中连接到薄片的悬置引线上。

[0006] 通过对装配使用这样的引线框架的半导体器件进行研究,本发明人发现下列问题,其中该引线框架具有施加到悬置引线上的镀银。

[0007] 已知一种 QFN 结构,其中将薄片引入在密封体内。已知用于将薄片安置在密封体内的手段,其中使悬置引线弯曲以形成弯曲部分来提高薄片,使得薄片的高度变得高于每个引线,由此允许密封树脂也在背侧扩展并将薄片埋在密封体内。

[0008] 更特别地,在引线框架制造阶段,如在图 25 所示的比较例子中,通过使用偏移模具 9,向引线框架 1 的每个悬置引线 1e 施加偏移操作,以形成弯曲部分 1j。

[0009] 但是,如以上所注意到的,随着半导体器件的尺寸和间距的减小,在对引线框架的引线进行镀银时的掩膜对准精度变低,并且银镀膜 8 也形成在每个悬置引线上。有时有这样的情况,其中如此形成的银镀膜 8 的薄片侧端或该薄片侧端附近位于不被偏移模具覆盖的位置。

[0010] 如果以这种状态执行偏移操作,则银镀膜 8 的部分(薄片侧端部)可以保持在突起状态而不被挤压,如图 25 的“在偏移操作之后”部分中所示。

[0011] 如图 26 的比较例子中所示,在装配半导体器件期间,在管芯键合工艺中,保持未挤压状态的银镀膜 8 与半导体芯片 2 的端部相接触,因而引起这样的问题,即如图 27 的比较例子中所示,在半导体芯片 2 中产生裂缝 12。

[0012] 更特别地,如图 26 的比较例子中所示,在夹具 10 的夹持表面 10a 上形成一个间隙,该夹具 10 的夹持表面 10a 适于在管芯键合工艺中在夹持半导体芯片 2 的同时进行移动,使得在很多情况下半导体芯片 2 不关于薄片 1b 水平地保持。或者,在薄片 1b 上的管芯键合材料 6 被半导体芯片挤压的过程中,半导体芯片 2 倾斜地布置。

[0013] 因此,在管芯键合期间,半导体芯片 2 的端部撞到镀银 8,并且半导体芯片 2 不能在

悬置引线 1e 上滑动,结果在芯片中形成裂缝 12,或者出现芯片的碎裂。

[0014] 从而,半导体器件的可靠性降低,例如,不可能确保半导体器件所要求的电特性。这就造成了问题。

[0015] 在以上参考的专利文献 1(国际公开 WO 01/003186)中,没有对形成在悬置引线上的用于导线连接的镀银、用于悬置引线的偏移操作以及在镀银和偏移模具之间的位置关系中的任何一个进行描述。即使在上述专利文献中将银镀膜形成在悬置引线上,其中也没有公开有关用于通过偏移操作挤压整个镀银以使得不保留突起部分的手段。

发明内容

[0016] 本发明的一个目的是提供一种技术,其能够防止在用于半导体器件的管芯键合工艺中的破裂和碎裂。

[0017] 本发明的另一个目的是提供一种技术,其能够提高半导体器件的可靠性。

[0018] 从下列描述和附图,本发明的上述和其他目的及新颖特征将变得显而易见。

[0019] 以下是此处公开的本发明的代表性方式的概要。

[0020] 在本发明的一个方面中,提供一种半导体器件制造方法,包括:提供引线框架,该引线框架具有薄片、引线和悬置引线,形成在每个悬置引线上的金属镀膜的厚度小于形成在每个引线上的金属镀膜的厚度;以及之后将半导体芯片安装到薄片上。

[0021] 在本发明的另一个方面中,提供一种半导体器件制造方法,包括:提供引线框架,该引线框架具有薄片、引线和悬置引线,形成在每个悬置引线上的金属镀膜的薄片侧端部的厚度小于形成在每个引线上的金属镀膜的厚度且小于相对侧端部的厚度;以及之后将半导体芯片安装到薄片上。

[0022] 在本发明的另一方面中,提供一种半导体器件制造方法,包括:提供引线框架,该引线框架具有薄片、引线和悬置引线,在每个悬置引线中连接到薄片的芯片安装表面的第一主表面和薄片的芯片安装表面形成为相互齐平,并且形成在每个悬置引线上的金属镀膜的薄片侧端部布置在第一主表面中形成的凹槽内;以及之后将半导体芯片安装到薄片上。

[0023] 以下是对通过本发明的代表性方式获得的效果的简要描述。

[0024] 由于提供引线框架,其中形成在每个悬置引线上的用于导线连接的镀金属的薄片侧端部的厚度小于形成在每个引线上的用于导线连接的镀金属的厚度,以及之后将半导体芯片安装到薄片上,所以将在每个悬置引线上的镀金属进行挤压,并因此可以防止在管芯键合中半导体芯片与镀金属的接触。作为结果,在管芯键合中半导体芯片可以在薄片上滑动而不与镀金属接触,由此减少了在管芯键合中对半导体芯片的损坏,并因此可以防止半导体器件中的破裂或碎裂。

附图说明

[0025] 图 1 是显示根据本发明第一实施例的半导体器件的结构例子的平面图;

[0026] 图 2 是其侧视图;

[0027] 图 3 是其后视图;

[0028] 图 4 是显示沿着图 1 中线 A-A 所截取的截面结构的截面图;

[0029] 图 5 是显示沿着图 1 中线 C-C 所截取的截面结构的截面图;

- [0030] 图 6 是以较大比例显示图 4 中 B 部分的结构例子的部分放大截面图；
- [0031] 图 7 是以较大比例显示图 5 中 D 部分的结构例子的部分放大截面图；
- [0032] 图 8 是显示透过密封体所看到的图 1 的半导体器件内部结构例子的平面图；
- [0033] 图 9 包括平面图和截面图，显示用于将镀金属形成到在装配图 1 的半导体器件中使用的引线框架上的方法的例子；
- [0034] 图 10 是显示用于图 9 所示引线框架的每个悬置引线的偏移操作方法的例子的部分截面图；
- [0035] 图 11 包括平面图和部分截面图，显示在图 10 中所示引线框架的悬置引线的偏移操作之后的结构例子；
- [0036] 图 12 包括平面图和部分截面图，显示在装配图 1 中所示半导体器件中管芯键合过程的例子；
- [0037] 图 13 包括平面图和部分截面图，显示在图 12 中所示管芯键合结束后的结构例子；
- [0038] 图 14 是显示在图 13 中所示 G 部分中半导体芯片的滑动状态的例子的部分截面图；
- [0039] 图 15 是显示透过密封体所看到的根据第一实施例的变体的半导体器件的内部结构的平面图；
- [0040] 图 16 是显示在图 15 中所示变体的半导体器件中沿着悬置引线的切割结构的截面图；
- [0041] 图 17 是显示根据第一实施例的另一种变体的用于每个悬置引线的偏移方法的部分截面图；
- [0042] 图 18 包括平面图和部分截面图，显示根据第一实施例的又一变体的用于半导体器件的装配过程；
- [0043] 图 19 是显示根据图 18 中所示装配过程制造的该变体的半导体器件的结构的部分截面图；
- [0044] 图 20 是显示根据本发明第二实施例的半导体器件结构例子的平面图；
- [0045] 图 21 是其侧视图；
- [0046] 图 22 是其后视图；
- [0047] 图 23 是显示沿着图 20 中线 A-A 所截取的截面结构的截面图；
- [0048] 图 24 是显示沿着图 20 中线 C-C 所截取的截面结构的截面图；
- [0049] 图 25 是显示比较例子中用于引线框架的每个悬置引线的偏移操作方法的的部分截面图；
- [0050] 图 26 是显示在比较例子中的管芯键合过程的部分截面图；以及
- [0051] 图 27 是显示在比较例子中 H 部分中的半导体芯片的不可滑动状态的部分截面图。

具体实施方式

- [0052] 在下列实施例中，关于相同或相似部分，除非需要否则原则上将省略其重复说明。
- [0053] 为了方便的，下列实施例将通过把每个分成多个部分或实施例的方式来描述，但是除非另外提及，否则它们彼此并非不相关，而是处于这样的关系，使得一个实施例

是另一个实施例的部分或全部的变体或者细节或补充说明。

[0054] 在下列实施例中,当参考元件数目(包括数目、数值、数量和范围)时,除非另外提及以及除基本明显地限于该参考数目的情况之外,并不限于该参考数目,而是也可以使用在该参考数目之上和之下的数。

[0055] 此后参考附图将详细地描述本发明的实施例。在所有用于说明实施例的附图中,具有相同功能的部件用相同的参考标号标识,并将省略其重复说明。

[0056] (第一实施例)

[0057] 图 1 是显示根据本发明第一实施例的半导体器件的结构例子的平面图,图 2 是其侧视图,图 3 是其后视图,图 4 是显示沿着图 1 中线 A-A 所截取的截面结构的截面图,以及图 5 是显示沿着图 1 中线 C-C 所截取的截面结构的截面图。图 6 是以较大比例显示图 4 中 B 部分结构例子的部分放大截面图,图 7 是以较大比例显示图 5 中 D 部分结构例子的部分放大截面图,以及图 8 是显示透过密封体所看到的图 1 的半导体器件内部结构的例子的平面图。图 9 包括平面图和截面图,显示用于将镀金属形成到在装配图 1 的半导体器件中使用的引线框架上的方法的例子,图 10 是显示用于图 9 所示引线框架的每个悬置引线的偏移操作方法的例子的部分截面图,以及图 11 包括平面图和截面图,显示在用于图 10 中所示引线框架的每个悬置引线的偏移操作之后的结构例子。

[0058] 图 12 包括平面图和部分截面图,显示在装配图 1 的半导体器件中管芯键合过程的例子,图 13 包括平面图和部分截面图,显示在图 12 中所示管芯键合之后的结构例子,以及图 14 是显示在图 13 中所示 G 部分中半导体芯片的滑动状态的例子的部分截面图。此外,图 15 是显示透过密封体所看到的根据第一实施例的变体的半导体器件的内部结构的平面图,图 16 是显示在图 15 中所示变体的半导体器件中沿着悬置引线的切割结构的截面图,图 17 是显示根据第一实施例的另一种变体用于每个悬置引线的偏移方法的部分截面图,图 18 包括平面图和部分截面图,显示根据本发明的又一变体的用于半导体器件的装配过程,以及图 19 是显示根据图 18 中所示装配过程制造的该变体的半导体器件的结构的部分截面图。

[0059] 图 1 至图 5 所示的第一实施例的半导体器件是一种小尺寸封装,其中多个引线 1a 并排布置,使得每个引线 1a 部分地暴露在密封体 3 的背表面 3a 的外围边缘部分中。在该第一实施例中,以下将参照 QFN 5 作为半导体器件的例子。

[0060] 现在给出关于 QFN 5 的构造的描述。如图 5 所示,QFN 5 包括:半导体芯片 2、作为芯片安装部分的薄片 1b、多个引线 1a、多个导线 4 以及由树脂形成的密封体 3,其中该半导体芯片 2 在其主表面 2b 上具有半导体元件和多个焊盘(电极)2a,该薄片 1b 连接到半导体芯片 2,以及该多个引线 1a 并排布置在半导体芯片 2 的周围。

[0061] 如图 8 所示,多个导线 4 的每一个提供在半导体芯片 2 中的焊盘 2a 和与其对应的引线 1a 之间的电连接。如图 5 所示,密封体 3 用于密封半导体芯片 2、薄片 1b 和多个导线 4。

[0062] 多个引线 1a 并排布置,使得相应待连接表面(部分)1g 暴露于密封体 3 的背表面 3a 的外围边缘部分,如图 2 和图 3 所示。沟槽 1k 形成在每个引线 1a 的上表面 1h 中,如图 7 所示。树脂进入该沟槽 1k 以形成密封体 3 的部分,由此不仅可以提高引线 1a 和密封体 3 之间的键合力,而且可以防止引线 1a 在引线延伸方向上的移动。

[0063] 该 QFN 5 具有悬置引线 1e, 布置在与密封体 3 的四个角部对应的位置处, 并且连接到薄片 1b, 如图 4 所示。

[0064] 如图 5 所示, 形成 QFN 5 中的薄片 1b, 使得其主表面 (芯片安装表面) 1c 的面积小于半导体芯片 2 的主表面 2b (背表面 2c) 的面积。QFN 5 为所谓的小薄片结构。在该小薄片结构中, 密封体 3 的部分和半导体芯片 2 的背表面 2c 的部分相互紧密接触。

[0065] 如图 5 所示, QFN 5 为所谓的薄片结合型 QFN, 其中薄片 1b 嵌入在密封体 3 的内部, 并且薄片 1b 的背表面 1d 完全被树脂覆盖。也就是, 用于将薄片 1b 的位置 (高度) 升高为高于引线 1a 的位置的薄片升高操作施加于悬置引线 1e。更具体地, 在制造引线框架 1 的阶段, 连接到薄片 1b 的悬置引线 1e 经受偏移操作 (弯曲), 用于升高薄片 1b 的位置, 如图 4 所示, 由此在每个悬置引线 1e 中形成弯曲部分 1j, 并使薄片 1b 高于每个引线 1a。

[0066] 另一方面, 如果使 QFN 5 的薄片 1b 与引线 1a 齐平而不进行偏移操作, 则薄片 1b 的背表面 1d 变得从密封体 3 的背表面 3a 暴露。在安装衬底的半导体器件安装侧 (表面) 上, 形成有多个布线图形, 使得在安装衬底的表面上形成凹凸。因此, 如果 QFN 5 的薄片 1b 暴露于密封体 3 的背表面 3a, 则在把 QFN 5 安装到安装衬底上时, 薄片 1b 的背表面 1d 和在安装衬底上的凹凸相互抵触。作为结果, 发生在 QFN 5 的引线 1a 和布置在安装衬底上的电极之间的连接缺陷。也就是, 如果 QFN 5 中的薄片 1b 的背表面 1d 暴露于密封体 3 的背表面 3a, 则难以对与薄片 1b 相对的安装衬底的表面侧区域分布多个布线图形。但是, 在该第一实施例中, 由于通过偏移操作使薄片 1b 的位置高于引线 1b, 所以薄片 1b 不从密封体 3 的背表面 3a 暴露。作为结果, 即使在安装衬底的表面上形成凹凸, 也不用担心其与 QFN5 中密封体 3 的背表面 3a 的抵触, 因而允许分布多个布线图形。

[0067] 在该 QFN 5 中, 如图 6 和图 7 所示, 在每个引线 5a 的上表面 1h 上, 并且也在每个悬置引线 1e 的上表面 (第一主表面) 1i 上, 形成镀银 (银镀膜或银镀层) 8。该镀银 8 用于导线连接并用于增强与诸如金线的导线 4 的连接强度。

[0068] 但是, 图 6 所示悬置引线 1e 的上表面 1i 上的镀银 8 和图 7 所示引线 1a 的上表面 1h 上的镀银 8 在厚度上不同。更特别地, 图 6 所示悬置引线 1e 的上表面 1i 上的镀银 8 例如约为 1 至 3 μm 厚, 因为在用于悬置引线 1e 的偏移操作中, 它被偏移模具 9 挤压, 而图 7 所示引线 1a 的上表面 1h 上的镀银 8 例如约为 5 至 8 μm 厚, 因为它没有被该模具等挤压。因而, 图 6 所示悬置引线 1e 的上表面 1i 上的镀银 8 明显薄于图 7 所示引线 1a 的上表面 1h 上的镀银 8。

[0069] 在悬置引线 1e 上的镀银 8 处于嵌入到悬置引线 1e (其表面) 中的状态, 如图 6 所示, 而在引线 1a 上的镀银 8 处于形成在引线 1a 表面上的状态, 如图 7 所示。

[0070] 有时有这样的情况, 其中如此形成的镀银 8 的部分保持在突起状态, 而不在偏移操作中通过偏移模具 9 进行挤压。如果制造工艺以这样的状态移至管芯键合工艺, 则半导体芯片 2 的背表面 (端部) 2c 与以突起到悬置引线 1e 上的状态形成的镀银 8 相接触, 并且在半导体芯片 2 中产生裂缝 12, 如图 27 所示, 因而导致半导体器件变得有缺陷。如果在把半导体芯片 2 安装到引线框架 1 的薄片 1b 上时, 通过偏移操作, 使在每个悬置引线上的镀银 8 的至少薄片 1b 侧的端部处于挤压状态, 则可以解决这个问题。换句话说, 在安装半导体芯片时, 镀银 8 不应突起到每个悬置引线 1e 上, 以避免与半导体芯片 2 的背表面 (端部) 2c 相抵触。如果通过偏移模具 9 挤压形成在悬置引线 1e 上的整个银镀膜 8, 则可以满足该要

求。

[0071] 由于该第一实施例的 QFN 5 是小薄片结构,所以可以将各种尺寸的半导体芯片 2 安装到薄片 1b 上。但这里将关于这样的情况给出描述,其中把与封装尺寸比较而言相对大的半导体芯片 2 安装到薄片上。例如,相对于 5mm×6mm 的封装尺寸,安装的半导体芯片 2 的尺寸为 3.5mm×4.5mm。

[0072] 因此,如图 8 所示,半导体芯片 2 的外端部靠近引线 1a 的薄片侧端部。在这种引线 1a 的端部和半导体芯片 2 的端部互相接近的结构中,如图 4 至图 6 所示,半导体芯片 2 的端部(角部附近)和形成在悬置引线 1e 的上表面 1i 上的镀银 8 的薄片侧端部在平面上重叠布置。

[0073] 但是,在该第一实施例的 QFN 5 中,安装在薄片上的半导体芯片 2 可以为相对较小的半导体芯片,其端部(角部附近)不与形成在悬置引线 1e 的上表面 1i 上的镀银 8 的薄片侧端部平面重叠。

[0074] 如图 6 所示,通过管芯键合材料(例如,银浆)6,将半导体芯片 2 固定到薄片 1b 的主表面 1c 上,并且通过该管芯键合材料 6,将半导体芯片 2 的背表面 2c 和薄片 1b 的主表面 1c 连接在一起。

[0075] 如图 3 所示,在 QFN 5 中并排布置在密封体 3 的背表面 3a 的外围边缘部分中的引线,每一个都部分地暴露作为至密封体 3 的背表面 3a 的待连接表面 1g。分别布置在密封体 3 的四个角部处的悬置引线 1e 的背表面 1f 分别暴露于密封体 3 的背表面 3a 的四个角部。引线 1a 的待连接表面 1g 和悬置引线 1e 的背表面 1f 通过外部电镀例如焊料电镀或无铅电镀来进行电镀。

[0076] 薄片 1b、悬置引线 1e 和引线 1a 例如通过诸如薄铜合金板的薄板来形成。

[0077] 用于在半导体芯片 2 的焊盘 2a 与对应引线 1a 之间的连接的导线 4 例如为金线。

[0078] 通过使用树脂的模制方法形成密封体 3。该密封树脂例如为热固性环氧树脂。

[0079] 现在关于制造根据该第一实施例的 QFN 5(半导体器件)的方法提供下列描述。

[0080] 首先参照通过在装配 QFN 5 中使用的引线框架 1 中施加用于导线连接的镀银形成镀银 8 的方法,以及用于悬置引线 1e 的偏移操作。

[0081] 首先,如图 9 所示执行掩膜布局。更具体地说,在刻蚀以形成引线图形之后,对引线框架 1 布置用于电镀的掩膜 7。在这种情况下,掩膜 7 和引线框架 1 经受定位,使得掩膜 7 的孔径 7a 布置在引线 1a 的上表面 1h 的导线连接(引线 1a 的薄片 1b 侧端部)上,该导线连接在稍后的步骤中经受导线键合,并且使得掩膜 7 的体中心部分 7b 布置在薄片 1b 之上,然后固定掩膜 7 和引线框架 1。

[0082] 之后,通过电镀设备执行电镀以形成镀银 8。在这时,镀银 8 仅形成在掩膜 7 的孔径 7a 上。也就是说,镀银 8 形成在每个引线 1a 的上表面 1h 上。但是,掩膜 7 的对准精度随半导体器件尺寸的减小和间距的变窄而降低。从而,即使掩膜 7 也布置(未示出)在悬置引线 1e 上,使得不在悬置引线上形成镀银 8,该镀银 8 也形成在悬置引线 1e 上。这时,由于悬置引线 1e 上的镀银 8 和引线 1a 上的镀银 8 在相同的电镀工艺中形成,所以前者在厚度上等于后者。

[0083] 随后,从引线框架 1 去除掩膜 7,以完成镀银 8 的形成。

[0084] 之后,如图 10 所示执行用于悬置引线 1e 的偏移操作。也就是说,为了增加薄片 1b

的高度,执行偏移操作,该偏移操作是用于悬置引线 1e 的弯曲操作。

[0085] 首先,将形成有镀银 8 的引线框架 1 布置在偏移模具 9 的下模具 9b 之上,并且之后将其中形成镀银 8 的每个悬置引线 1e 的部分夹在上模具 9a 和下模具 9b 之间并且经受偏移操作。如图 10 的“偏移操作”部分所示,在该偏移操作中使用的上模具 9a 为可以完全覆盖在每个悬置引线 1e 上的整个镀银的尺寸,并且在该操作中使用的下模具 9b 与上模具 9a 相配合。也就是说,偏移模具 9 与每个悬置引线 1e 的接触面积大于在悬置引线上形成的镀银 8。

[0086] 从而,如图 10 的“在偏移操作之后”部分所示,整个镀银 8 被挤压到一个没有任何突起部分的平坦表面中。而且,由于通过偏移操作,镀银 8 嵌入到悬置引线 1e 中,所以镀银 8 的表面变得低于悬置引线 1e 的上表面 1i。

[0087] 在偏移操作中的偏移量例如为 0.14 至 0.18mm。

[0088] 通过偏移操作,形成有如图 11 所示的每个悬置引线 1e 的弯曲部分 1j,并且薄片 1b 的位置变得高于每个引线 1a 的位置。另外,在悬置引线 1e 上的镀银 8 的厚度变得小于在每个引线 1a 上的镀银 8 的厚度。也就是,在偏移操作中由偏移模具 9 挤压的在悬置引线 1e 上的镀银 8 明显比在每个未挤压的引线 1a 上的镀银 8 薄。例如,由偏移模具 9 挤压的在每个悬置引线 1e 上的镀银 8 的厚度约为 1 至 3 μm ,而在每个未挤压的引线 1a 上的镀银 8 的厚度约为 5 至 8 μm 。

[0089] 之后,使用如此镀银的且经受偏移操作的引线框架来装配 QFN5。

[0090] 首先,提供图 11 所示的引线框架 1。该引线框架 1 具有薄片 1b、布置在薄片 1b 周围的多个引线 1a 和支撑薄片 1b 的悬置引线 1e。而且,在该引线框架 1 中,形成在每个悬置引线 1e 上的用于导线连接的镀银(镀金属)8 的薄片侧端部的厚度小于形成在每个引线 1a 上的用于导线连接的镀银 8 的厚度。

[0091] 将在每个悬置引线 1e 上的整个镀银 8 形成为平坦并且无任何从悬置引线 1e 的上表面 1i 突起的部分。另外,悬置引线 1e 已经受偏移操作,并且在其形成镀银 8 的部分处具有弯曲部分 1j。作为结果,薄片 1b 的位置高于每个引线 1a 的位置。

[0092] 引线框架 1 为一种用于小薄片结构的框架,其中薄片 1b 的主表面(芯片安装表面)1c 的面积小于安装在该薄片上的半导体芯片 2 的背表面 2c 的面积。

[0093] 然后,执行图 12 所示的管芯键合。首先,涂敷膏剂。更具体地,将诸如银浆的管芯键合材料 6 涂敷到引线框架 1 的薄片 1b 上。

[0094] 之后,执行芯片安装。如图 12 所示,在该第一实施例中采用的半导体芯片 2 在尺寸上相对较大,使得半导体芯片 2 的外端部接近引线 1a 的薄片侧端部。

[0095] 随后,通过夹具 10 夹持半导体芯片 2,并把半导体芯片 2 运送到薄片 1b 上,然后降低夹具 10 并借助于夹具 10 使半导体芯片 2 通过管芯键合材料 6 向下压靠薄片 1b,由此将半导体芯片 2 连接到薄片 1b。在该情况下,由于夹具 10 的夹持表面 10a 呈锥形(倾斜)并且形成有一个间隙,所以半导体芯片 2 在很多情况下并不关于薄片 1b 的主表面 1c 水平地保持。有时有这样的情况,其中在由半导体芯片 2 挤压薄片 1b 的主表面 1c 上的管芯键合材料 6 的过程中,半导体芯片 2 倾斜地布置。

[0096] 但是,在根据该第一实施例的半导体器件制造方法中,在用于悬置引线 1e 的偏移操作中将整个镀银 8 挤压到没有任何突起部分的平坦表面(每个悬置引线 1e 的上表面 1i

和镀银 8 的表面几乎相互齐平) 中, 并且在每个悬置引线 1e 上的镀银 8 的薄片侧端部及该薄片侧端部附近也为平坦表面, 如图 13 中的 G 部分所指出的那样。

[0097] 因此, 当如图 14 那样安装芯片时, 可以防止在把芯片 2 通过管芯键合材料 6 安装到薄片 1b 上之前, 半导体芯片 2 的背表面 (端部) 2c 与突起到每个悬置引线 1e 上的镀银 8 相接触。作为结果, 即使在安装芯片 2 时半导体芯片 2 滑动到在悬置引线 1e 上的镀银 8 的区域, 该芯片也可以在薄片 1b 上滑动, 而在其侧面和镀银 8 之间没有接触, 并且减小在管芯键合中对半导体芯片 2 的损坏, 由此可以防止半导体器件 (QFN 5) 中发生半导体芯片的破裂或碎裂。

[0098] 由于防止了该破裂或碎裂, 所以可提高半导体器件 (QFN 5) 的可靠性和质量。

[0099] 如图 13 所示, 安装到 QFN 5 上的半导体芯片 2 在尺寸上相对较大, 使得其外端部接近引线 1a 的薄片侧端部。

[0100] 因而, 在安装半导体芯片 2 之后, 形成在每个悬置引线 1e 上的镀银 8 的薄片 1b 侧端部布置在与芯片 2 的端部 (角部) 平面重叠的位置处。

[0101] 之后, 执行导线键合。更具体地, 如图 5 所示, 通过诸如金线的导线 4, 将半导体芯片 2 的焊盘 2a 与对应引线 1a 电连接在一起。在该情况下, 如图 7 所示, 由于将用于导线连接的镀银 8 形成在每个引线 1a 的上表面 1h 上, 所以可提高导线 4 与引线 1a 之间的连接强度。而且, 由于形成在每个引线 1a 上的镀银 8 还没有经受按压操作, 所以其厚度为镀银的原始形成厚度并且大于形成在每个悬置引线 1e 上的镀银 8 的厚度。作为结果, 每个引线 1a 上的镀银 8 的厚度部分用作缓冲垫 (cushion) 以承受对应的导线 4, 并因此可以提高引线 1a 和导线 4 之间的连接强度。

[0102] 随后, 执行树脂密封 (树脂模制)。更具体地, 利用树脂密封半导体芯片 2、薄片 1b 和多个导线 4, 以形成密封体 3。该树脂例如为热固性环氧树脂。如图 5 所示, 以这样的方式形成密封体 5, 使得薄片 1b 完全被树脂覆盖并且多个引线 1a 的待连接表面 (部分) 1g 暴露于密封体 3 的背表面 3a。

[0103] 树脂密封工艺之后, 分割成单个小片以完成图 1 至图 5 所示的 QFN 5 的装配。

[0104] 接着, 以下将描述该第一实施例的变体。

[0105] 在图 15 和图 16 所示的 QFN 5 中, 导线 4 连接到形成在悬置引线 1e 的上表面 1i 上的镀银 8。例如, 为了使用用于接地和电源的公共端子并且为了增强该端子, 肯定使用形成在每个悬置引线 1e 的上表面 1i 上的用于导线连接的镀银。

[0106] 也就是, 通过导线 4, 将半导体芯片 2 的接地或电源焊盘 2a 与在悬置引线上的镀银 8 连接在一起。

[0107] 因而, 在 QFN 5 中形成在悬置引线 1e 上的银镀膜 8 可以用于导线连接。

[0108] 根据图 17 所示的变体, 用于悬置引线 1e 的偏移操作, 以这样的方式执行该偏移操作, 使得在与薄片侧相对的侧 (外侧) 上的用于导线连接的镀银 8 的端部保持未挤压。通过这样做, 在引线框架 1 中, 如图 11 所示, 在每个悬置引线上的镀银 8 的薄片侧端部的厚度变得小于形成在每个引线 1a 上的镀银 8 的厚度, 并且还小于镀银的相对侧端部的厚度。

[0109] 在第一实施例的半导体器件制造方法中使用的引线框架 1 中用于悬置引线 1e 的偏移操作不总是需要挤压整个镀银 8。更特别地, 在偏移操作中, 不总是需要对与在每个悬置引线 1e 上的镀银 8 的薄片侧端部相对的端部进行挤压。

[0110] 通过如此使在与每个悬置引线 1e 上的镀银 8 的薄片侧相对的侧（外侧）上的端部在厚度上等于在每个引线 1a 上的镀银 8，而不挤压它，可以在执行如图 15 和图 16 所示的向下键合操作时，在其中悬置引线 1e 的上表面 1i 和薄片 1b 的主表面 1c 形成相互齐平的情况下，提高导线键合的连接可靠性。这是因为镀银 8 较厚且实现缓冲作用，并因此提高对导线 4 的粘结性。

[0111] 图 18 和图 19 所示的变体涉及其中薄片 1b 的背表面 1d 暴露于密封体 3 的背表面 3a 的暴露薄片结构的 QFN 5。

[0112] 在装配暴露薄片结构的 QFN 5 中使用的引线框架 1 中，对于悬置引线 1e 不执行偏移操作，而是在每个悬置引线 1e 的上表面（第一主表面）1i 中形成凹槽 1m，该上表面连接到薄片 1b 的主表面 1c。例如通过半刻蚀操作来形成该凹槽 1m。

[0113] 这样，当装配 QFN 5 时，提供有图 1 所示的引线框架 1，其中悬置引线 1e 的上表面 1i 和薄片 1b 的主表面 1c 形成相互齐平，并且形成在每个悬置引线 1e 上的用于导线连接的镀银 8 的薄片侧端部布置在上表面 1i 中形成的凹槽 1m 内。

[0114] 当在随后的管芯键合工艺中把半导体芯片 2 安装到薄片上时，如图 18 所示，不必担心在每个悬置引线 1e 上的镀银 8 的薄片侧端部与半导体芯片 2 之间的抵触，因为前者布置在凹槽 1m 内。

[0115] 因此，同样在用于暴露薄片结构的 QFN 5 的管芯键合工艺中，在安装芯片时，半导体芯片 2 可以在薄片 1b 上滑动，而不与镀银 8 相接触，并因此可以减少当安装芯片时对半导体芯片的损坏。作为结果，可以防止在暴露薄片结构的 QFN 5 中发生半导体芯片的破裂或碎裂。

[0116] 管芯键合工艺之后进行导线键合并随后用树脂进行密封。在树脂密封工艺中，利用树脂密封半导体芯片 2、薄片 1b 的主表面侧和多个导线 4，以形成密封体 3。以这样的方式来形成该密封体 3，使得多个引线 1a 的待连接表面（部分）1g 暴露于密封体 3 的背表面 3a，并且薄片 1b 的背表面（部分）1d 暴露于密封体背表面 3a，如图 19 所示。

[0117] 树脂密封工艺之后，分割成单个小片，以完成暴露薄片结构的 QFN 5 的装配。

[0118] 作为结果，可以抑制半导体芯片的破裂或碎裂的发生，并因此可以提高半导体器件（QFN 5）的可靠性和质量。而且，由于薄片 1b 的背表面 1d 从密封体 3 的背表面 3a 暴露，所以在如图 4 和图 5 所示的情况下，可以提高半导体器件（QFN 5）的散热性能。

[0119] （第二实施例）

[0120] 图 20 是显示根据本发明第二实施例的半导体器件的结构例子的平面图，图 21 是其侧视图，图 22 是其后视图，图 23 是显示沿着图 20 中的线 A-A 所截取的截面结构的截面图，以及图 24 是显示沿着图 20 中的线 C-C 所截取的截面结构的截面图。

[0121] 图 20 至图 24 所示的该第二实施例的半导体器件是一种树脂密封型 QFP（四方扁平封装）11，其中用作外部端子的多个外引线 1p 从由树脂形成的密封体 3 的四个侧面突起。

[0122] QFP 11 包括连接到半导体芯片 2 的薄片 1b、支撑该薄片 1b 的悬置引线 1e、布置在该半导体芯片 2 周围的多个内引线 1n、用于在半导体芯片 2 的焊盘 2a 和内引线 1n 之间的电连接的导线 4、与内引线 1n 一体连接的外引线 1p 以及用于密封半导体芯片 2 的密封体 3。

[0123] 在该 QFP 11 中，薄片 1b 的位置（高度）低于内引线 1n。也就是，支撑薄片 1b 的

悬置引线 1e 在密封体 3 的背表面 3a 的方向上经受偏移操作（薄片降低操作），由此使薄片 1b 的高度低于内引线 1n 的高度。因此，每个悬置引线 1e 具有弯曲部分 1j。

[0124] 在每个内引线 1n 的上表面 1h 上，并且也在每个悬置引线 1e 的上表面 1i 上，形成镀银 8，作为用于导线连接的镀金属。

[0125] 类似于第一实施例的 QFN 5，QFP 11 为小薄片结构，其中薄片 1b 的尺寸小于半导体芯片 2 的尺寸，如图 24 所示。从而，可以将各种尺寸的半导体芯片 2 安装到该薄片 1b 上。

[0126] 根据该结构，当把相对较大尺寸的半导体芯片 2 安装到薄片上时，如图 23 所示，半导体芯片 2 的端部（角部）和悬置引线 1e 上的镀银 8 的薄片侧端部在平面上相互重叠。

[0127] 同样在装配这种结构的 QFP 11 中，通过在偏移悬置引线 1e 时用与第一实施例中相同的方法挤压镀银 8，可以在管芯键合工艺中在把芯片安装到薄片上时使半导体芯片 2 在薄片 1b 上滑动，而不与镀银接触，由此使得可以减少当把芯片安装到薄片上时对半导体芯片 2 的损坏。

[0128] 作为结果，可以防止如此经受薄片降低操作的 QFP 11 中发生破裂或碎裂。该 QFP 例如可以由经受了薄片降低操作的 SOP（小外形封装）来代替。

[0129] 尽管以上基于本发明的实施例已经具体地描述了本发明，但不必说，本发明并不限于以上实施例，而是可以在不脱离本发明精神的范围内进行各种改变。

[0130] 例如，尽管在以上第一和第二实施例中，施加到引线 1a、内引线 1n 和悬置引线 1e 的用于导线连接的镀金属是镀银 8，但该镀金属可以是部分地或整体地形成在引线框架上的 Pd（钯）镀膜。但是，由于镀 Pd 在成本上相对镀 Ag 要高，所以优选采用仅施加到所需部分的部分镀 Pd，由此可以防止成本的增加。

[0131] 本发明适用于制造具有悬置引线的半导体器件的技术。

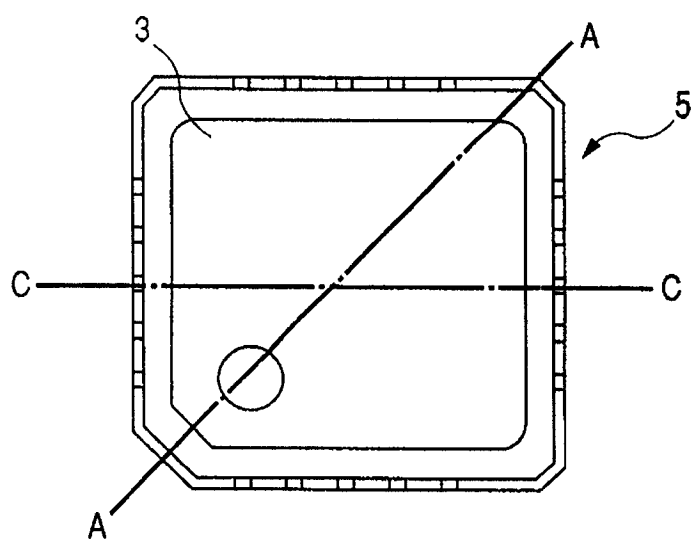


图 1

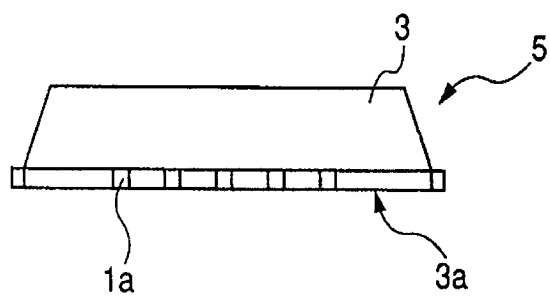


图 2

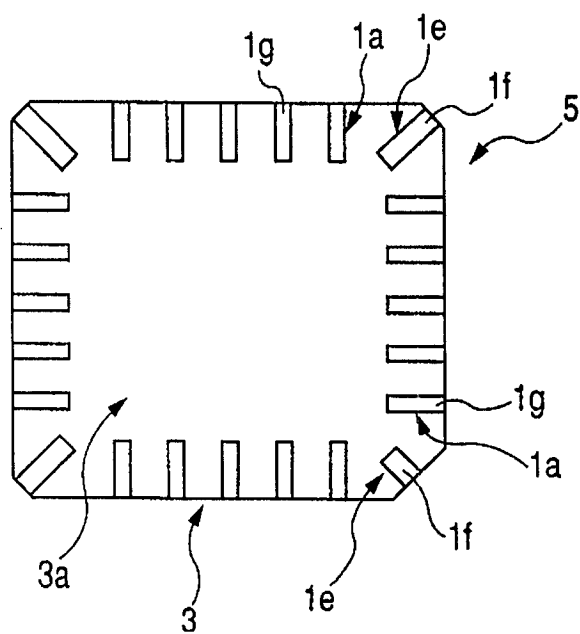


图 3

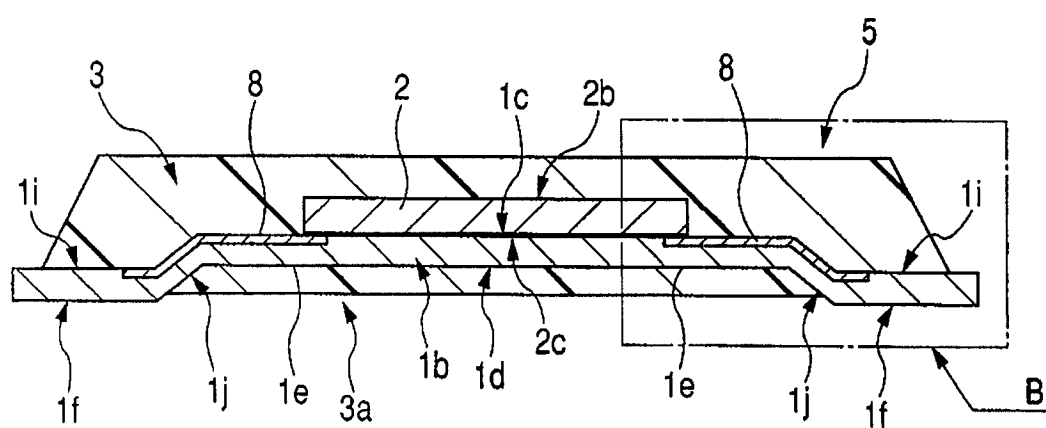


图 4

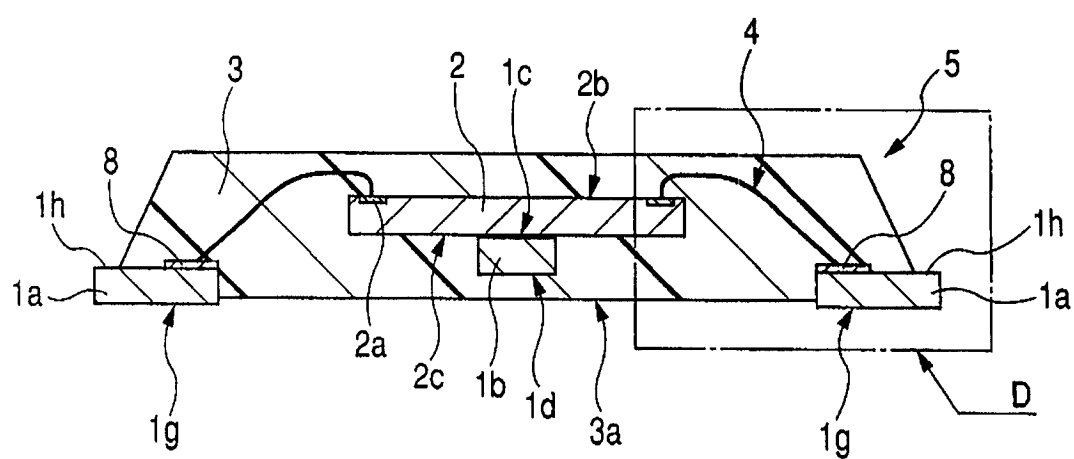


图 5

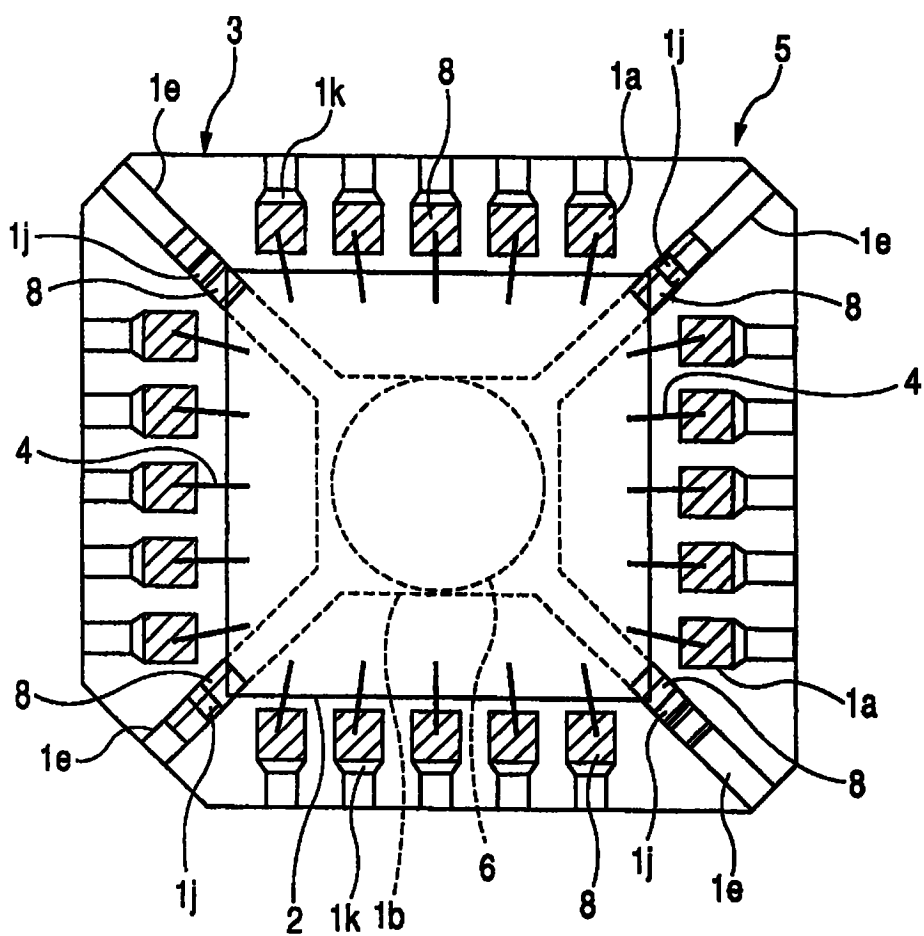


图 8

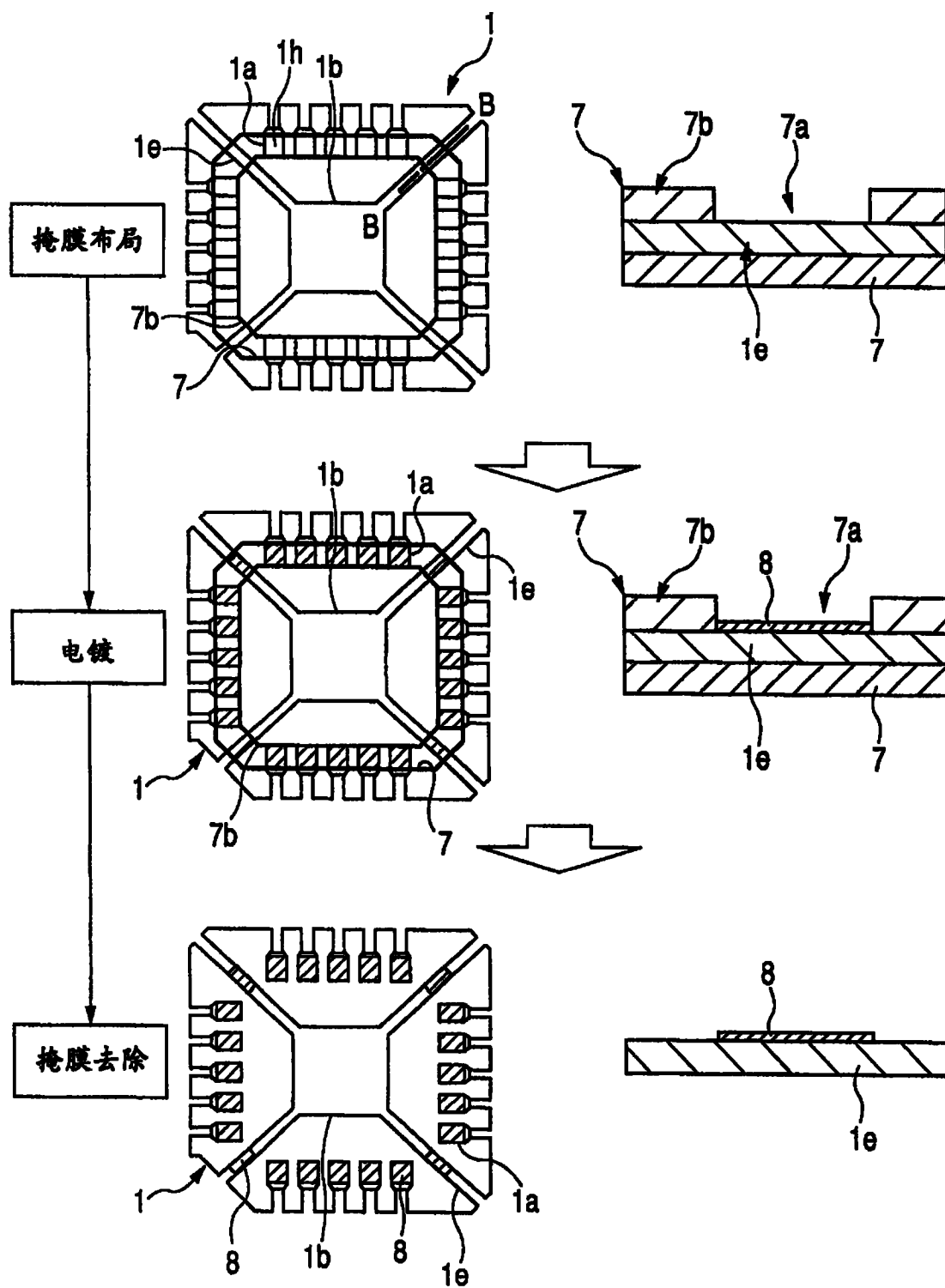


图 9

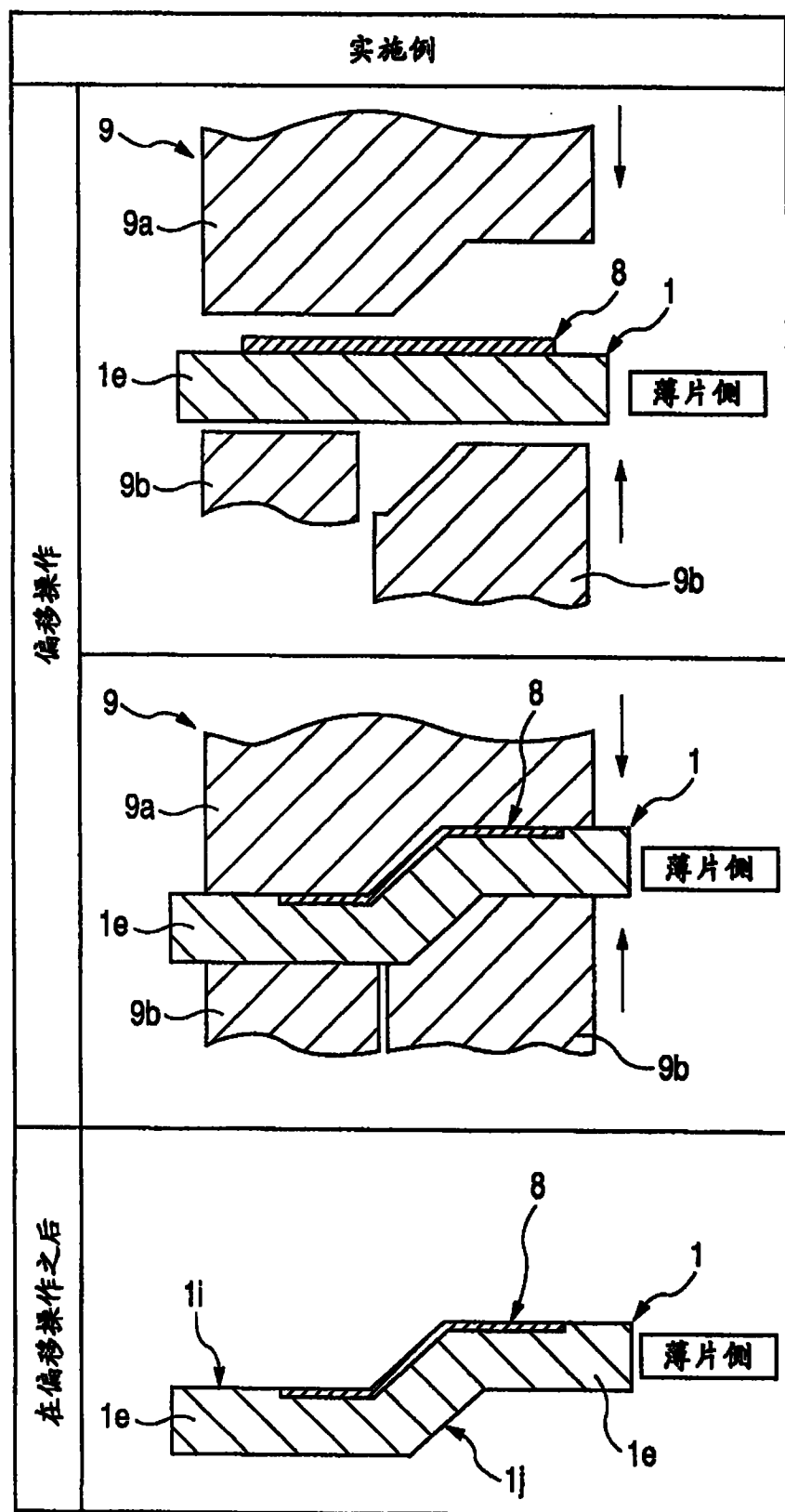


图 10

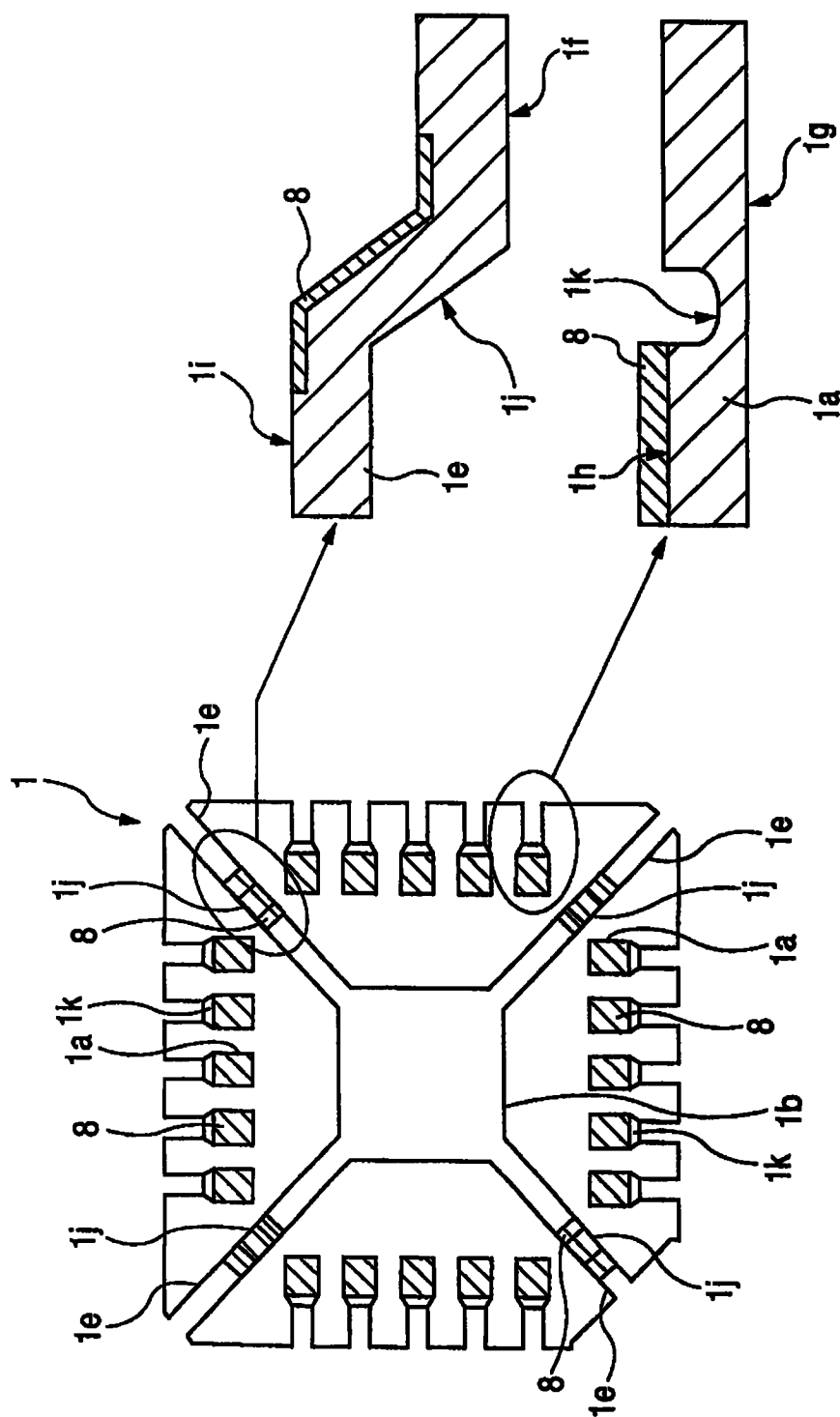


图 11

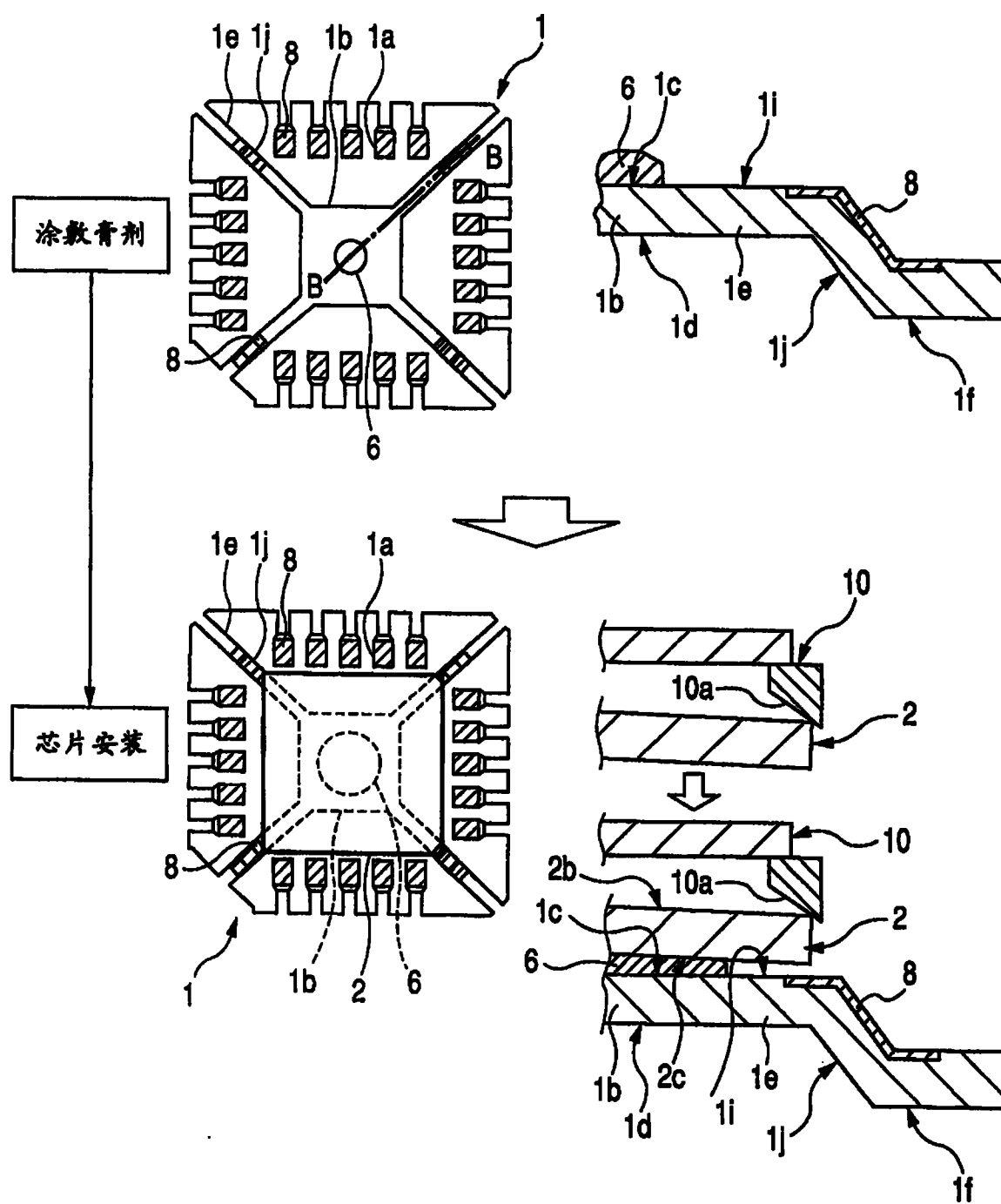


图 12

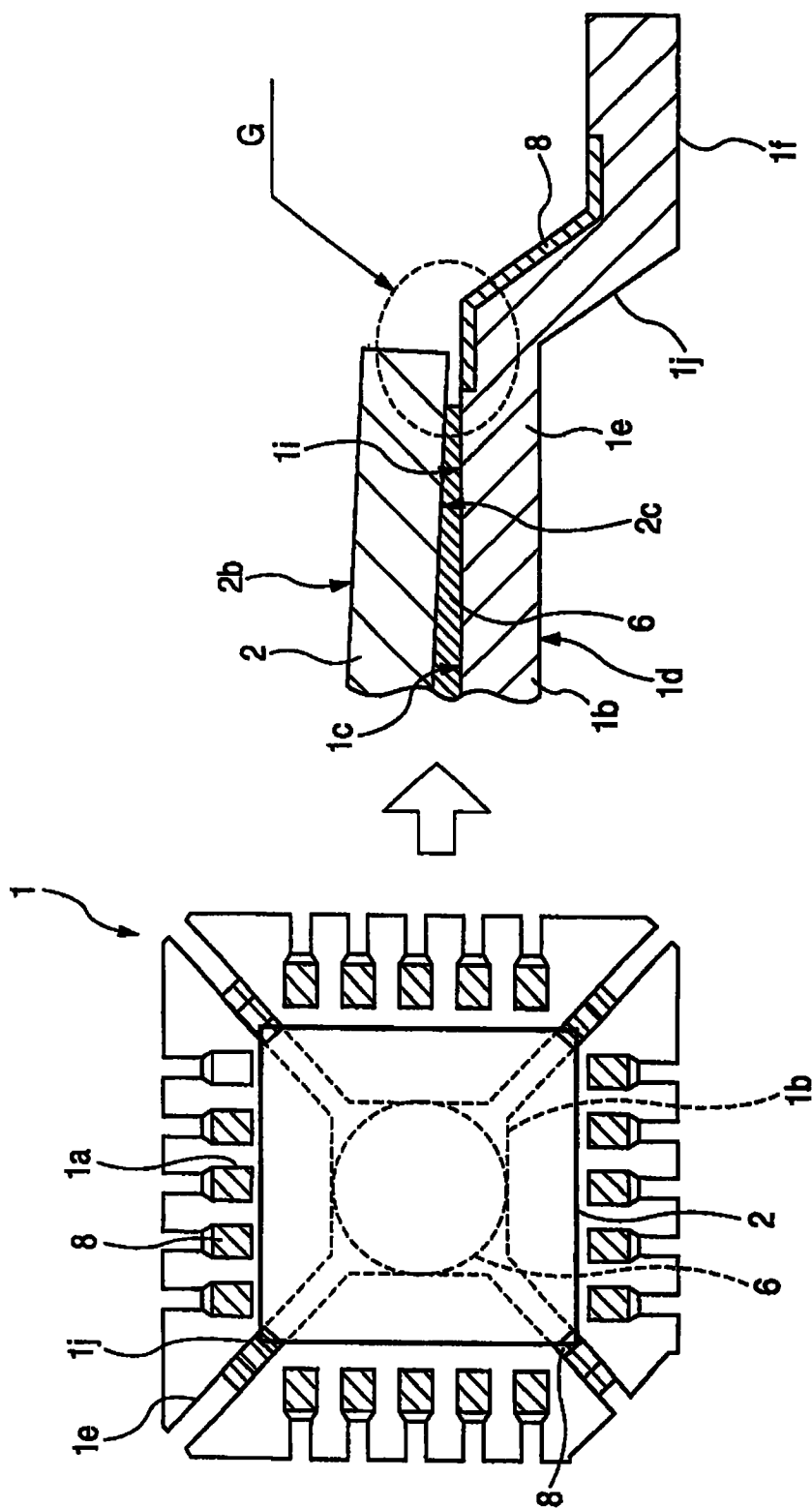


图 13

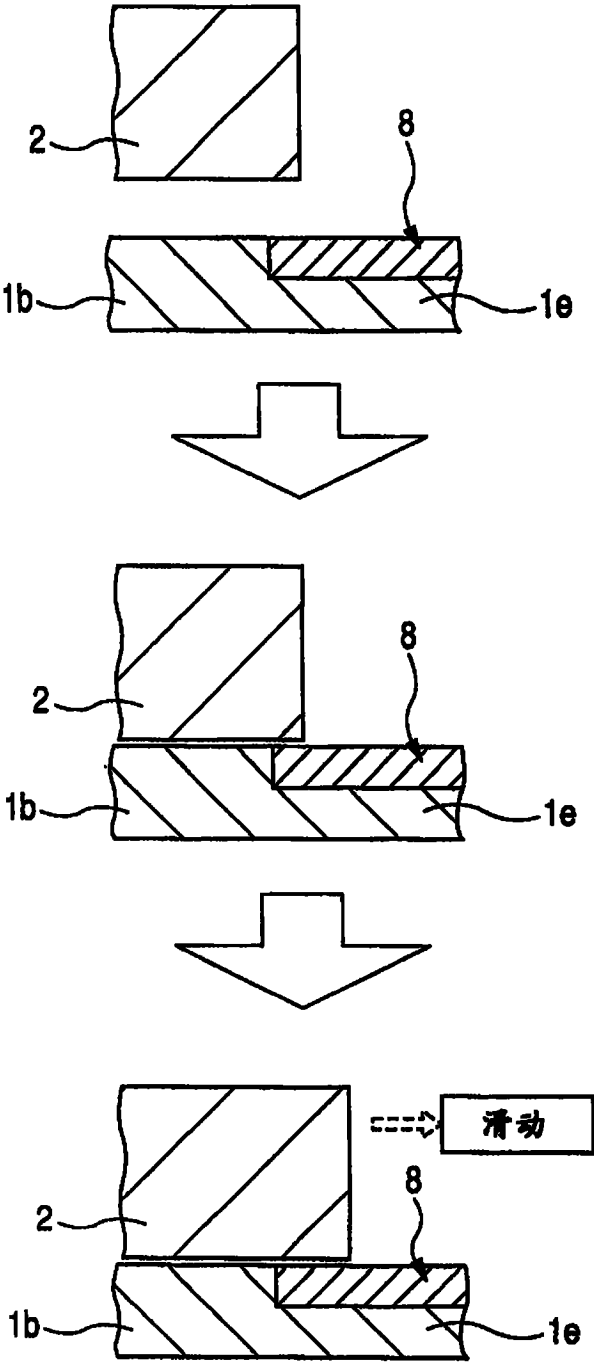


图 14

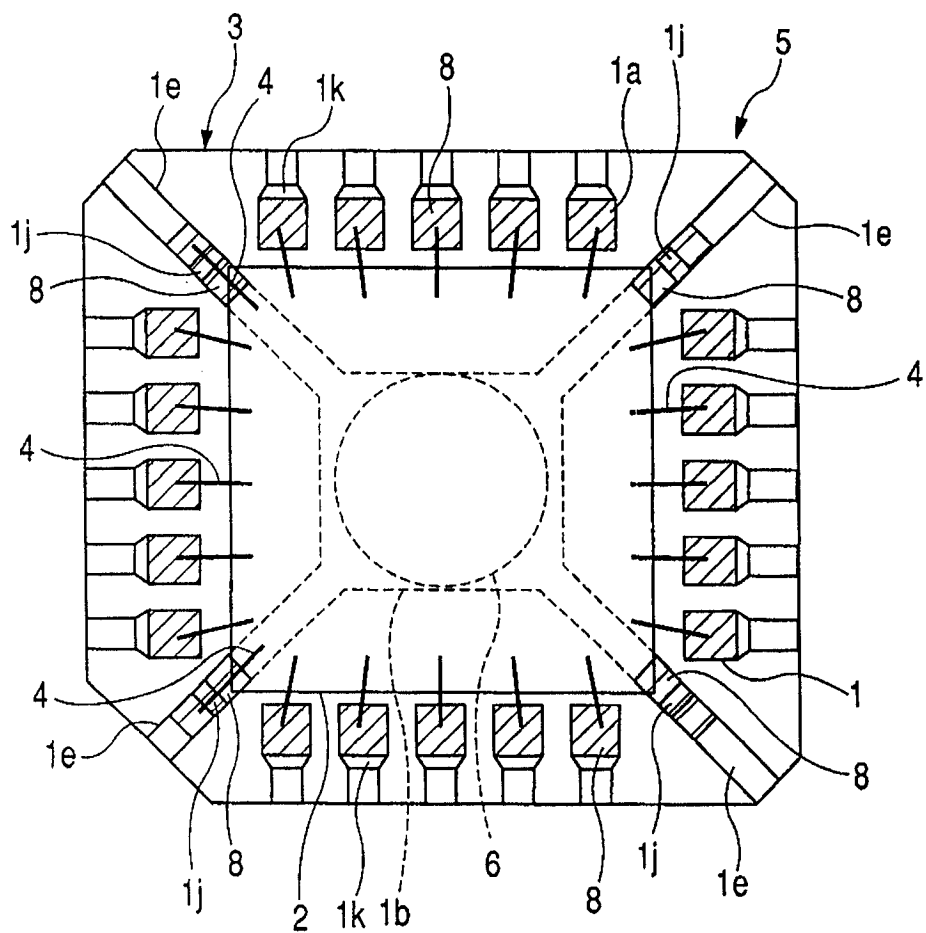


图 15

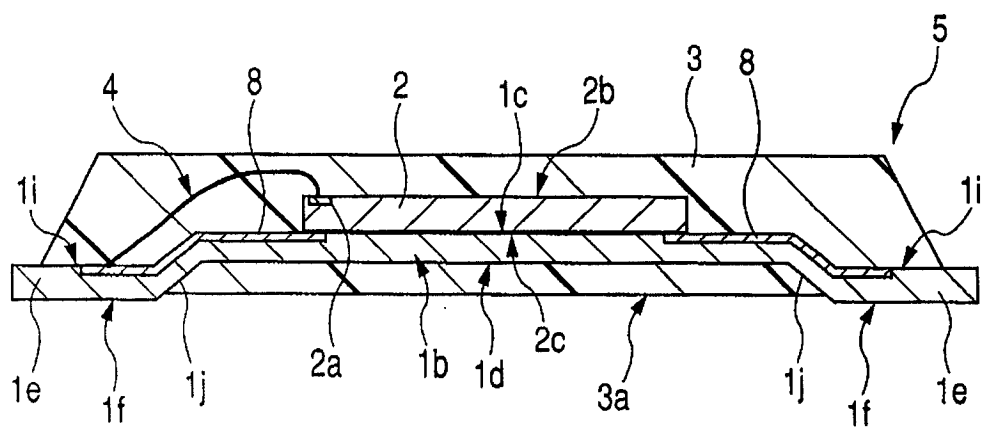


图 16

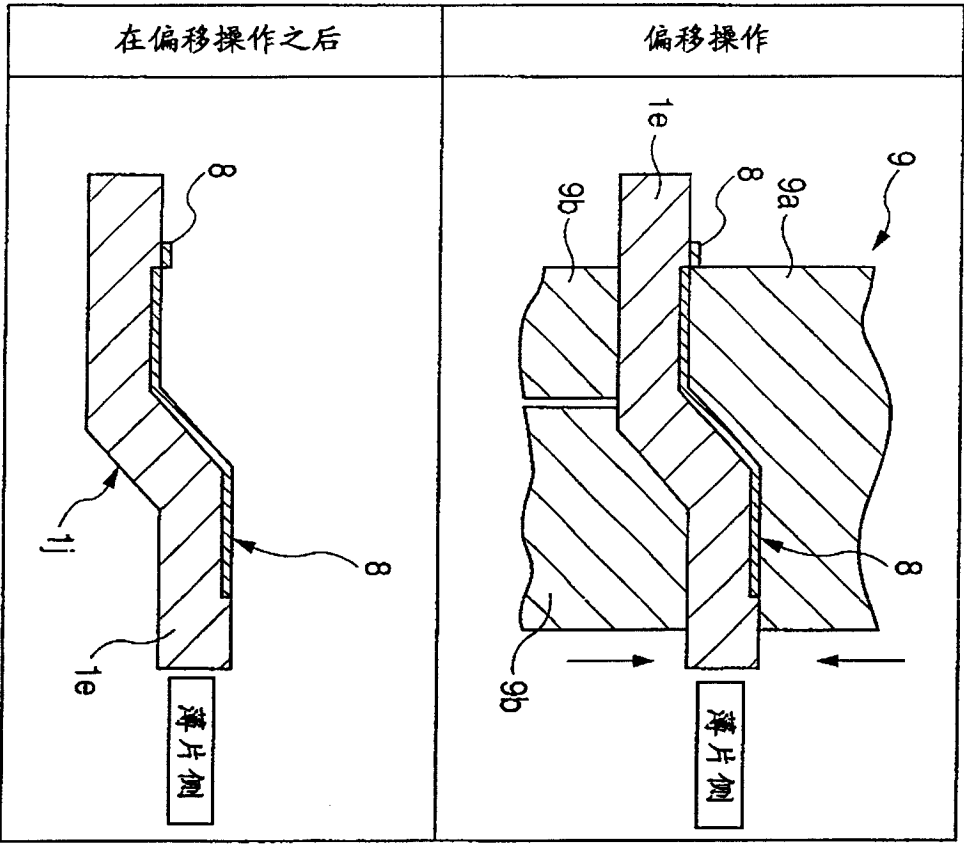


图 17

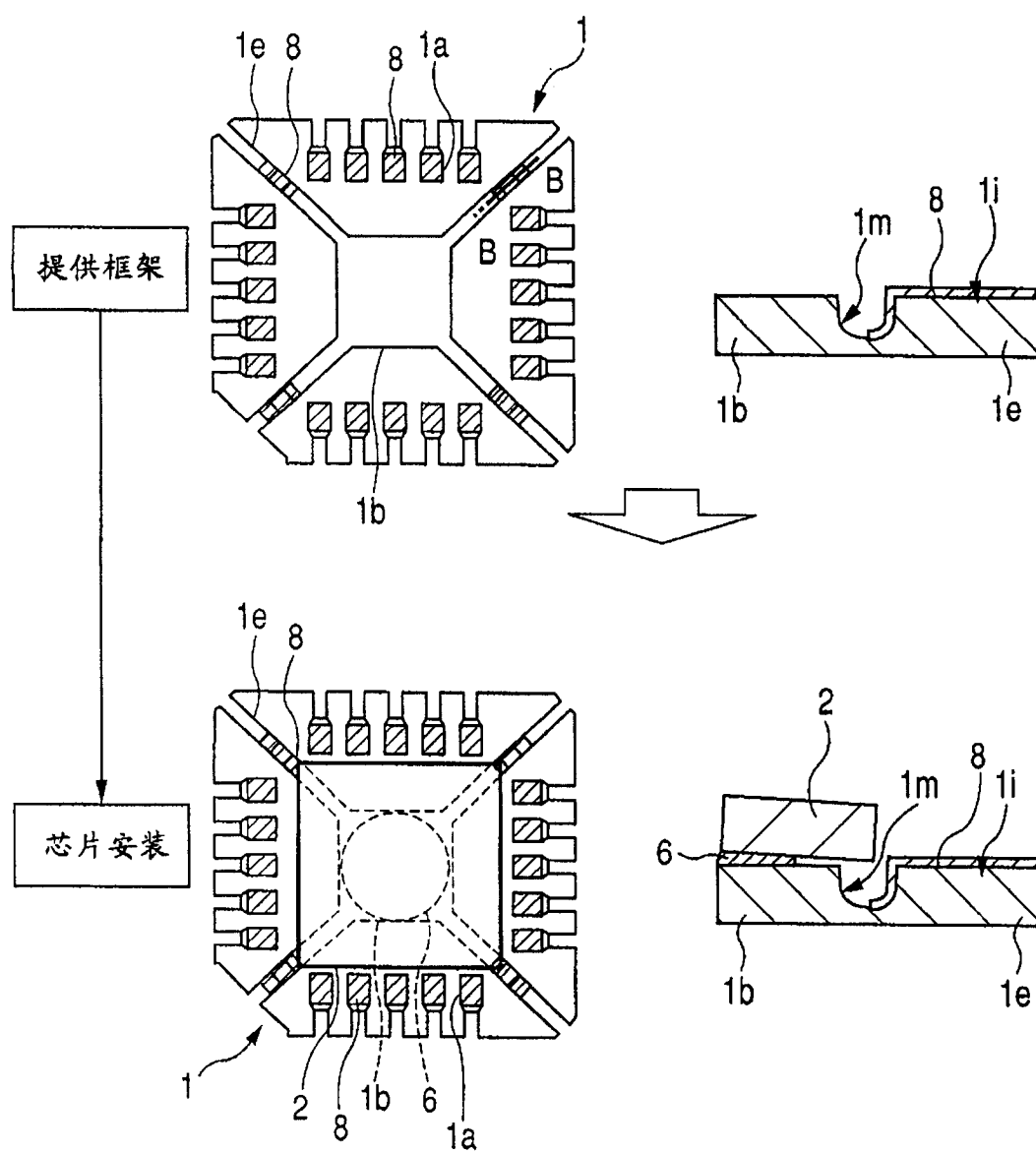


图 18

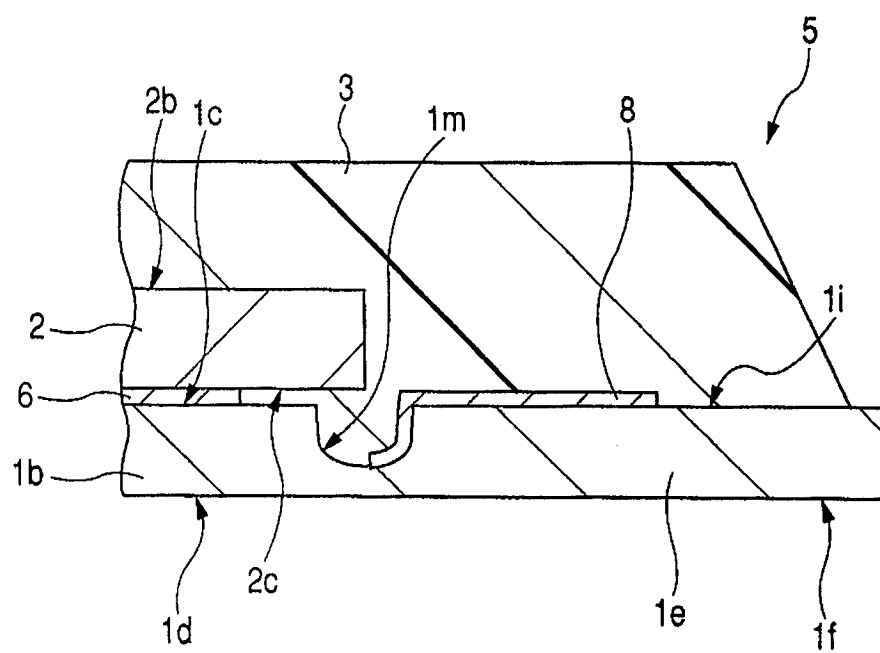


图 19

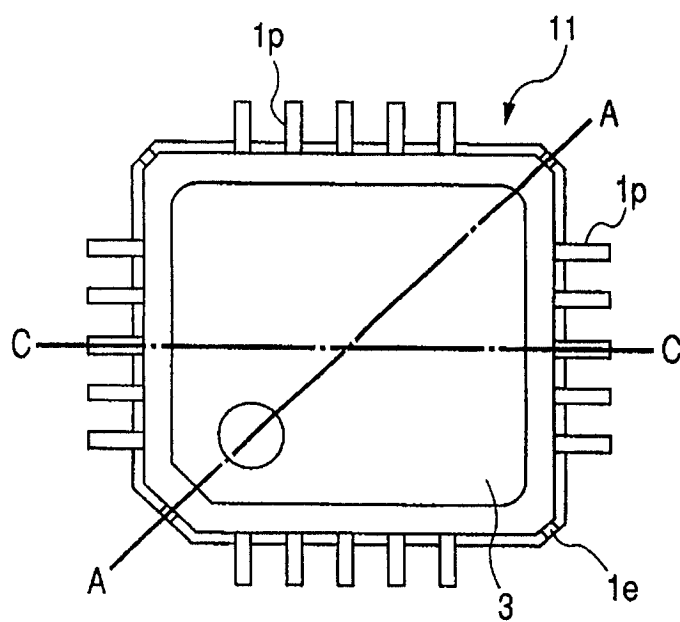


图 20

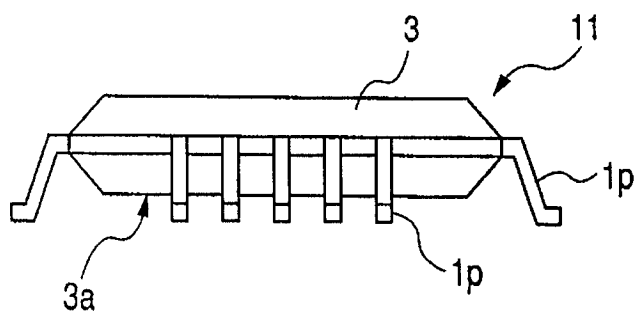


图 21

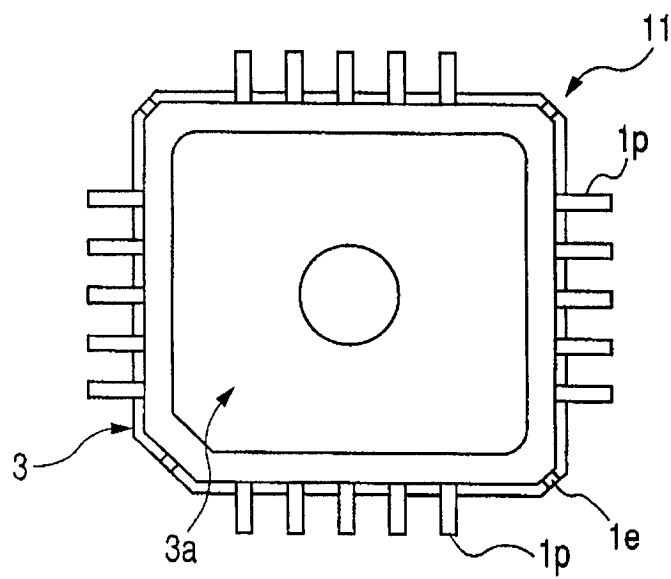


图 22

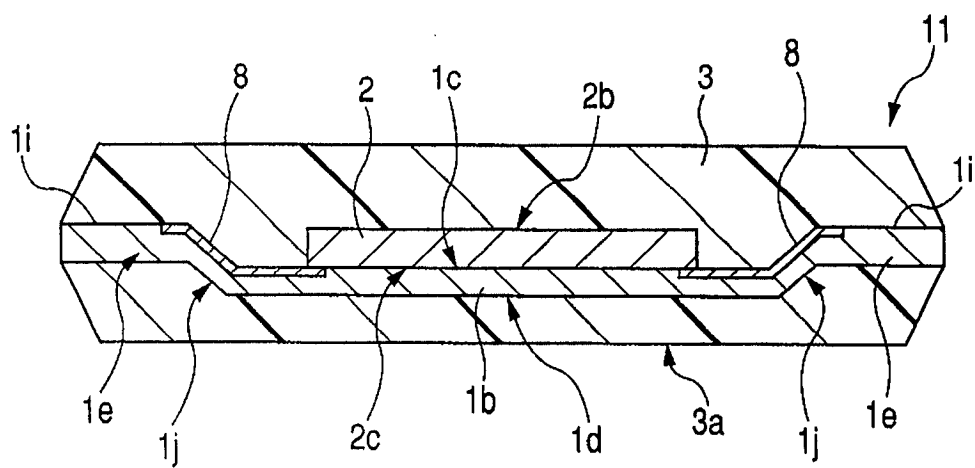


图 23

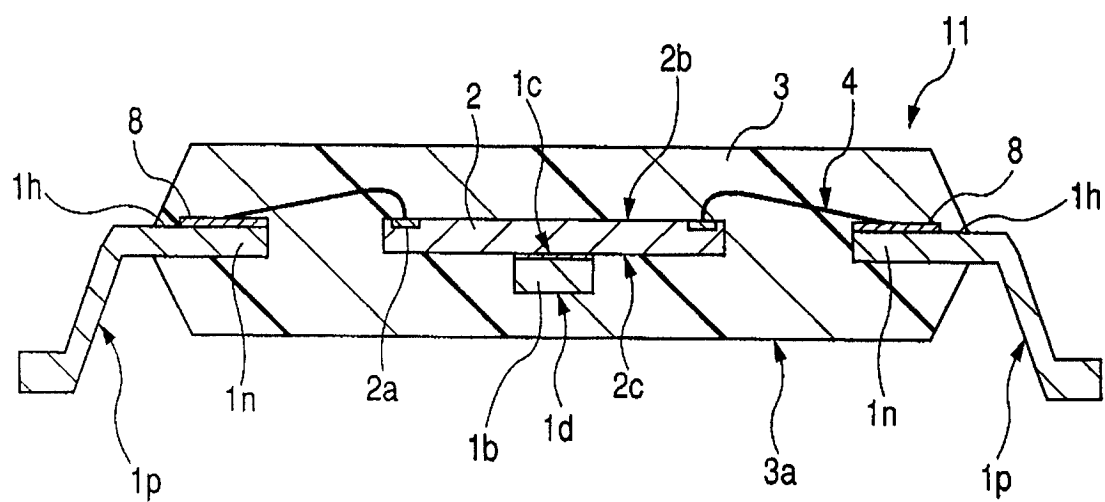


图 24

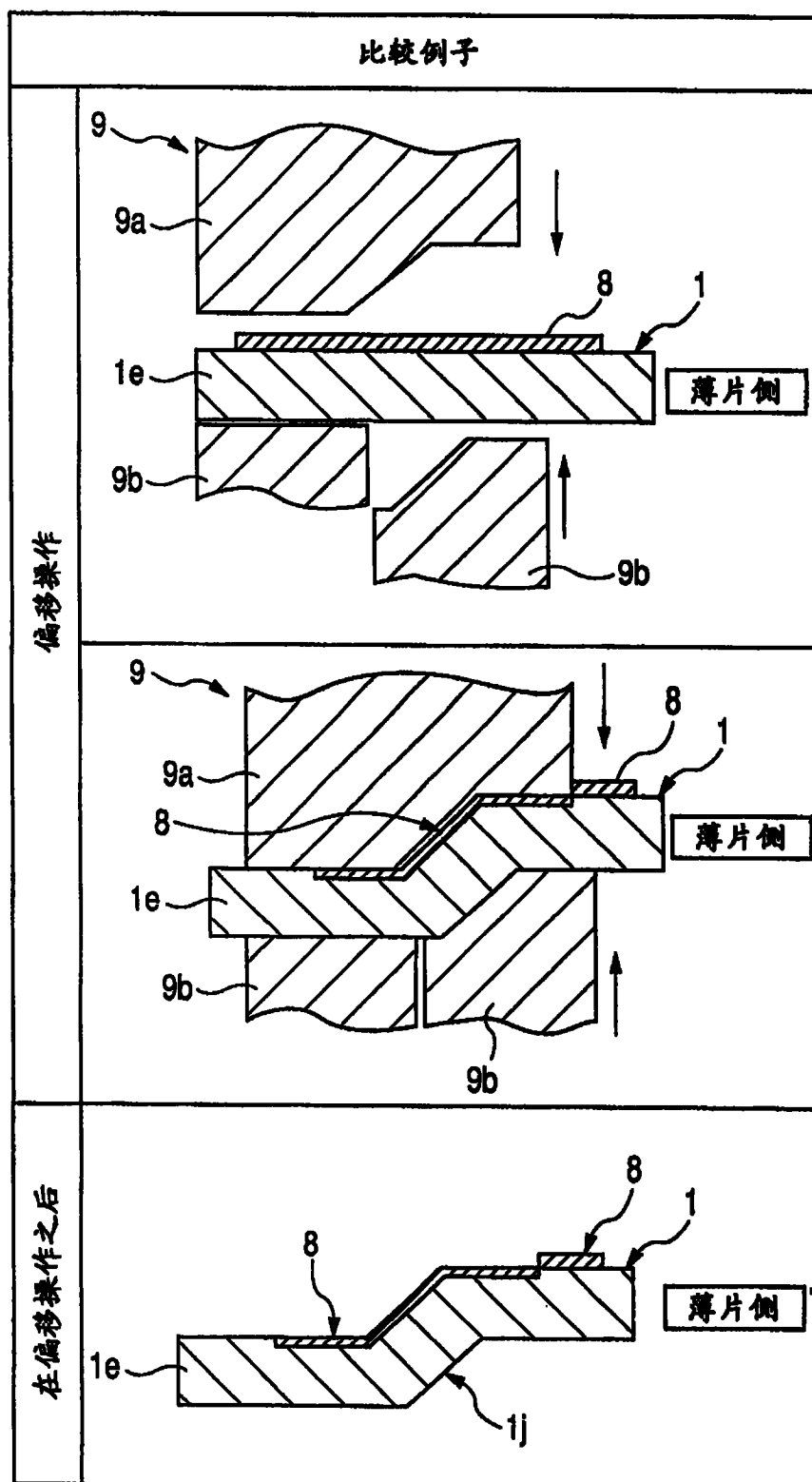


图 25

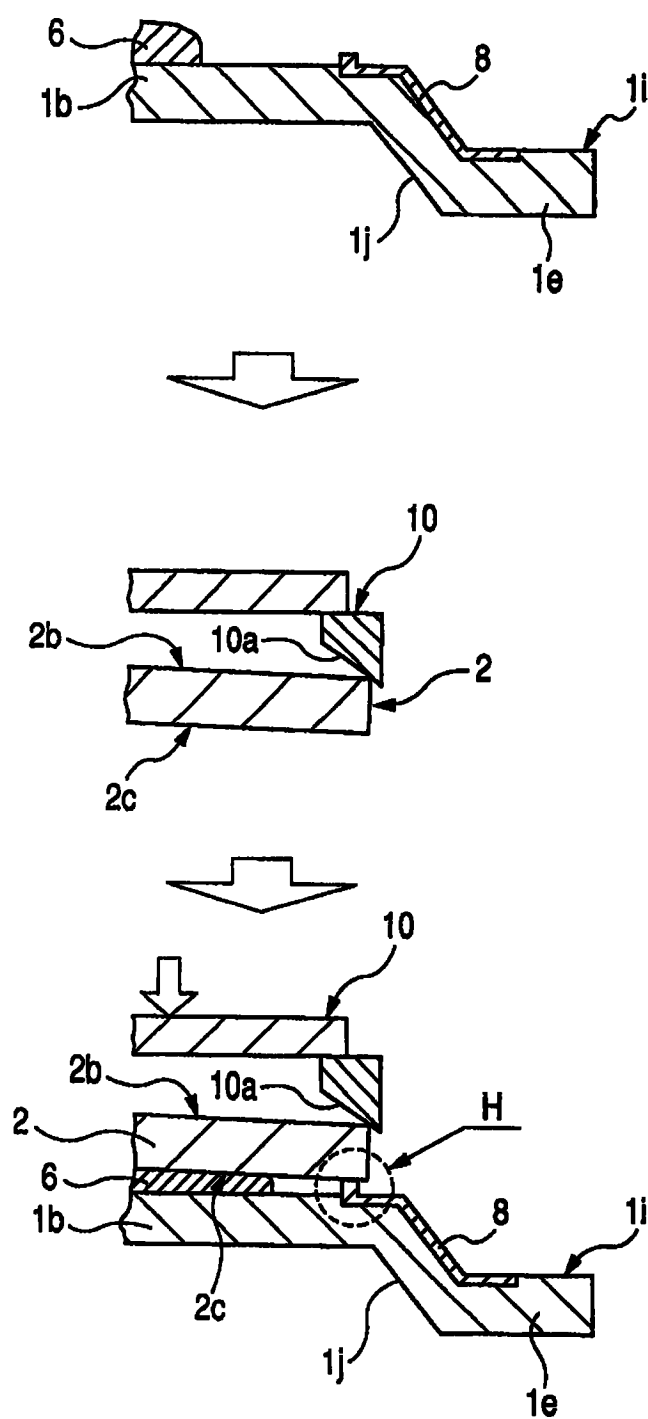


图 26

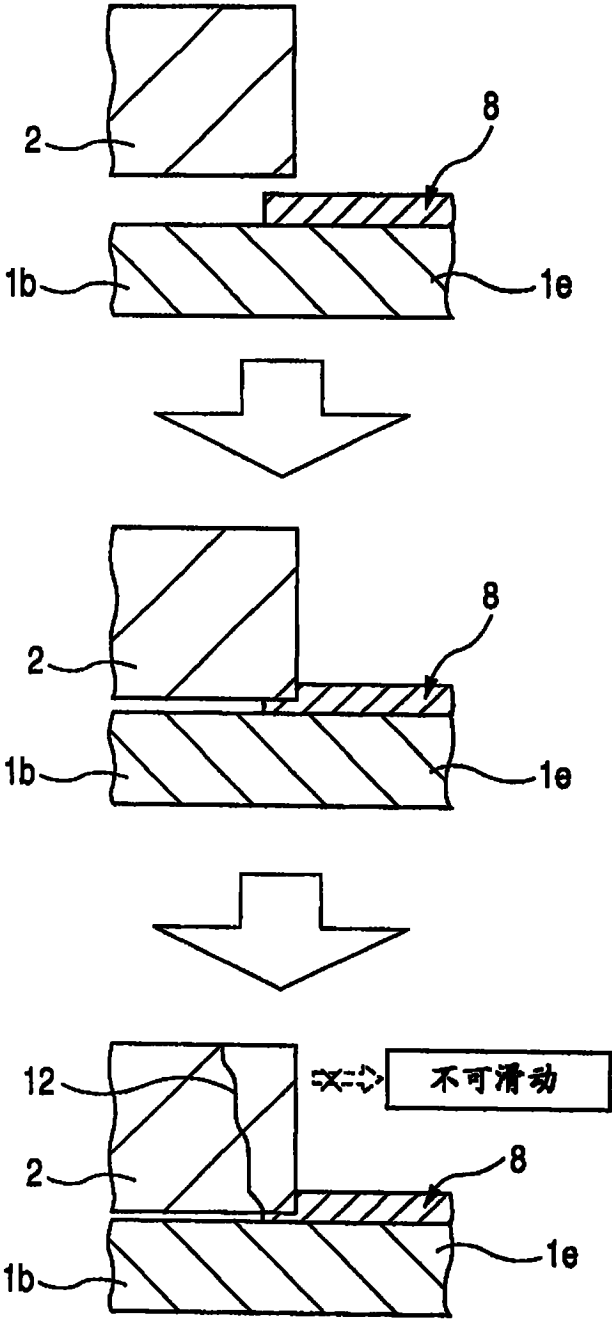


图 27