

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/00
H01L 27/115

(11) 공개번호 10-2005-0037965
(43) 공개일자 2005년04월25일

(21) 출원번호 10-2004-0083507
(22) 출원일자 2004년10월19일

(30) 우선권주장 JP-P-2003-00359375 2003년10월20일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1초메 1방 1고

(72) 발명자 오까지마무쓰미
일본 도쿄도 미나토구 시바우라 1초메 1방 1고 가부시끼가이샤 도시바
지적재산부 내

(74) 대리인 장수길
구영창

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은, 2층 게이트 사이의 절연막에 개공 영역을 형성하기 위한 리소그래피의 정합 정밀도를 높일 수 있고, 칩 사이즈의 축소화 및 비용의 저감에 기여한다. 반도체 기판(101) 위에 부유 게이트로 되는 폴리실리콘막(103)과 제어 게이트로 되는 폴리실리콘막(113)을 적층하여 형성된 스택 게이트 구성의 불휘발성 메모리 셀과, 반도체 기판(101) 위에, 부유 게이트로 되는 폴리실리콘막(103)과 제어 게이트로 되는 폴리실리콘막(113)을 적층하여 형성되고, 그 적층된 제어 게이트와 부유 게이트를 전기적으로 접속하여 이루어진 메모리 셀 이외의 트랜지스터를 구비한 반도체 장치로서, 메모리 셀 이외의 트랜지스터는, 폴리실리콘막(113) 상면으로부터 폴리실리콘막(103) 상면에 도달하도록 형성된 컨택트홀 내에 도전체막(131, 132, 133)이 매립되어 형성되어 있다.

대표도

도 10

색인어

반도체 기판, 부유 게이트, NAND 셀 유닛

명세서

도면의 간단한 설명

도 1은 NAND형 불휘발성 반도체 메모리의 게이트 배선 형성 후의 상태를 도시하는 평면도.

도 2는 도 1의 A-A' 단면 방향에 대응하는 소자 분리 형성 공정을 도시하는 단면도.

도 3은 도 1의 A-A' 단면 방향에 대응하는 소자 분리 형성 공정을 도시하는 단면도.

도 4는 도 1의 B-B' 단면 방향에 대응하는 게이트 배선 형성 공정을 도시하는 단면도.

도 5는 도 1의 B-B' 단면 방향에 대응하는 게이트 배선 형성 공정을 도시하는 단면도.

도 6은 도 1의 B-B' 단면 방향에 대응하는 게이트 배선 형성 공정을 도시하는 단면도.

도 7은 제1 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 8은 제1 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 9는 제1 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 10은 제1 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 11은 제2 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 12는 제2 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 13은 제2 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 14는 제3 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 15는 제3 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

도 16은 제3 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 메모리 셀 영역

11 : 소자 영역

12 : 소자 분리 영역

13 : 메모리 셀

14 : 선택 트랜지스터

20 : 주변 회로 영역

25 : 주변 트랜지스터

101 : 실리콘 기판

102 : 터널 절연막(제1 게이트 절연막)

103 : 인도핑 폴리실리콘막(부유 게이트)

104, 115, 122 : 실리콘 질화막

105 : 소자 분리 영역 형성용 레지스트 패턴

107, 121, 123 : 실리콘 산화막

109 : ONO막(제2 게이트 절연막)

111, 124, 224, 324 : 접속부 형성용 레지스트 패턴

113 : 인도핑 폴리실리콘막(제어 게이트)

114 : 텅스텐 실리사이드막

117 : 게이트 배선 형성용 레지스트 패턴

131 : 티탄막

132, 252, 352 : 티탄 질화막

133 : 텅스텐막

241, 341 : 인 도핑 폴리실리콘막

251, 351 : 코발트막

253, 353 : 코발트 실리사이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 부유 게이트와 제어 게이트를 적층한 스택 게이트형 불휘발성 반도체 메모리를 갖는 반도체 장치에 관한 것으로, 특히 부유 게이트와 제어 게이트의 접속 부분을 개량한 반도체 장치 및 그 제조 방법에 관한 것이다.

종래, NAND형 불휘발성 반도체 메모리에 이용되는 NAND 셀 유닛은, 복수의 불휘발성 반도체 메모리 셀을 직렬 접속함과 함께, 직렬 접속부의 양단에 선택 트랜지스터를 접속하여 형성된다. 여기서, 각각의 메모리 셀은, 반도체 기판 위에 제1 게이트 절연막을 개재하여 부유 게이트를 형성하고, 그 위에 제2 게이트 절연막을 개재하여 제어 게이트를 형성한 2층 게이트 구성(스택 게이트 구성)으로 되어 있다. 한편, 선택 트랜지스터는, 메모리 셀과 동시에 형성하기 위해서 동일하게 2층 게이트 구성으로 되어 있지만, 부유 게이트와 제어 게이트를 전기적으로 접속할 필요가 있다. 이 때문에, 제어 게이트로 되는 도전체막을 형성하기 전에, 선택 트랜지스터부에서 부유 게이트 위의 게이트 절연막을 리소그래피에 의해 제거하고 있다(예를 들면, 특히 문현 1 참조).

여기서, 부유 게이트 위의 게이트 절연막을 일부 제거하기 위한 리소그래피에서는, 이미 형성되어 있는 소자 분리 영역을 기준으로 하여 위치를 맞추게 된다. 한편, 게이트 배선 패턴 형성을 위한 리소그래피에서도, 소자 분리 영역을 기준으로 하여 위치를 맞추게 된다. 이 때문에, 게이트 사이의 절연막의 개공 영역을 형성하기 위한 리소그래피와 게이트 배선 형성을 위한 리소그래피는 간접 정합으로 되어, 정합 마진을 크게 취할 필요가 있다.

따라서, 이러한 종래 기술에서는, 메모리 셀뿐만 아니라 선택 트랜지스터 및 주변 트랜지스터도 미세화되어, 선택 트랜지스터 및 주변 트랜지스터에서의 게이트 사이의 절연막의 개공 영역이 작아지면, 개공 영역을 형성하기 위한 리소그래피의 정합 마진이 매우 작아져서, 리소그래피가 곤란해진다는 문제가 있다. 또한, 리소그래피의 정합 마진을 확보하려고 하면, 선택 트랜지스터 및 주변 트랜지스터를 작게 할 수 없어, 소자의 미세화가 제한되게 된다.

특히 문현 1 : 일본 특개 2002-176114호 공보

발명이 이루고자 하는 기술적 과제

이와 같이 종래, 부유 게이트와 제어 게이트 사이의 절연막에 개공 영역을 형성하기 위한 리소그래피와 게이트 배선을 형성하기 위한 리소그래피는 간접 정합으로 되고, 따라서 개공 영역을 형성하기 위한 리소그래피의 정합 마진을 크게 취할 필요가 있어, 이것이 소자의 미세화를 방해하는 요인으로 되어 있었다.

본 발명은, 상기 사정을 고려하여 이루어진 것으로, 그 목적으로 하는 바는, 부유 게이트와 제어 게이트 사이의 절연막에 개공 영역을 형성하기 위한 리소그래피의 정합 정밀도를 높일 수 있고, 칩 사이즈의 축소화 및 비용의 저감에 기여할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 데에 있다.

발명의 구성 및 작용

본 발명의 일 양태의 반도체 장치는, 반도체 기판 위에 제1 게이트 절연막을 개재하여 형성된 부유 게이트로 되는 제1 도전체막과, 상기 부유 게이트로 되는 제1 도전체막 위에 제2 게이트 절연막을 개재하여 형성된 제어 게이트로 되는 제2 도전체막과, 상기 제2 도전체막의 상면으로부터 상기 제1 도전체막의 상면에 도달하도록, 상기 제2 도전체막 및 제2 게이트 절연막을 일부 제거함으로써 형성된 컨택트홀 내에 매립하여 형성된 제3 도전체막을 구비하여 이루어지는 것을 특징으로 한다.

또한, 본 발명의 다른 양태의 반도체 장치는, 반도체 기판 위에 부유 게이트와 제어 게이트를 적층하여 형성된 스택 게이트 구성의 불휘발성 반도체 메모리 셀과, 상기 반도체 기판 위에, 상기 부유 게이트로 되는 제1 도전체막과 상기 제어 게이트로 되는 제2 도전체막을 적층하고, 이를 제2 도전체막, 제1 도전체막이 전기적으로 접속되어 게이트 배선이 형성된 메모리 셀 이외의 트랜지스터를 구비하고 있고, 상기 메모리 셀 이외의 트랜지스터의 부분은, 상기 제2 도전체막의 상면으로부터 상기 제1 도전체막의 상면에 도달하도록 형성된 컨택트홀 내에 제3 도전체막이 매립되어 형성되어 있는 것을 특징으로 한다.

또한, 본 발명의 일 양태의 반도체 장치의 제조 방법은, 반도체 기판 위에, 제1 게이트 절연막, 부유 게이트로 되는 제1 도전체막, 제2 게이트 절연막, 및 제어 게이트로 되는 제2 도전체막이 적층되어 이루어진 스택 게이트 구성의 게이트 배선 패

턴을 형성하는 공정과, 상기 제어 게이트로 되는 제2 도전체막 및 제2 게이트 절연막을 일부 제거함으로써, 상기 제어 게이트로 되는 제2 도전체막의 상면으로부터 상기 부유 게이트로 되는 제1 도전체막의 상면에 도달하는 컨택트홀을 형성하는 공정과, 상기 컨택트홀 내에 제3 도전체막을 매립하여 형성하는 공정을 포함하는 것을 특징으로 한다.

또한, 본 발명의 다른 양태의 반도체 장치의 제조 방법은, 반도체 기판 위에 제1 게이트 절연막을 개재하여 부유 게이트로 되는 제1 도전체막을 형성하는 공정과, 적어도 상기 부유 게이트의 게이트 폭 방향의 불필요 부분을 제거하도록, 상기 부유 게이트로 되는 제1 도전체막을 선택적으로 에칭하는 공정과, 상기 기판 위 및 상기 부유 게이트로 되는 제1 도전체막 위에 제2 게이트 절연막을 개재하여 제어 게이트로 되는 제2 도전체막을 형성하는 공정과, 상기 제어 게이트로 되는 제2 도전체막을 상기 부유 게이트로 되는 제1 도전체막과 함께 선택적으로 에칭함으로써, 불휘발성 반도체 메모리 셀 및 메모리 셀 이외의 트랜지스터의 각 게이트 배선 패턴을 형성하는 공정과, 상기 메모리 셀 이외의 트랜지스터의 부분에서, 상기 게이트 배선 패턴을 리소그래피의 기준으로 하고, 상기 제어 게이트로 되는 제2 도전체막 및 제2 절연막을 선택적으로 에칭함으로써, 상기 제어 게이트로 되는 제2 도전체막의 상면으로부터 상기 부유 게이트로 되는 제1 도전체막의 상면에 도달하는 컨택트홀을 형성하는 공정과, 상기 컨택트홀 내에 제3 도전체막을 매립하여 형성하는 공정을 포함하는 것을 특징으로 한다.

<실시예>

본 발명의 실시예를 설명하기 전에, 일반적인 NAND형 불휘발성 반도체 메모리의 제조 방법에 대하여 설명한다. 여기서는, 소자 분리 영역 형성으로부터 게이트 배선 형성, 및 평탄화까지의 공정에 대하여 설명한다.

도 1에, NAND형 불휘발성 반도체 메모리에서, 제어 게이트 형성 후에 기판 표면측에서 본 모식도를 도시한다. 도 1에서, 메모리 영역(10)에서는 소자 영역(11)과 소자 분리 영역(12)이 라인 앤드 스페이스 패턴으로 형성되어 있고, 소자 영역(11)에는, 메모리 셀(13)이 복수개 직렬 접속되어 메모리 셀 유닛을 이루도록 형성되어 있다. NAND형 불휘발성 반도체 메모리로서는 통상, 메모리 셀(13)의 트랜지스터의 게이트 배선의 16개 또는 32개마다 2개의 선택 트랜지스터(14)가 형성되어 있다. 또한, 주변 회로 영역(20)에서는 주변 트랜지스터(25)의 패턴이 형성되어 있다. 이하에서는, 우선 도 1의 A-A' 단면 방향을 예로 들어, NAND형 불휘발성 반도체 메모리의 소자 분리 형성 방법을 설명한다.

우선, 도 2의 (a)에 도시한 바와 같이, 실리콘 기판(101) 위에 터널 절연막(제1 게이트 절연막)(102)을, 열 산화법에 의해 10nm의 두께로 형성한다. 계속해서, 부유 게이트로 되는 인도핑 폴리실리콘막(103)을, LP(Low Pressure)-CVD법에 의해 140nm의 두께로 퇴적한다. 그 후, 동일하게 LP-CVD법에 의해, 실리콘 질화막(104)을 70nm의 두께로 퇴적한다.

계속해서, 도 2의 (b)에 도시한 바와 같이, 소자 분리 영역을 형성하기 위한 레지스트 패턴(105)을, 리소그래피법을 이용하여 실리콘 질화막(104) 위에 형성한다. 계속해서, 도 2의 (c)에 도시한 바와 같이, 레지스트 패턴(105)을 마스크로서 이용하여 드라이 에칭법에 의해, 실리콘 질화막(104), 인도핑 폴리실리콘막(103), 및 터널 절연막(102)을 선택적으로 에칭하고, 또한 실리콘 기판(101)을 표면으로부터 200nm의 깊이까지 에칭한다. 그 후, 도 2의 (d)에 도시한 바와 같이, 레지스트 패턴(105)을 애칭법에 의해 제거함으로써, 실리콘 기판(101)의 표면에 소자 분리 영역용 홈을 형성한다.

계속해서, 도 3의 (e)에 도시한 바와 같이, P(Plasma)-CVD법에 의해 실리콘 산화막(107)을 500nm의 두께로 퇴적한다. 계속해서, 도 3의 (f)에 도시한 바와 같이, 실리콘 질화막(104)을 스토퍼로서 이용하여, CMP(Chemical Mechanical Polishing)법에 의해 실리콘 산화막(107)을 연삭함으로써 소자 표면을 평탄화하고, 실리콘 산화막(107)을 소자 분리 영역에 매립한다.

계속해서, 도 3의 (g)에 도시한 바와 같이, 습식 에칭법을 이용하여 실리콘 질화막(104)을 에칭하여 제거한다. 계속해서, 도 3의 (h)에 도시한 바와 같이, 드라이 에칭법을 이용하여 에칭함으로써, 소자 분리 영역에 매립된 산화막(107)을 인도핑 폴리실리콘막(103)의 표면으로부터 100nm의 깊이까지 제거한다. 이것은 부유 게이트와 제어 게이트 사이의 용량을 크게 하기 위해서이다.

이상의 공정에 의해, 소자 분리 영역(12)에는 실리콘 산화막(107)이 매립되고, 소자 영역(11) 위에는, 후에 부유 게이트로 되는 인도핑 폴리실리콘막(103)이 자기 정합으로 형성된다.

계속해서, 도 1의 B-B' 단면 방향에서의 게이트 배선 형성 방법 및 평탄화까지의 공정을 설명한다. 도 4의 (a)에, 상기 소자 분리 공정 후의 B-B' 단면을 도시한다. 먼저 설명한 바와 같이, 소자 영역(11) 위에는 터널 절연막(102)을 개재하여 인도핑 폴리실리콘막(103)이 퇴적되어 있다.

계속해서, 도 4의 (b)에 도시한 바와 같이, 부유 게이트와 제어 게이트를 절연하기 위해서, LP-CVD법에 의해 게이트 간 절연막으로서 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화막을 적층한 ONO막(제2 게이트 절연막)(109)을 15nm의 두께로 퇴적한다.

계속해서, 도 4의 (c)에 도시한 바와 같이, 리소그래피법을 이용하여, 선택 트랜지스터 및 주변 트랜지스터를 형성하는 영역의 ONO막(109)을 제거하기 위한 레지스트 패턴(111)을 형성한다. 계속해서, 도 4의 (d)에 도시한 바와 같이, 드라이 에칭법을 이용하여 레지스트로 피복되어 있지 않은 부분의 ONO막(109)을 제거한 후에, 레지스트 패턴(111)을 애칭법에 의해 제거한다.

계속해서, 도 4의 (e)에 도시한 바와 같이, 제어 게이트로 되는 인도핑 폴리실리콘막(113)을 80nm의 두께로 퇴적하고, 또한 제어 게이트를 저저항화하기 위해서 텅스텐 실리사이드막(114)을 스퍼터링법에 의해 100nm의 두께로 퇴적한다. 또한, LP-CVD법에 의해 실리콘 질화막(115)을 200nm의 두께로 퇴적한다.

계속해서, 도 5의 (f)에 도시한 바와 같이, 리소그래피법을 이용하여 게이트 배선 가공용 레지스트 패턴(117)을 형성한다. 계속해서, 도 5의 (g)에 도시한 바와 같이, 드라이 에칭법을 이용하여 실리콘 질화막(115)을 에칭한 후, 애칭법에 의해 레지스트 패턴(117)을 제거한다.

계속해서, 도 5의 (h)에 도시한 바와 같이, 실리콘 질화막(115)을 마스크로 하여 텅스텐 실리사이드막(114) 및 인 도핑 폴리실리콘막(113)을 에칭한다. 이 때, ONO막(109)이 드라이 에칭에서의 스토퍼막의 역할을 한다.

계속해서, 도 6의 (i)에 도시한 바와 같이, 동일하게 드라이 에칭법을 이용하여 ONO막(109)을 에칭하고, 또한 드라이 에칭법에 의해 인 도핑 폴리실리콘막(103)을 에칭한다.

이상의 공정에 의해, 상기 도 1과 같이 NAND형 불휘발성 반도체 메모리에서의 메모리 셀(13) 및 선택 트랜지스터(14), 및 주변 트랜지스터(25)가 형성된다. 여기서, 선택 트랜지스터(14) 및 주변 트랜지스터(25)에서는, ONO막(109)의 개공부를 통하여 부유 게이트와 제어 게이트가 전기적으로 접속되어 있다. 이렇게 함으로써, 소자 영역(11)과 소자 분리 영역(12)의 라인 앤드 스페이스 패턴과 대략 직교하는 방향으로, 선택 트랜지스터(14)의 게이트 배선 패턴을 형성하는 것이 가능해지고, 또한 주변 트랜지스터(25)의 게이트 배선의 배선 저항을 부유 게이트만으로 형성하는 경우에 비하여 저감할 수 있다.

도 6의 (i)의 공정 후에, 도 6의 (j)에 도시한 바와 같이, LP-CVD법에 의해 실리콘 산화막(121)을 60nm의 두께로 퇴적한다. 계속해서, 실리콘 기판(101)을 스토퍼로서 이용하여, 드라이 에칭법에 의해 전면 에치백을 행하고, 또한 산화 분위기에서의 열 처리에 의해 노출된 실리콘 기판(101)의 표면을 10nm 산화한다.

계속해서, LP-CVD법에 의해 실리콘 질화막(122)을 20nm의 두께로 퇴적하고, 또한 LP-CVD법에 의해 실리콘 산화막(123)을 700nm의 두께로 퇴적한다. 계속해서, 실리콘 질화막(122)을 스토퍼로서 이용하여, CMP법에 의해 실리콘 산화막(123)을 연마함으로써, 소자 표면을 평탄화한다. 이에 의해, 도 6의 (k)에 도시한 바와 같이 게이트 배선 형성 및 평탄화까지의 공정이 완료된다.

이상의 제조 기술에서는, 선택 트랜지스터 및 주변 트랜지스터의 게이트 배선을 형성하기 위해서, 다음과 같이 하고 있다. 즉, 소자 분리 영역을 형성한 후에, 부유 게이트로 되는 도전체막(103) 위에 ONO막(109)을 퇴적하고, 그 다음으로 리소그래피법 및 드라이 에칭법을 이용하여 ONO막(109)의 일부에 개공 영역을 형성한다. 계속해서, 제어 게이트로 되는 도전체막(113)을 퇴적한 후에, 리소그래피에 의해 게이트 배선 패턴을 형성한다. 이 때문에, 개공 영역을 형성하기 위한 리소그래피는 소자 분리 영역 형성을 위한 리소그래피에 정합하게 된다. 또한, 게이트 배선 패턴 형성을 위한 리소그래피도 소자 분리 영역 형성을 위한 리소그래피에 정합하게 된다. 이 때문에, 개공 영역을 형성하기 위한 리소그래피와 게이트 배선 형성의 리소그래피는 간접 정합으로 되어, 정합 마진을 크게 취할 필요가 있다.

정합 마진을 크게 취할 필요가 있는 것은, 다음과 같은 이유 때문이다. 즉, 오정렬이 크면, 상기 도 5의 (h)의 드라이 에칭 중에 ONO막(109)이 에칭 스토퍼막으로서 존재하지 않는 개소가 발생하기 때문에, 부유 게이트의 인 도핑 폴리실리콘막(103)도 에칭되게 된다. 그리고, 다음의 부유 게이트의 인 도핑 폴리실리콘막(103)의 에칭 시에 터널 절연막(102)으로 에칭을 스톱시키는 것이 곤란해져서, 실리콘 기판(101)도 에칭되게 된다.

본 실시예에서는, 이러한 문제를 해결하기 위해서, 이하와 같은 구성 및 제조 방법을 채용하고 있다.

(제1 실시예)

도 7~도 10은, 본 발명의 제1 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도이다. 또, 이 단면은 상기 도 1의 B-B' 단면에 상당하고 있다.

상기 도 4의 (b)의 공정까지는, 종래 기술과 동일하다. 이 공정 후에, 도 7의 (a)에 도시한 바와 같이, LP-CVD법에 의해 인 도핑 폴리실리콘막(113)을 80nm의 두께로 퇴적하고, 그 위에 스팍터링법에 의해 텅스텐 실리사이드막(114)을 100nm의 두께로 퇴적한다. 또한, LP-CVD법에 의해 실리콘 질화막(115)을 200nm의 두께로 퇴적한다.

계속해서, 도 7의 (b)에 도시한 바와 같이, 리소그래피법을 이용하여 게이트 배선 가공용 레지스트 패턴(117)을 형성한다. 계속해서, 도 7의 (c)에 도시한 바와 같이, 레지스트 패턴(117)을 마스크로 하여 드라이 에칭법에 의해 실리콘 질화막(115)을 에칭한 후, 에칭법에 의해 레지스트 패턴(117)을 제거한다.

계속해서, 도 8의 (d)에 도시한 바와 같이, 실리콘 질화막(115)을 마스크로 하여, 텅스텐 실리사이드막(114) 및 인 도핑 폴리실리콘막(113)을, 드라이 에칭법에 의해 에칭한다. 이 때, ONO막(109)이 드라이 에칭에서의 스토퍼막의 역할을 한다.

계속해서, 도 8의 (e)에 도시한 바와 같이, 동일하게 드라이 에칭법을 이용하여 ONO막(109)을 에칭하고, 또한 드라이 에칭법에 의해 인 도핑 폴리실리콘막(103)을 에칭한다.

계속해서, 도 8의 (f)에 도시한 바와 같이, LP-CVD법에 의해 실리콘 산화막(121)을 60nm의 두께로 퇴적한 후, 실리콘 기판(101)을 스토퍼로서 이용하여, 드라이 에칭 기술에 의해 전면 에치백한다. 이에 의해, 메모리 셀부에서는 게이트 사이에 실리콘 산화막(121)이 매립되고, 선택 트랜지스터부 및 주변 트랜지스터부에서는 게이트 측벽에 실리콘 산화막(121)이 남게 된다. 그 후, 산화 분위기에서의 열 처리에 의해 노출된 실리콘 기판(101)의 표면을 산화한다.

계속해서, 도 8의 (g)에 도시한 바와 같이, LP-CVD법에 의해 실리콘 질화막(122)을 20nm의 두께로 퇴적한다. 또, 이 실리콘 질화막(122)은, 비트선 컨택트, 소스선 컨택트 형성 시의 에칭 스토퍼로서도 이용된다.

계속해서, 도 9의 (h)에 도시한 바와 같이, LP-CVD법에 의해 실리콘 산화막(123)을 700nm의 두께로 퇴적한 후, 실리콘 질화막(122)을 스토퍼로서 이용하여, CMP법에 의해 실리콘 산화막(123)을 연마함으로써, 소자 표면을 평탄화한다.

계속해서, 도 9의 (i)에 도시한 바와 같이, 선택 트랜지스터 위 및 주변 트랜지스터 위에서 ONO막(109)을 제거하기 위한 레지스트 패턴(124)을, 리소그래피법을 이용하여 형성한다. 이 ONO막(109)의 제거는, 선택 트랜지스터 및 주변 트랜지스터에서 부유 게이트와 제어 게이트를 전기적으로 접속하기 위해서이다.

계속해서, 도 9의 (i)에 도시한 바와 같이, 레지스트 패턴(124)을 마스크로 하여 드라이 에칭법에 의해 실리콘 질화막(122, 115)과 텅스텐 실리사이드막(114) 및 인도핑 폴리실리콘막(113)을 제거한다. 계속해서, 노출된 ONO막(109)을 에칭에 의해 제거한다.

계속해서, 도 10의 (k)에 도시한 바와 같이, 애싱법에 의해 레지스트 패턴(124)을 제거한다. 계속해서, 도 10의 (l)에 도시한 바와 같이, 스퍼터링법에 의해 배리어 메탈로서 티탄막(131) 및 티탄 질화막(132)을 각각 20nm씩 퇴적하고, 또한 P-CVD법에 의해 텅스텐막(133)을 150nm의 두께로 퇴적한다.

계속해서, 도 10의 (m)에 도시한 바와 같이, 실리콘 질화막(122) 및 실리콘 산화막(123)을 스토퍼로서 이용하여, CMP법에 의해 표면의 텅스텐막(133), 티탄 질화막(132), 및 티탄막(131)을 연마하여 제거한다.

또, 도면에는 도시하지 않지만, 메모리 셀, 선택 트랜지스터, 및 주변 트랜지스터의 각 부분에서, 게이트부의 양단에 소스/드레인 확산층이 형성되고, 메모리 셀 및 선택 트랜지스터로서는 인접하는 것끼리 접속되어 메모리 셀 유닛으로서의 NAND 셀 유닛이 구성되게 된다. 또한, NAND 셀 유닛의 드레인측, 소스측의 선택 트랜지스터 사이에서, 실리콘 산화막(123) 및 실리콘 질화막(122)을 선택 에칭함으로써, 각각 비트선 컨택트, 소스선 컨택트가 형성되게 되어 있다.

이상의 공정에 의해, 선택 트랜지스터 및 주변 트랜지스터에서는, 배리어 메탈 및 텅스텐 플러그를 통하여 부유 게이트와 제어 게이트가 전기적으로 접속되기 때문에, 배선 저항을 저감화할 수 있다. 또한, 부유 게이트와 제어 게이트의 접속부를 형성하기 위한 리소그래피는, 게이트 배선 형성을 위한 리소그래피 후에 행하기 때문에, 이미 형성된 게이트 배선에 직접 정합하는 것이 가능하다. 따라서, 종래법에 비하여, 리소그래피의 정합 정밀도를 높일 수 있어, 정합 마진을 작게 할 수 있다. 이에 의해, 칩 사이즈의 축소화 및 비용의 저감에 기여할 수 있다.

(제2 실시예)

도 11~도 13은, 본 발명의 제2 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도이다. 또, 이 단면은, 상기 도 1의 B-B' 단면에 상당하고 있다. 또, 도 11~도 13의 부호 201~224는 도 2~도 10의 부호 101~124에 대응하고 있다.

도 11의 (a)의 공정까지는, 제1 실시예의 도 9의 (i)의 공정까지와 기본적으로는 동일하지만, 텅스텐 실리사이드막(114)이 없는 대신에 인도핑 폴리실리콘막(213)이 200nm로 두텁게 형성되어 있다.

이후, 도 11의 (b)에 도시한 바와 같이, 드라이 에칭법에 의해, 레지스트 패턴(224)을 마스크로 하여 실리콘 질화막(222, 215)과 인도핑 폴리실리콘막(213)을 제거한다. 계속해서, 도 11의 (c)에 도시한 바와 같이, 애싱법에 의해 레지스트 패턴(224)을 제거한다.

계속해서, 도 12의 (d)에 도시한 바와 같이, 실리콘 질화막과 실리콘 산화막의 애칭 레이트가 대략 동일해지는 조건으로, 드라이 에칭법에 의해 인도핑 폴리실리콘막(213)의 상면이 노출하기까지 전면 애치백을 행한다. 이 때, 인도핑 폴리실리콘막(213)의 개공부에서는 부유 게이트 표면의 ONO막(209)도 동시에 애칭된다.

계속해서, 도 12의 (e)에 도시한 바와 같이, LP-CVD법에 의해 전면에 인도핑 폴리실리콘막(241)을 퇴적한다. 계속해서, 도 12의 (f)에 도시한 바와 같이, 실리콘 산화막(223)을 스토퍼로서 이용하여, CMP법에 의해 표면의 인도핑 폴리실리콘막(241)을 연마하여 제거한다.

계속해서, 도 13의 (g)에 도시한 바와 같이, 전면에 코발트막(251) 및 티탄 질화막(252)을 스퍼터링법에 의해 퇴적한다. 계속해서, 도 13의 (h)에 도시한 바와 같이, 열 처리에 의해 인도핑 폴리실리콘막(213, 241)의 표면 위에 코발트 실리사이드막(253)을 형성한 후, 미반응의 코발트막(251) 및 티탄 질화막(252)을 습식 에칭법에 의해 제거한다.

이상의 공정에 의해, 선택 트랜지스터 및 주변 트랜지스터에서는, 부유 게이트와 제어 게이트가 인도핑 폴리실리콘막(241)으로 전기적으로 접속되기 때문에, 배선 저항을 저감화할 수 있다. 또한, 부유 게이트와 제어 게이트와의 접속부를 형성하기 위한 리소그래피는, 게이트 배선 형성을 위한 리소그래피 후에 행하기 때문에, 이미 형성된 게이트 배선에 직접 정합하는 것이 가능하다. 따라서, 제1 실시예와 마찬가지의 효과가 얻어진다. 또한, 제1 실시예와 비교하면, 제어 게이트 부분이 인도핑 폴리실리콘막(213)의 단막으로 형성되어 있기 때문에, 제어 게이트 부분의 애칭 시에 텅스텐 실리사이드막을 애칭할 필요가 없어져서, 제어 게이트부의 애칭이 용이해지는 이점이 있다.

(제3 실시예)

도 14~도 16은, 본 발명의 제3 실시예에 따른 NAND형 불휘발성 반도체 메모리의 제조 공정을 도시하는 단면도이다. 또, 이 단면은, 상기 도 1의 B-B' 단면에 상당한다. 또한, 도 14~도 16의 부호 301~353은 도 11~도 13의 부호 201~253에 대응하고 있다.

도 14의 (a)의 공정까지는, 제2 실시예의 도 11의 (a)의 공정까지와 기본적으로는 동일하다. 단, 도 11의 (a)에서는 레지스 트 패턴(224)이 선택 트랜지스터 위 및 주변 트랜지스터 위에 슬릿형 개구를 갖도록 형성되어 있는데 대하여, 도 14의 (a)에서는 레지스트 패턴(324)은 2개의 선택 트랜지스터 사이에서 연속하는 큰 개구를 갖도록 형성되어 있다. 또한, 주변 트 랜지스터의 부분에서는 레지스트 패턴(324)을 형성하지 않도록 하고 있다.

이 후, 도 14의 (b)에 도시한 바와 같이, 드라이 에칭법에 의해, 레지스트 패턴(324)을 마스크로 하여 실리콘 질화막(322, 315)을 제거한다. 계속해서, 도 14의 (c)에 도시한 바와 같이, 드라이 에칭법에 의해 인도핑 폴리실리콘막(313)을 제거한다. 그 후, 도 15의 (d)에 도시한 바와 같이, 애싱법에 의해 레지스트 패턴(324)을 제거한다.

계속해서, 도 15의 (e)에 도시한 바와 같이, 실리콘 질화막과 실리콘 산화막의 애칭 레이트가 대략 동일해지는 조건으로, 드라이 에칭법에 의해 인도핑 폴리실리콘막(313)의 상면이 노출할 때까지 전면 에치백을 행한다. 이 때, 인도핑 폴리실리 콘막(313)의 개구부에서는 부유 게이트 표면의 ONO막(309)도 동시에 애칭된다.

계속해서, 도 15의 (f)에 도시한 바와 같이, LP-CVD법에 의해 전면에 인도핑 폴리실리콘막(341)을 퇴적한다. 그 후, 도 16의 (g)에 도시한 바와 같이, 실리콘 산화막(323)을 스토퍼로서 이용하여, CMP법에 의해 표면의 인도핑 폴리실리콘막(341)을 연마하여 제거한다.

계속해서, 도 16의 (h)에 도시한 바와 같이, 전면에 코발트막(351) 및 티탄 질화막(352)을 스퍼터링법에 의해 퇴적한다. 계속해서, 도 16의 (i)에 도시한 바와 같이, 열 처리에 의해 인도핑 폴리실리콘막(313, 341)의 표면 위에 코발트 실리사이드막(353)을 형성한 후, 미반응의 코발트막(351) 및 티탄 질화막(352)을 습식 애칭법에 의해 제거한다.

이상의 공정에 의해, 선택 트랜지스터 및 주변 트랜지스터에서는, 부유 게이트와 제어 게이트가 인도핑 폴리실리콘막(341)으로 전기적으로 접속되기 때문에, 배선 저항을 저감화할 수 있다. 또, 부유 게이트와 제어 게이트와의 접속부를 형성하기 위한 리소그래피는, 게이트 배선 형성을 위한 리소그래피 후에 행하기 때문에, 이미 형성된 게이트 배선에 직접 정합하는 것이 가능하다. 따라서, 제1 및 제2 실시예와 마찬가지의 효과가 얻어진다.

또한, 제2 실시예와 비교하면, 부유 게이트와 제어 게이트와의 접속부를 형성하기 위한 리소그래피에서, 선택 트랜지스터 위 및 주변 트랜지스터 위에 미세한 슬릿형 개구를 갖도록 형성할 필요가 없어지기 때문에, 리소그래피가 용이해진다는 이점이 있다. 또한, 리소그래피가 용이해지기 때문에, 선택 트랜지스터의 치수 및 선택 트랜지스터 사이의 스페이스를 작게 하는 것도 가능해져서, 칩 사이즈를 더욱 축소하여 한층 더 비용 저감을 도모할 수 있다.

또한, 부유 게이트로 되는 인도핑 폴리실리콘막(303)과 접속부의 인도핑 폴리실리콘막(341)과의 접촉 면적을 크게 할 수 있기 때문에, 컨택트 면적의 증대에 의해 컨택트 저항의 저감을 도모할 수 있다.

(변형 예)

또, 본 발명은 상술한 각 실시예에 한정되는 것은 아니다. 실시예에서는, NAND형 불휘발성 반도체 메모리에 대하여 설명했지만, 본 발명은 반드시 NAND형에 한하지 않고, 메모리 셀과 선택 트랜지스터 또는 주변 트랜지스터를 갖는 각종 불휘발성 반도체 메모리에 적용할 수 있다. 또, 각 부의 재료, 두께 등의 조건은 사양에 따라서 적절하게 변경 가능하다. 그 외에, 본 발명의 요지를 일탈하지 않는 범위에서, 여러가지 변형하여 실시할 수 있다.

발명의 효과

본 발명에 따르면, 제어 게이트로 되는 제2 도전체막에 컨택트홀을 형성하고, 이 컨택트홀에 제3 도전체막을 매립하여 형성함으로써, 제어 게이트로 되는 제2 도전체막과 부유 게이트로 되는 제1 도전체막을 전기적으로 접속할 수 있다. 그리고 이 경우, 제어 게이트의 패턴 형성 후에, 컨택트홀 형성을 위한 리소그래피를 행함으로써, 리소그래피를 게이트 배선에 맞추어서 행할 수 있다. 즉, 게이트 사이의 절연막의 개공 영역을 형성하기 위한 리소그래피와 게이트 배선 형성을 위한 리소그래피가 직접 정합으로 되어, 리소그래피의 정합 정밀도를 높일 수 있다. 따라서, 미세한 게이트 치수에 대해서도 리소그래피의 직접 정합으로 접속부의 패턴을 형성하는 것이 가능하고, 칩 사이즈를 작게 하여 비용을 저감하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

반도체 기판 위에 제1 게이트 절연막을 개재하여 형성된 부유 게이트로 되는 제1 도전체막과,

상기 부유 게이트로 되는 제1 도전체막 위에 제2 게이트 절연막을 개재하여 형성된 제어 게이트로 되는 제2 도전체막과,

상기 제2 도전체막의 상면으로부터 상기 제1 도전체막의 상면에 도달하도록, 상기 제2 도전체막 및 제2 게이트 절연막을 일부 제거함으로써 형성된 컨택트홀 내에 매립하여 형성된 제3 도전체막

을 구비하여 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 2.

반도체 기판 위에 부유 게이트와 제어 게이트를 적층하여 형성된 스택 게이트 구성의 불휘발성 반도체 메모리 셀과,

상기 반도체 기판 위에, 상기 부유 게이트로 되는 제1 도전체막과 상기 제어 게이트로 되는 제2 도전체막을 적층하고, 이들 제2 도전체막, 제1 도전체막이 전기적으로 접속되어 게이트 배선이 형성된 메모리 셀 이외의 트랜지스터를 구비하여 이후 어지고,

상기 메모리 셀 이외의 트랜지스터의 부분은, 상기 제2 도전체막의 상면으로부터 상기 제1 도전체막의 상면에 도달하도록 형성된 컨택트홀 내에 제3 도전체막이 매립되어 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제2항에 있어서,

상기 불휘발성 반도체 메모리 셀이 복수개 직렬 접속되어 이루어진 NAND 셀 유닛이 상기 반도체 기판의 영역에 복수개 배치되어 불휘발성 메모리 어레이를 구성하고,

상기 불휘발성 반도체 메모리 셀의 직렬 접속부의 양단에 형성된 선택 트랜지스터 및 상기 반도체 기판의 주변 회로 영역에 형성된 주변 트랜지스터의 부분에서, 상기 컨택트홀 내에 상기 제3 도전체막이 매립되어 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 컨택트홀 내에 매립된 제3 도전체막은, 상기 제어 게이트로 되는 제2 도전체막과는 다른 도전 재료로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 제3 도전체막은, 배리어 메탈을 개재하여 상기 컨택트홀 내에 매립되어 형성되어 있는 반도체 장치.

청구항 6.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 컨택트홀 내에 매립된 제3 도전체막 및 상기 제어 게이트로 되는 제2 도전체막은 실리콘막으로 형성되고, 상기 실리콘막의 표면이 실리사이드화되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7.

반도체 기판 위에, 제1 게이트 절연막, 부유 게이트로 되는 제1 도전체막, 제2 게이트 절연막, 및 제어 게이트로 되는 제2 도전체막이 적층되어 이루어진 스택 게이트 구성의 게이트 배선 패턴을 형성하는 공정과,

상기 제어 게이트로 되는 제2 도전체막 및 제2 게이트 절연막을 일부 제거함으로써, 상기 제어 게이트로 되는 제2 도전체막의 상면으로부터 상기 부유 게이트로 되는 제1 도전체막의 상면에 도달하는 컨택트홀을 형성하는 공정과,

상기 컨택트홀 내에 제3 도전체막을 매립하여 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8.

반도체 기판 위에 제1 게이트 절연막을 개재하여 부유 게이트로 되는 제1 도전체막을 형성하는 공정과,
 적어도 상기 부유 게이트의 게이트 폭 방향의 불필요 부분을 제거하도록, 상기 부유 게이트로 되는 제1 도전체막을 선택적으로 에칭하는 공정과,
 상기 기판 위 및 상기 부유 게이트로 되는 제1 도전체막 위에 제2 게이트 절연막을 개재하여 제어 게이트로 되는 제2 도전체막을 형성하는 공정과,
 상기 제어 게이트로 되는 제2 도전체막을 상기 부유 게이트로 되는 제1 도전체막과 함께 선택적으로 에칭함으로써, 불휘발성 반도체 메모리 셀 및 메모리 셀 이외의 트랜지스터의 각 게이트 배선 패턴을 형성하는 공정과,
 상기 메모리 셀 이외의 트랜지스터의 부분에서, 상기 게이트 배선 패턴을 리소그래피의 기준으로 하여, 상기 제어 게이트로 되는 제2 도전체막 및 제2 절연막을 선택적으로 에칭함으로써, 상기 제어 게이트로 되는 제2 도전체막의 상면으로부터 상기 부유 게이트로 되는 제1 도전체막의 상면에 도달하는 컨택트홀을 형성하는 공정과,
 상기 컨택트홀 내에 제3 도전체막을 매립하여 형성하는 공정
 을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9.

제7항 또는 제8항에 있어서,

상기 컨택트홀의 형성을, 상기 게이트 배선 사이에 평탄화용 절연막을 매립한 후에 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

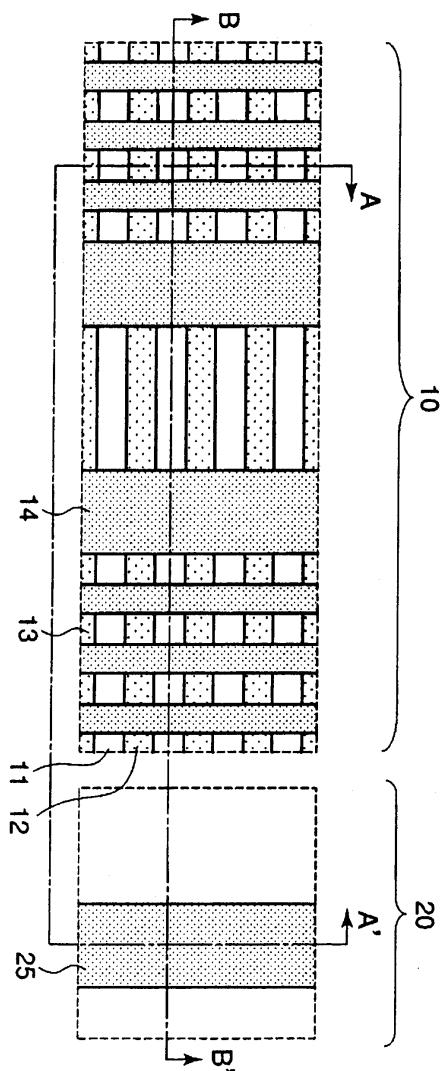
청구항 10.

제8항에 있어서,

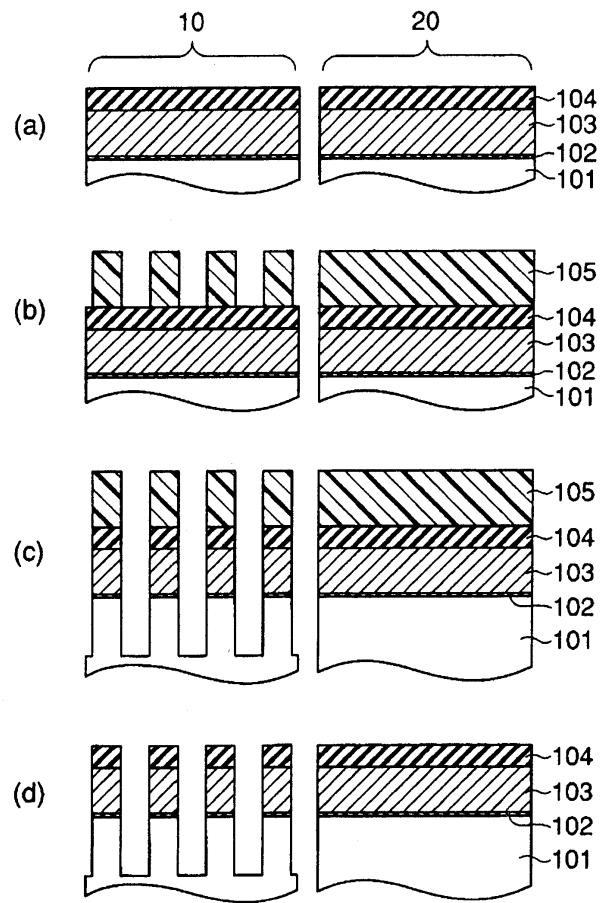
상기 게이트 배선 패턴 사이에 평탄화용 절연막을 매립한 후에, 상기 불휘발성 메모리 셀의 선택 트랜지스터의 부분에서는 상기 게이트 배선 패턴의 1변을 포함하여 그 일부가 노출되고, 주변 트랜지스터의 부분에서는 상기 게이트 배선 패턴의 전부가 노출되는 개구를 갖는 레지스트 패턴을 형성하고, 계속해서 상기 레지스트 패턴을 마스크로 하여 상기 컨택트홀 형성을 위한 에칭을 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

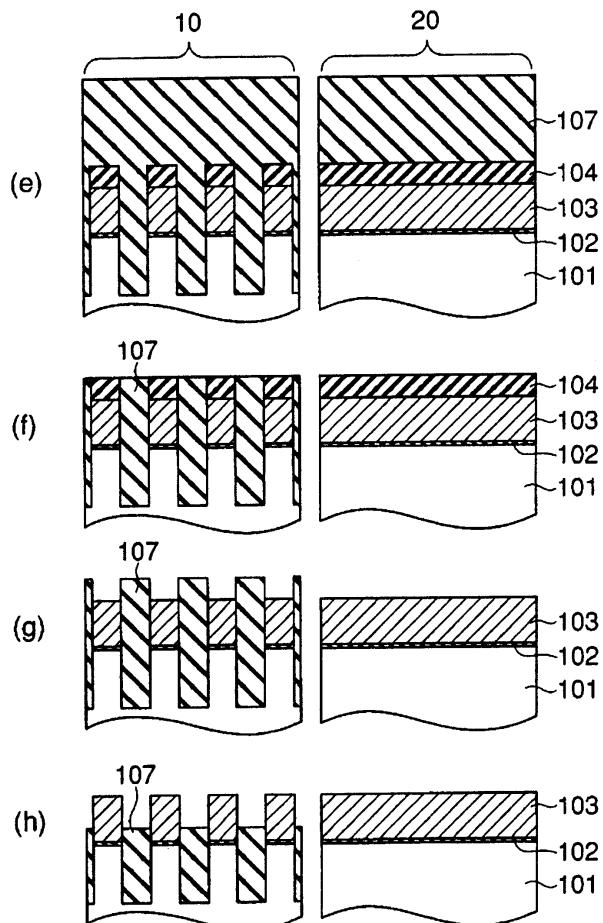
도면1



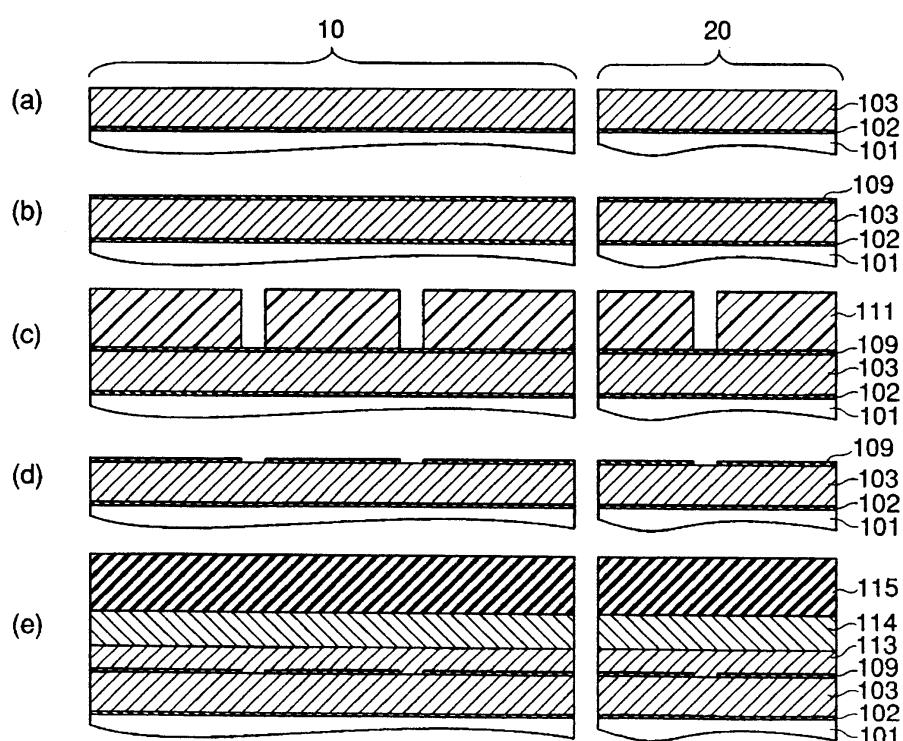
도면2



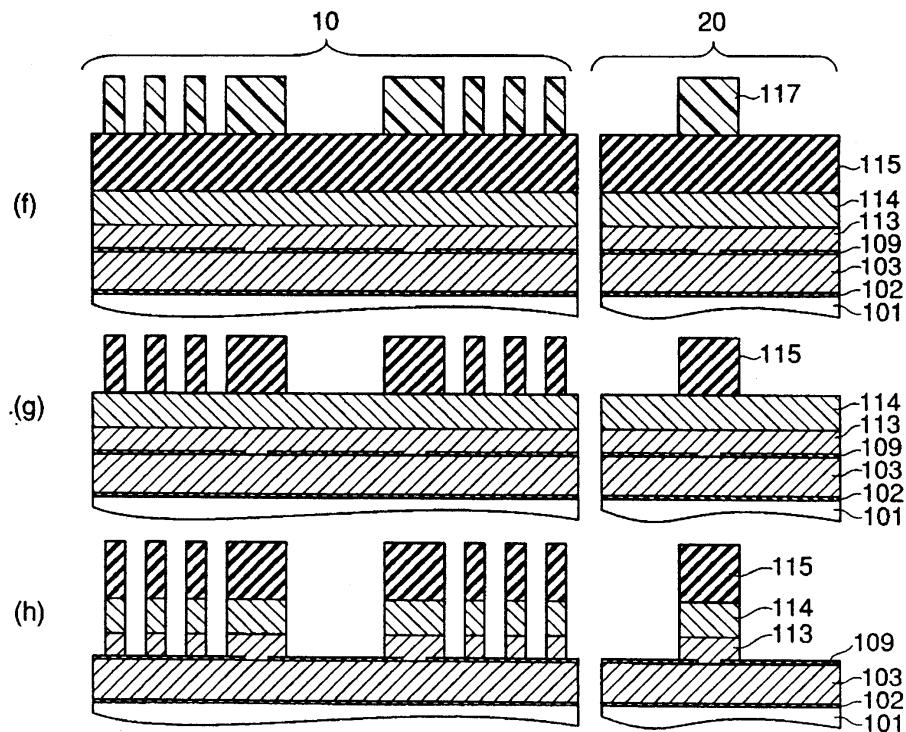
도면3



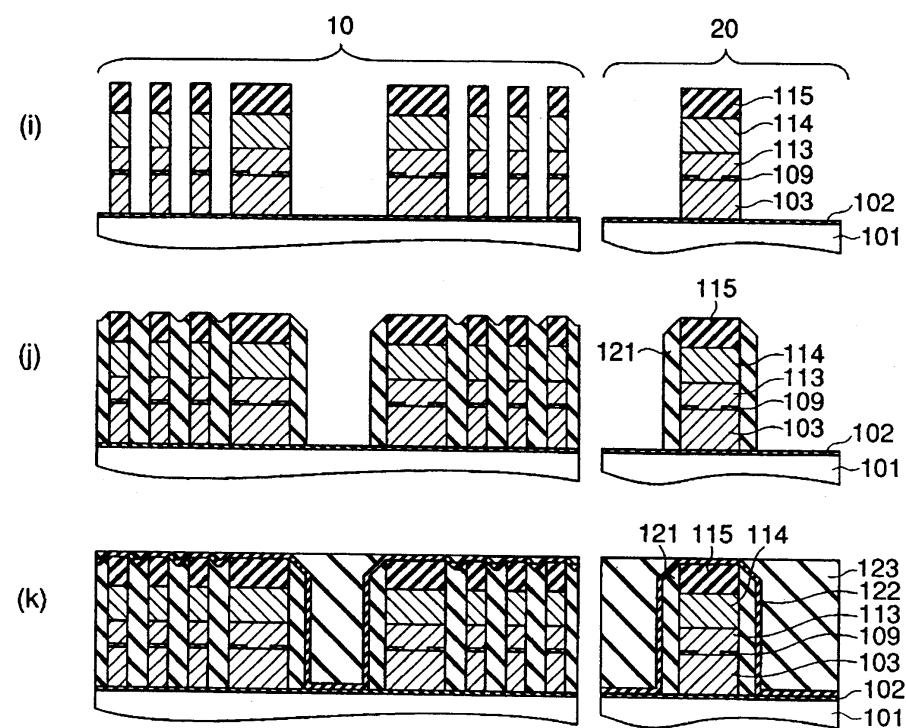
도면4



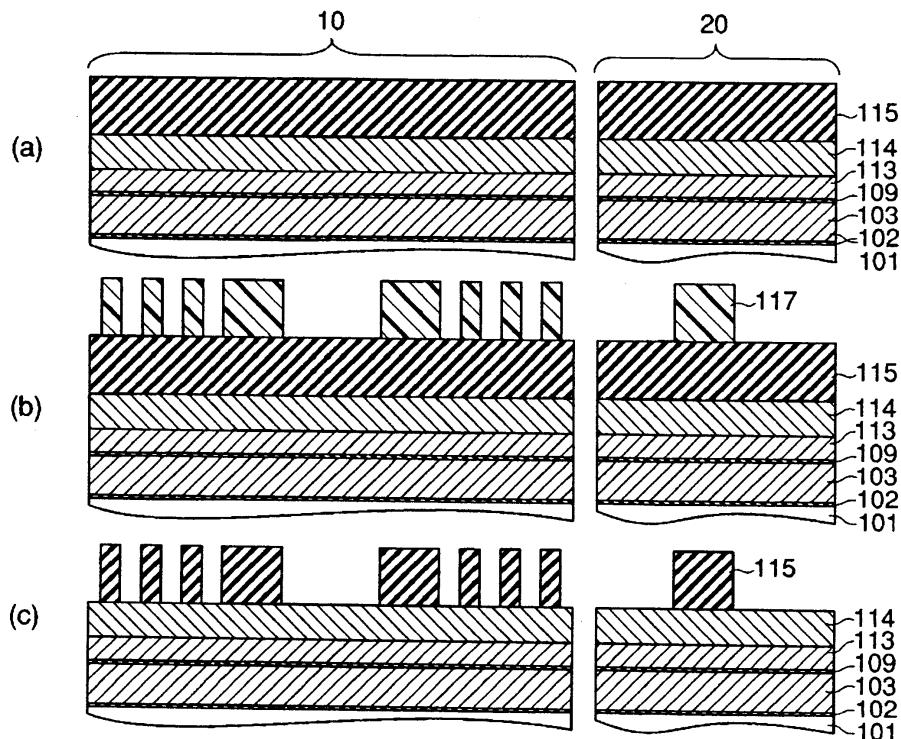
도면5



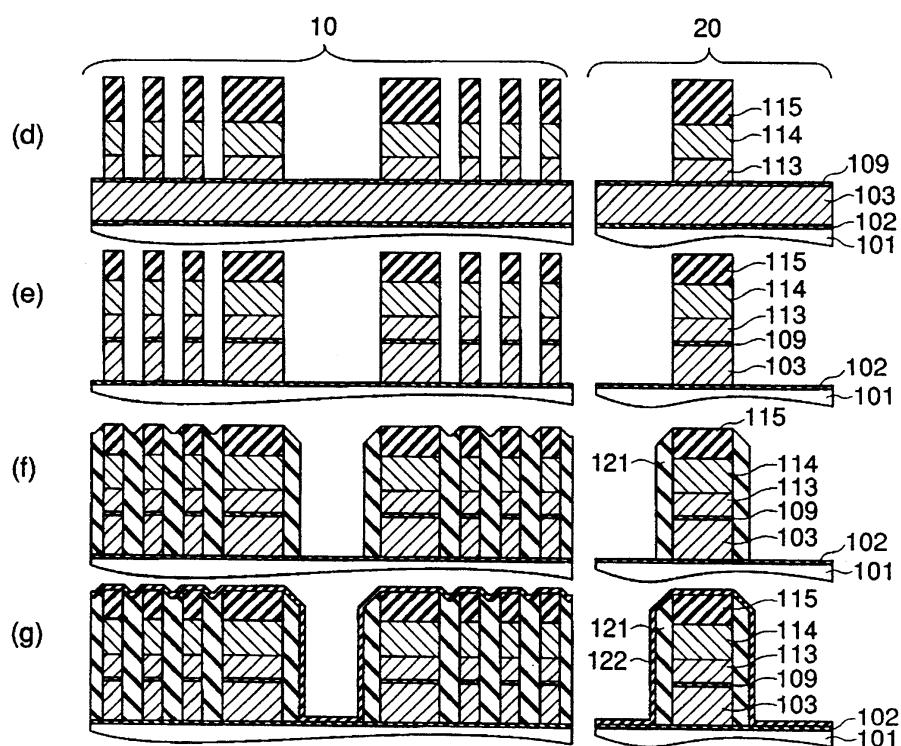
도면6



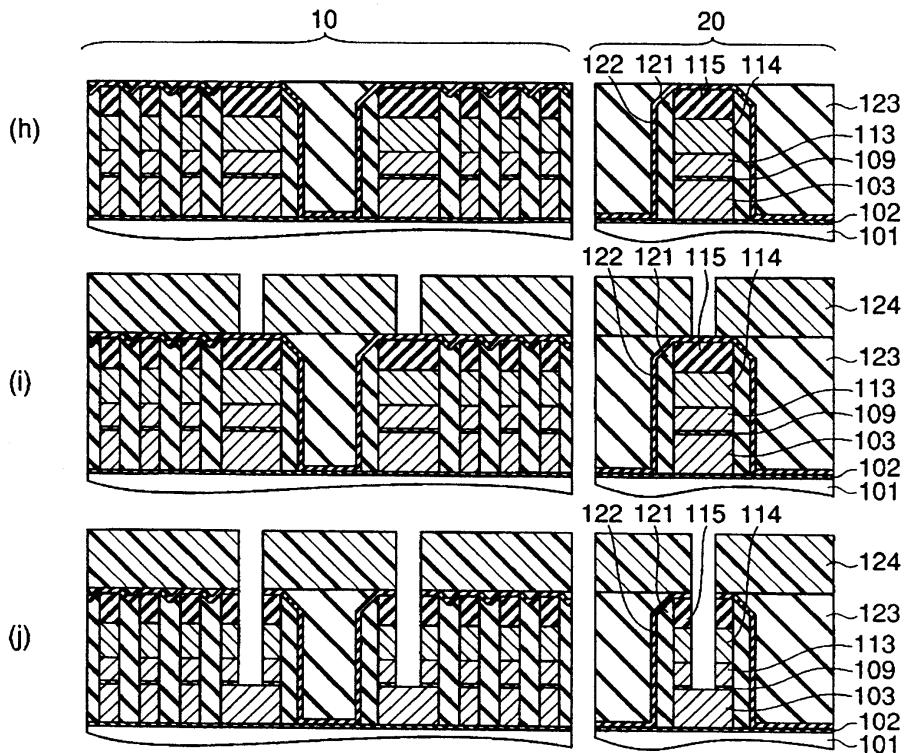
도면7



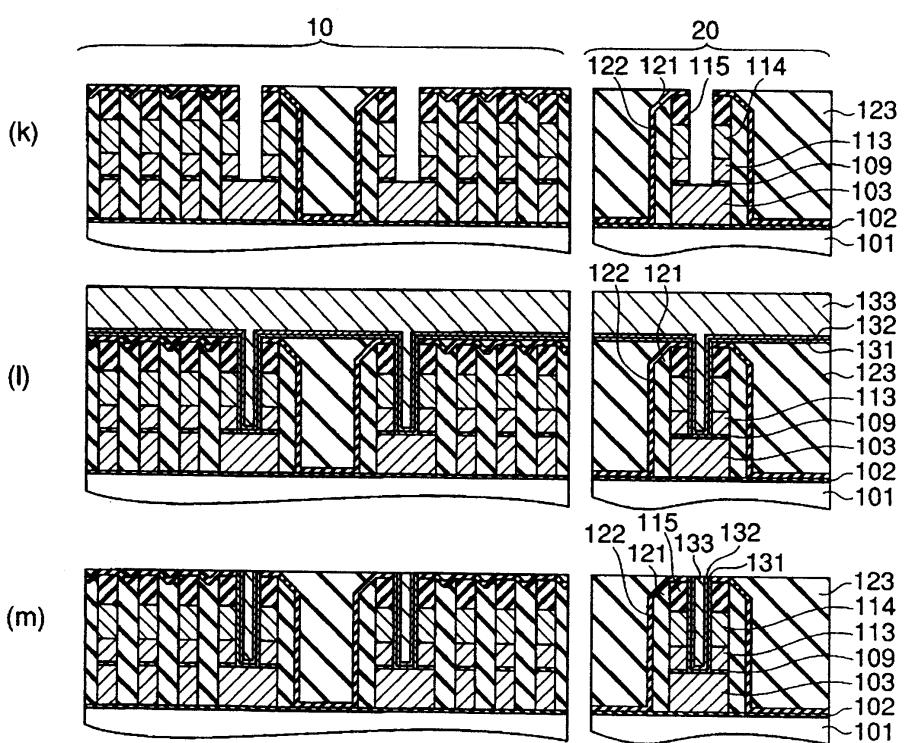
도면8



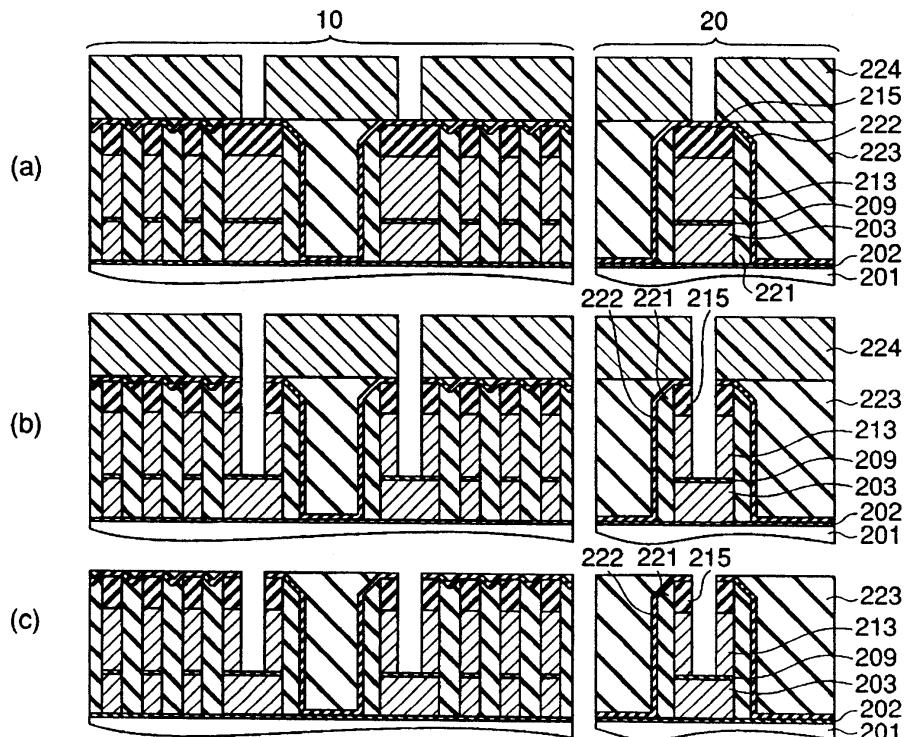
도면9



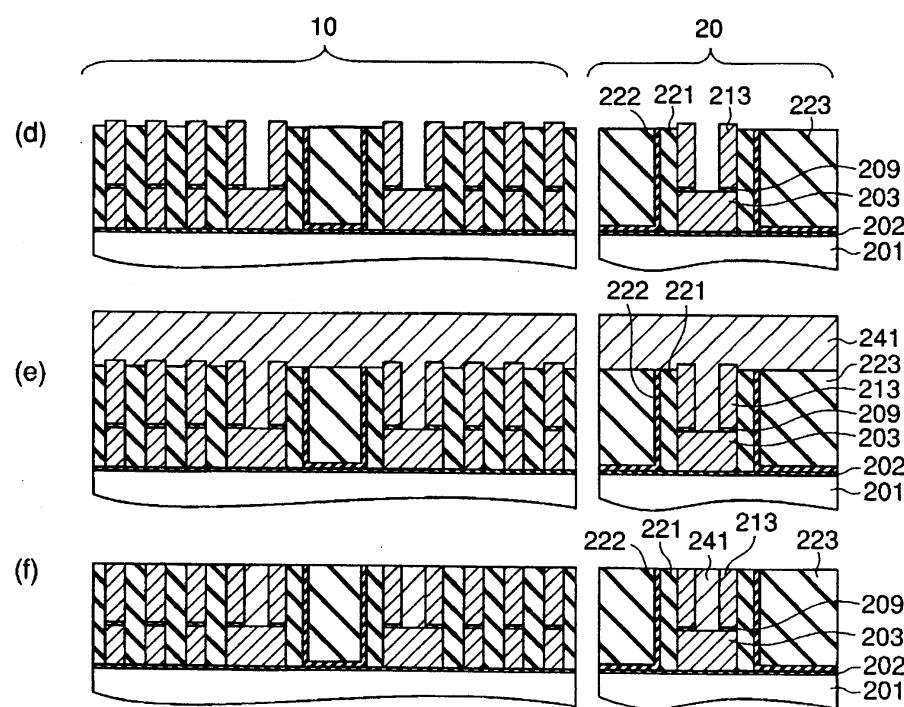
도면10



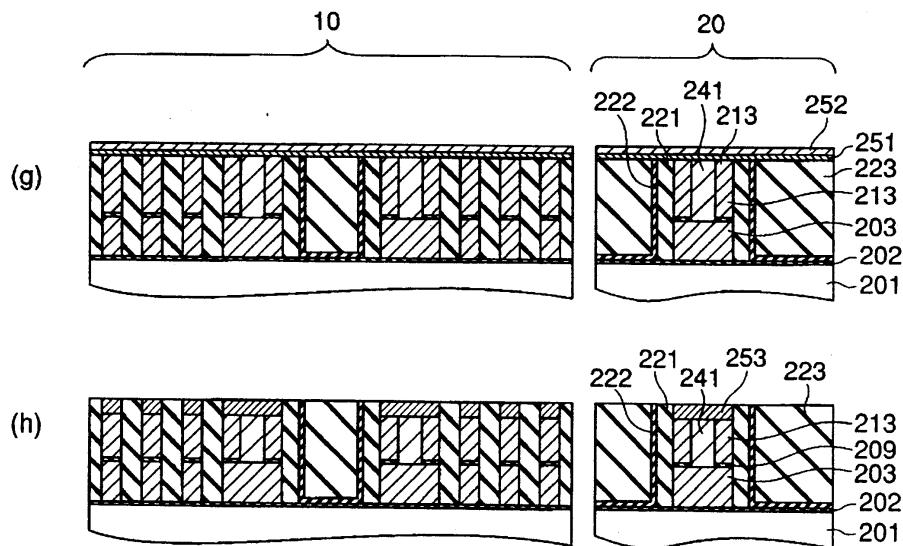
도면11



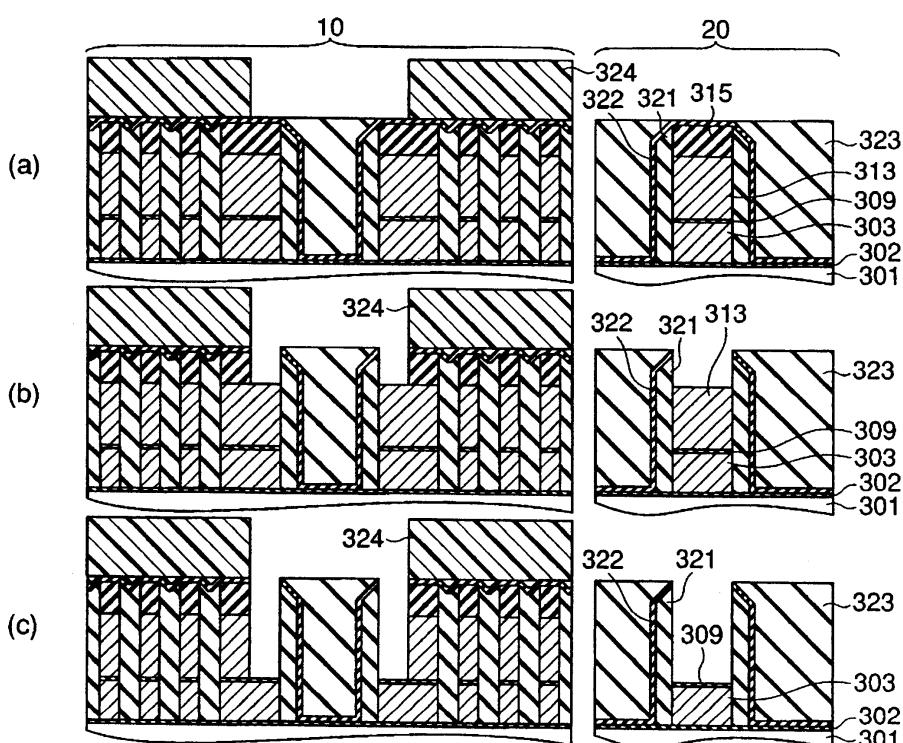
도면12



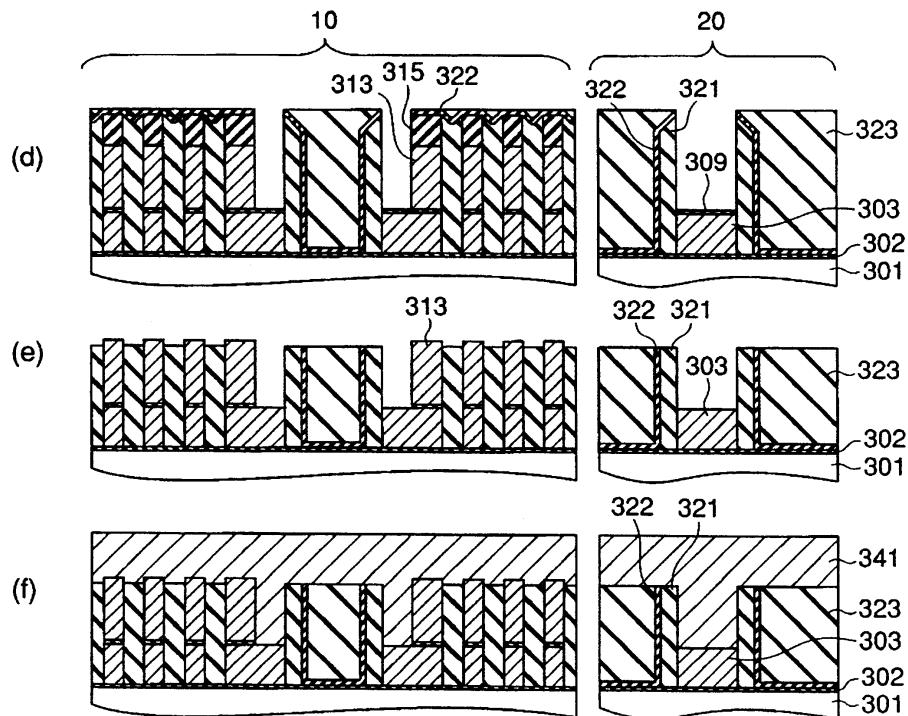
도면13



도면14



도면15



도면16

