(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3545084号
(P3545084)
(45)発行日　平成16年7月21日(2004.7.21)　(24)登録日　平成16年4月16日(2004.4.16)

(51)Int.Cl.[7]　F I
H01L 21/28　H01L 21/28　301T

請求項の数 5　(全 11 頁)

(21)出願番号　特願平7-61421
(22)出願日　平成7年3月20日(1995.3.20)
(65)公開番号　特開平8-264482
(43)公開日　平成8年10月11日(1996.10.11)
審査請求日　平成14年2月28日(2002.2.28)

(73)特許権者　000005223
富士通株式会社
神奈川県川崎市中原区上小田中４丁目１番１号
(74)代理人　100087479
弁理士　北野　好人
(72)発明者　伏田　篤郎
神奈川県川崎市中原区上小田中１０１５番地　富士通株式会社内

審査官　小野田　誠

(56)参考文献　特開平０７－２８３１６８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/28

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
不純物拡散層上に高融点金属膜を堆積する高融点金属膜堆積工程と、
第１の温度で熱処理することにより、前記不純物拡散層上に高融点金属シリサイド膜を形成する第１の熱処理工程と、
前記第１の熱処理工程において反応しなかった前記高融点金属膜を除去する高融点金属膜除去工程と、
第１の温度より高い第２の温度で熱処理を行う第２の熱処理工程と、
第２の温度より高い第３の温度で熱処理を行う第３の熱処理工程と
を有する半導体装置の製造方法であって、
前記第１の熱処理工程では、５２５～６２５℃の温度による短時間アニールを行い、
前記第２の熱処理工程では、７３５℃以上の温度による短時間アニールを行う
ことを特徴とする半導体装置の製造方法。
【請求項２】
請求項１記載の半導体装置の製造方法において、
前記第２の熱処理工程が終了した後に前記第２の温度から前記第３の温度まで昇温し、前記第３の熱処理工程を行う
ことを特徴とする半導体装置の製造方法。
【請求項３】
請求項１又は２記載の半導体装置の製造方法において、

前記高融点金属膜はコバルト膜である
ことを特徴とする半導体装置の製造方法。
【請求項４】
請求項１乃至３のいずれかに記載の半導体装置の製造方法において、
前記第３の熱処理工程では、８００℃以上の温度による短時間アニールを行う
ことを特徴とする半導体装置の製造方法。
【請求項５】
請求項１乃至４のいずれかに記載の半導体装置の製造方法において、
前記不純物拡散層の深さが０．１μｍ以下である
ことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体装置における電極形成方法に係り、特に、自己整合により高融点金属シリサイドを形成する半導体装置の製造方法に関する。
【０００２】
【従来の技術】
ＬＳＩの高集積化に伴い、素子の微細化による短チャネル効果などが問題となっている。短チャネル効果を抑制するためには拡散層を浅くすることが有効であるが、一方で拡散層抵抗が増大するという問題が生ずる。
このため、拡散層深さを犠牲にすることなく拡散層を低抵抗化する技術として、ゲート電極上及びソース／ドレイン拡散層上を自己整合的にシリサイド化する方法が検討されている。
【０００３】
自己整合によりシリサイド膜を形成する典型的な半導体装置の製造方法を図８及び図９を用いて説明する。
まず、シリコン基板１０上に、ＬＯＣＯＳ法などにより素子分離膜１２を形成する。次いで、素子分離膜１２により画定された素子領域上に、膜厚１０ｎｍ程度のゲート酸化膜１４を熱酸化により形成する。
【０００４】
続いて、ゲート酸化膜１４上に、膜厚１５０ｎｍ程度の多結晶シリコン膜１６を化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により堆積し、ボロン（Ｂ）又は燐（Ｐ）若しくは砒素（Ａｓ）をイオン注入する。これにより、多結晶シリコン膜１６にｐ型又はｎ型の不純物を導入する（図８（ａ））。
その後、通常のリソグラフィー技術及びエッチング技術により多結晶シリコン膜１６をパターニングし、ゲート電極１８を形成する（図８（ｂ））。
【０００５】
次いで、ＣＶＤ法により膜厚１５０ｎｍ程度のシリコン酸化膜を堆積した後、ゲート電極１８が露出するまで異方性エッチングを行い、ゲート電極１８の側壁にサイドウォール２０を形成する。
続いて、ゲート電極１８及びサイドウォール２０をマスクとして、Ｂ又はＰ若しくはＡｓをイオン注入し、ソース／ドレイン領域となる不純物拡散層２２を形成する。
【０００６】
その後、弗酸と水の混合液（ＨＦ：H_2O＝２：１００）に６０秒程度浸漬し、ゲート電極１８、不純物拡散層２２表面のシリコン酸化膜を除去する（図８（ｃ））。
次いで、膜厚１０ｎｍ程度のコバルト（Ｃｏ）膜２４と、膜厚３０ｎｍ程度の窒化チタン（ＴｉＮ）膜２６を連続して成膜した後に５５０℃３０秒程度の短時間アニール（ＲＴＡ：Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）を行い、シリコンが露出した領域に選択的にコバルトシリサイド膜２８を形成する（図８（ｄ）、図９（ａ））。
【０００７】

続いて、ＴｉＮ膜２６及び未反応のＣｏ膜２４を、アンモニア水と過酸化水素水との混合液、硫酸と過酸化水素水との混合液によって除去する。
その後、７５０℃３０秒程度の熱処理を行い、形成したコバルトシリサイド膜２８を低抵抗化する（図９（ｂ））。
このようにして、ゲート電極１８、不純物拡散層２２上に、選択的にコバルトシリサイド膜２８を形成していた。
【０００８】
【発明が解決しようとする課題】
しかしながら、上記従来の半導体装置の製造方法では、コバルトシリサイド膜２８は下地のシリコンとの反応により形成するので、不純物拡散層２２上では、シリコン基板内部に入り込むようにして形成される。このため、不純物拡散層２８の深さが０．１μｍ以下になった場合、コバルトシリサイド膜２８が不純物拡散層２２を突き抜けてしまうといった問題があった。
【０００９】
また、コバルトシリサイド膜２８が不純物拡散層２２を突き抜けない場合であっても、図１０に示すように、不純物拡散層２２に逆バイアスを印加した際の接合リーク電流が増大するといった問題があった。
また、コバルトシリサイド膜２８の突き抜け等を防止するために、堆積するＣｏ膜２４の膜厚を減少し、形成されるコバルトシリサイド膜２８の膜厚を薄くすると、コバルトシリサイド膜２８の抵抗が高くなってしまうといった問題があった。
【００１０】
本発明の目的は、不純物拡散層２２が０．１μｍ以下と浅くなった場合にも、接合リークを増加することなく低抵抗の高融点金属シリサイドを自己整合的に形成できる半導体装置の製造方法を提供することにある。
【００１１】
【課題を解決するための手段】
上記目的は、不純物拡散層上に高融点金属膜を堆積する高融点金属膜堆積工程と、第１の温度で熱処理することにより、前記不純物拡散層上に高融点金属シリサイド膜を形成する第１の熱処理工程と、前記第１の熱処理工程において反応しなかった前記高融点金属膜を除去する高融点金属膜除去工程と、第１の温度より高い第２の温度で熱処理を行う第２の熱処理工程と、第２の温度より高い第３の温度で熱処理を行う第３の熱処理工程とを有することを特徴とする半導体装置の製造方法によって達成される。
【００１２】
また、上記の半導体装置の製造方法において、前記第２の熱処理工程が終了した後に前記第２の温度から前記第３の温度まで昇温し、前記第３の熱処理工程を行うことが望ましい。
また、上記の半導体装置の製造方法において、前記高融点金属膜はコバルト膜であることが望ましい。
【００１３】
また、上記の半導体装置の製造方法において、前記第１の熱処理工程では、５２５～６２５℃の温度による短時間アニールを行い、前記第２の熱処理工程では、７３５℃以上の温度による短時間アニールを行うことが望ましい。
また、上記の半導体装置の製造方法において、前記第３の熱処理工程では、８００℃以上の温度による短時間アニールを行うことが望ましい。
【００１４】
また、上記の半導体装置の製造方法において、前記第１の熱処理工程では、４００～５００℃の温度による炉アニールを行うことが望ましい。
また、上記の半導体装置の製造方法において、前記不純物拡散層の深さは０．１μｍ以下であってもよい。
【００１５】

【作用】
本発明によれば、第１の熱処理により選択的に高融点金属シリサイド膜を形成して未反応の高融点金属を除去した後、第１の熱処理温度より高い温度による第２の熱処理と、第２の熱処理温度より高い温度による第３の熱処理を行うことにより、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善したので、不純物拡散層が０．１μｍ以下と浅くなった場合にも拡散層抵抗を下げることができる。
【００１６】
また、第２の熱処理工程が終了した後に第２の温度から第３の温度まで昇温し、第３の温度の熱処理工程を行ったので、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性が改善され、不純物拡散層が０．１μｍ以下と浅くなった場合にも拡散層抵抗を下げることができる。
また、上記の半導体装置の製造方法では、高融点金属膜としてコバルト膜を適用することができる。
【００１７】
また、第１の熱処理工程において５２５～６２５℃の温度による短時間アニールを行い、第２の熱処理工程において７３５℃以上の温度による短時間アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
また、第３の熱処理工程において８００℃以上の温度による短時間アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
【００１８】
また、第１の熱処理工程において４００～５００℃の温度による炉アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
【００１９】
【実施例】
本発明の一実施例による半導体装置の製造方法について、図１乃至図９を用いて説明する。
図１はｐｎ接合における逆方向リーク特性の測定方法を説明する図、図２及び図３はｐｎ接合における逆方向リーク特性を示すグラフ及び熱処理温度プロファイルを示すグラフ、図４及び図５は本実施例における第１の熱処理の温度依存性を示すグラフ、図６は本実施例における第２の熱処理の温度依存性を示すグラフ、図７は本実施例における第３の熱処理の温度依存性を示すグラフ、図８及び図９は高融点金属シリサイド膜を自己整合で形成する半導体装置の製造方法を示す工程断面図である。
【００２０】
前述したように、従来の半導体装置の製造方法では、５５０℃３０秒間の第１の熱処理によりコバルトシリサイド膜２８を形成した後に未反応のＣｏ膜を除去し、７５０℃３０秒間の第２の熱処理によりコバルトシリサイド膜２８の低抵抗化を行っていた。しかし、不純物拡散層が約０．１μｍ以下と浅くなった場合、このようにして形成したコバルトシリサイド膜２８直下のｐｎ接合の逆方向Ｉ－Ｖ特性は、図１０（ａ）に示すようにばらつきが非常に大きかった。
【００２１】
本願発明者は、このようなＩ－Ｖ特性のばらつきを防止する方法として、第２の熱処理を二段階の温度で行うことが有効であることを見いだした。
始めに、本願発明者が行った逆方向リーク特性の測定方法を図１を用いて説明する。
素子分離膜１２により画定された素子領域に不純物拡散層２２が形成されたＰ型シリコン基板１０上にＣｏ膜２４を堆積し（図１（ａ））、第１の熱処理により素子領域にコバルトシリサイド膜２８を形成した（図１（ｂ））。次いで、未反応のＣｏ膜を除去して第２の熱処理及び第３の熱処理を行うことにより、その直下にｐｎ接合が形成されたコバルトシリサイド膜２８を素子領域に自己整合で形成した（図１（ｃ））。

【００２２】
このようにして形成したｐｎ接合に逆バイアスを印加して逆方向リーク電流を測定し、リーク電流のばらつきを調査した（図１（ｄ））。なお、接合面積が約１８０×８８０μｍ^{2}のｐｎ接合を用い、一条件につき６０～７０チップづつ測定した。
図２（ａ）は、第１の熱処理として５５０℃３０秒の短時間アニールを行い、第２の熱処理として７５０℃３０秒の短時間アニールと８００℃３０秒の短時間アニールとを連続して行った場合（図２（ｂ））の逆方向Ｉ－Ｖ特性である。図示するように、高電界側では若干ばらつきがあるが、第２の熱処理を二段階で行うことによりＩ－Ｖ特性のばらつきを減少することができる。
【００２３】
図３（ａ）は、第１の熱処理として５５０℃３０秒の短時間アニールを行い、第２の熱処理として７５０℃３０秒の短時間アニールを行い、その後、第３の熱処理として８００℃３０秒の短時間アニールを行った場合（図３（ｂ））の逆方向Ｉ－Ｖ特性である。図示するように、第２の熱処理の後に、第２の熱処理の温度より高い第３の熱処理を行った場合にも、Ｉ－Ｖ特性のばらつきを大幅に減少することができる。
【００２４】
図１０（ｂ）は、第１の熱処理として５５０℃３０秒の短時間アニールを行い、第２の熱処理として８００℃３０秒の短時間アニールを行った場合である。このように第２の熱処理を８００℃に昇温するのみではＩ－Ｖ特性の改善はほとんどみられず、第２の熱処理を二段階で行うことの効果が大きいことが判る。
次に、第１の熱処理における最適な処理温度について説明する。
【００２５】
図４及び図５は、第２の熱処理を二段階で行った場合の第１の熱処理の条件依存性を示した図である。図４（ａ）は第１の熱処理として４５０℃３０分の炉アニール（ＦＡ：Ｆｕｒｎａｃｅ　Ａｎｎｅａｌｉｎｇ）を用いた場合、図４（ｂ）は第１の熱処理として５００℃３０秒の短時間アニールを用いた場合、図５は第１の熱処理として６５０℃３０秒の短時間アニールを用いた場合である。
【００２６】
図示するように、Ｉ－Ｖ特性のばらつきは、第１の熱処理の温度を４５０℃、５００℃、５５０℃（図２（ａ））と高くするにつれて小さくなる。しかし、第１の熱処理温度を６５０℃にまで上げると、ＬＯＣＯＳ酸化膜のエッジ部でコバルトシリサイド膜の這い上がりが生じ、リーク電流が増加する。
従って、第１の熱処理は、特性のばらつきが小さくリーク電流が少なくなるように、５２５～６２５℃程度の熱処理を行うことが望ましい。
【００２７】
次に、第２の熱処理における最適な処理温度について説明する。
図６は、第１の熱処理として５５０℃３０秒の短時間アニールを行い、第３の熱処理として８００℃３０秒の短時間アニールを行った場合の第２の熱処理の熱処理の条件依存性を示した図である。図６（ａ）は第２の熱処理として７２５℃３０秒の短時間アールを行った場合、図６（ｂ）は第２の熱処理として７７５℃３０秒の短時間アニールを行った場合である。
【００２８】
図示するように、第２の熱処理の温度を７２５℃より高い温度に設定することにより、Ｉ－Ｖ特性のばらつきを大幅に減少することができる。
次に、第３の熱処理における最適な処理温度について説明する。
図７は、第１の熱処理として５５０℃３０秒の短時間アニールを行い、第２の熱処理として７５０℃３０秒の短時間アニールを行った場合の第３の熱処理の熱処理の条件依存性を示した図である。図７（ａ）は第３の熱処理として８２５℃３０秒の短時間アニールを行った場合、図７（ｂ）は第３の熱処理として８５０℃３０秒の短時間アニールを行った場合である。

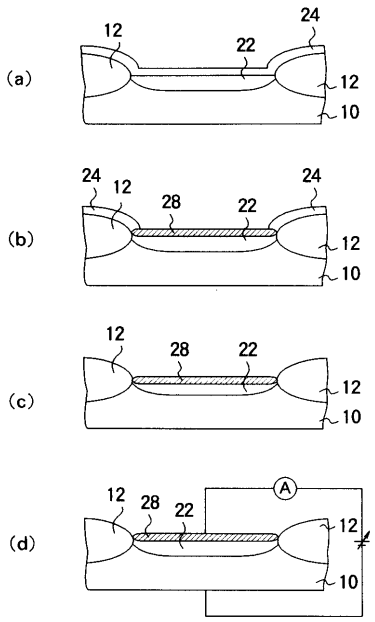
【００２９】
図示するように、第３の熱処理の温度に対する依存性はほとんどみられないが、第３の熱処理の温度を８００℃以上に設定すれば、良好なＩ－Ｖ特性を得ることができる。
このように、第２の熱処理を二段階の温度により行うか、又は第２の熱処理の後に第３の熱処理を行うことにより、ｐｎ接合の逆方向Ｉ－Ｖ特性のばらつきやリーク電流を減少することができる。
【００３０】
次に、本発明の一実施例による半導体装置の製造方法を図８及び図９を用いて説明する。
まず、ｐ型シリコン基板１０上に、ＬＯＣＯＳ法などにより膜厚約２５０ｎｍの素子分離膜１２を形成する。次いで、素子分離膜１２により画定された素子領域上に、膜厚１０ｎｍ程度のゲート酸化膜１４を熱酸化により形成する。
【００３１】
続いて、ゲート酸化膜１４上に、膜厚１５０ｎｍ程度の多結晶シリコン膜１６をＣＶＤ法により堆積し、Ｂ又はＰ若しくはＡｓをイオン注入する。これにより、多結晶シリコン膜１６にｐ型又はｎ型の不純物を導入する（図８（ａ））。
その後、通常のリソグラフィー技術及びエッチング技術により多結晶シリコン膜１６をパターニングし、ゲート長０．２５μｍのゲート電極１８を形成する（図８（ｂ））。
【００３２】
次いで、ＣＶＤ法により膜厚１５０ｎｍ程度のシリコン酸化膜を堆積した後、ゲート電極１８が露出するまで異方性エッチングを行い、ゲート電極１８の側壁にサイドウォール２０を形成する。
膜厚約５ｎｍのシリコン酸化膜を熱酸化により形成した後、ゲート電極１８及びサイドウォール２０をマスクとして、Ａｓイオンを加速電圧２５ｋｅＶ、注入量2×10^{15} cm^{-2}の条件でイオン注入し、ソース／ドレイン領域となる不純物拡散層２２を形成する（図８（ｃ））。
【００３３】
続いて、８５０℃１０分程度の熱処理を行い、注入したＡｓの拡散と活性化を行う。
その後、弗酸と水の混合液（ＨＦ：H_2O＝２：１００）に６０秒程度浸漬し、ゲート電極１８、不純物拡散層２２表面のシリコン酸化膜を除去する。
次いで、膜厚１０ｎｍ程度のＣｏ膜２４と、膜厚３０ｎｍ程度のＴｉＮ膜２６を連続して成膜する。なお、Ｃｏ膜２４及びＴｉＮ膜２６はともにスパッタ法により堆積し、Ｃｏ膜成膜時には、圧力を０．１Ｐａ、アルゴン流量を１００ｓｃｃｍ、ターゲットに印加するＲＦパワーを３．７Ｗ／cm^2とし、ＴｉＮ膜成膜時には、圧力を０．１Ｐａ、アルゴン流量を５０ｓｃｃｍ、窒素流量を５０ｓｃｃｍ、ターゲットに印加するＲＦパワーを３．７Ｗ／cm^2とした（図８（ｄ））。
【００３４】
このようにしてＣｏ膜２４及びＴｉＮ膜２６の積層膜を形成した後、第１の熱処理として５５０℃３０秒の短時間アニールを行い、シリコンが露出した領域に選択的にコバルトシリサイド膜２８を形成する（図９（ａ））。
続いて、７０℃に加熱したアンモニア水と過酸化水素水との混合液中に浸漬してＴｉＮ膜２６を除去し、硫酸と過酸化水素水との混合液中に浸漬して未反応のＣｏ膜２４を除去する。これにより、ゲート電極１８上、不純物拡散層２２上に選択的にコバルトシリサイド膜を残す。
【００３５】
その後、第２の熱処理として７５０℃３０秒の短時間アニールを、第３の熱処理として８００℃３０秒の短時間アニールを行い、第１の熱処理により形成したコバルトシリサイド膜２８を低抵抗化する（図９（ｂ））。
次いで、ＣＶＤ法により膜厚約７００ｎｍのシリコン酸化膜を堆積し、層間絶縁膜３０を形成する。
【００３６】

続いて、通常のリソグラフィー技術及びエッチング技術によりコンタクトホール３２を形成する。
その後、膜厚約２０ｎｍのチタン（Ｔｉ）膜、ＴｉＮ膜、アルミ（Ａｌ）膜との積層膜により構成される配線層３４を形成する（図９（ｃ））。
このようにしてＭＯＳ型のトランジスタを形成することにより、不純物拡散層２２が浅くなった場合にも、拡散層抵抗を高くすることなくｐｎ接合の信頼性を確保することができる。
【００３７】
このように、本実施例によれば、第１の熱処理により選択的にコバルトシリサイド膜を形成して未反応のコバルトを除去した後、第１の熱処理温度より高い温度による第２の熱処理と、第２の熱処理温度より高い温度による第３の熱処理を行ったので、不純物拡散層が０．１μｍ以下と浅くなった場合にも、良好なリーク特性を得ることができる。
【００３８】
これにより低抵抗のコバルトシリサイド膜を形成することができるので、拡散層抵抗に起因する信号伝達の遅延等を抑えることができる。
なお、上記実施例では、第１の熱処理には短時間アニールを用いたが、炉アニールを用いてコバルトシリサイド膜を形成してもよい。この場合、熱処理温度は４００～５００℃程度の温度範囲に設定することが望ましい。
【００３９】
また、上記実施例ではＣｏ膜とＴｉＮ膜を積層した状態で第１の熱処理を行い、コバルトシリサイド膜を形成したが、Ｃｏ膜を堆積した直後に第１の熱処理を行ってコバルトシリサイド膜を形成してもよい。
【００４０】
【発明の効果】
以上の通り、本発明によれば、第１の熱処理により選択的に高融点金属シリサイド膜を形成して未反応の高融点金属を除去した後、第１の熱処理温度より高い温度による第２の熱処理と、第２の熱処理温度より高い温度による第３の熱処理を行うことにより、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善したので、不純物拡散層が０．１μｍ以下と浅くなった場合にも拡散層抵抗を下げることができる。
【００４１】
また、第２の熱処理工程が終了した後に第２の温度から第３の温度まで昇温し、第３の温度の熱処理工程を行ったので、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性が改善され、不純物拡散層が０．１μｍ以下と浅くなった場合にも拡散層抵抗を下げることができる。
また、上記の半導体装置の製造方法では、高融点金属膜としてコバルト膜を適用することができる。
【００４２】
また、第１の熱処理工程において５２５～６２５℃の温度による短時間アニールを行い、第２の熱処理工程において７３５℃以上の温度による短時間アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
また、第３の熱処理工程において８００℃以上の温度による短時間アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
【００４３】
また、第１の熱処理工程において４００～５００℃の温度による炉アニールを行えば、高融点金属シリサイド膜直下に形成したｐｎ接合の逆方向リーク特性を改善することができる。
【図面の簡単な説明】
【図１】ｐｎ接合における逆方向リーク特性の測定方法を説明する図である。
【図２】本発明により形成したｐｎ接合の逆方向リーク特性を示すグラフ及び熱処理温度

プロファイルを示すグラフ（その１）である。
【図３】本発明により形成したｐｎ接合の逆方向リーク特性を示すグラフ及び熱処理温度プロファイルを示すグラフ（その２）である。
【図４】本発明における第１の熱処理の温度依存性を示すグラフ（その１）である。
【図５】本発明における第１の熱処理の温度依存性を示すグラフ（その２）である。
【図６】本発明における第２の熱処理の温度依存性を示すグラフである。
【図７】本発明における第３の熱処理の温度依存性を示すグラフである。
【図８】高融点金属シリサイド膜を自己整合で形成する半導体装置の製造方法を示す工程断面図（その１）である。
【図９】高融点金属シリサイド膜を自己整合で形成する半導体装置の製造方法を示す工程断面図（その２）である。
【図１０】従来の半導体装置の製造方法により形成したｐｎ接合における逆方向リーク特性を示すグラフである。
【符号の説明】
１０…シリコン基板
１２…素子分離膜
１４…ゲート酸化膜
１６…多結晶シリコン膜
１８…ゲート電極
２０…サイドウォール
２２…不純物拡散層
２４…Ｃｏ膜
２６…ＴｉＮ膜
２８…コバルトシリサイド膜
３０…層間絶縁膜
３２…コンタクトホール
３４…配線層

【図１】

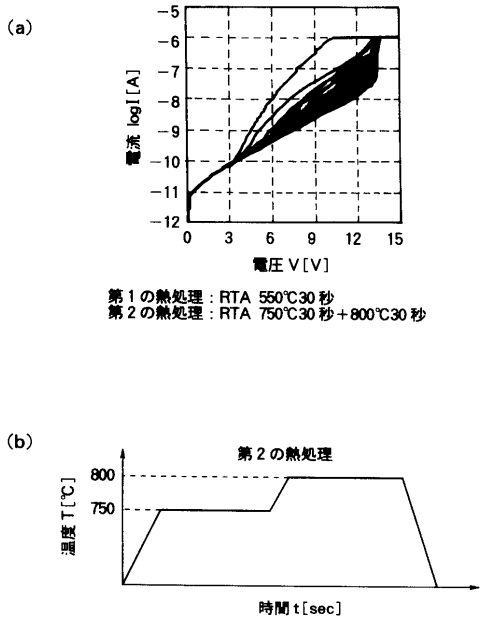
pn 接合における逆方向リーク特性の測定方法を説明する図



10…シリコン基板
12…素子分離膜
22…不純物拡散層
24…Co 膜
28…コバルトシリサイド膜

【図２】

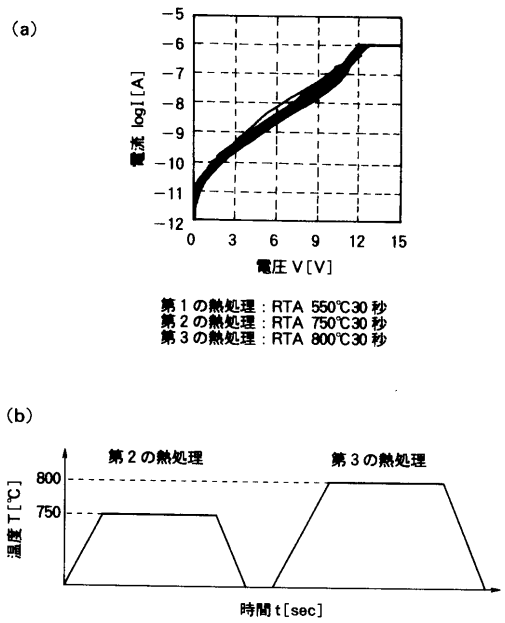
本発明により形成した pn 接合の逆方向リーク特性を示すグラフ及び熱処理温度プロファイルを示すグラフ(その１)



第１の熱処理：RTA 550℃30 秒
第２の熱処理：RTA 750℃30 秒＋800℃30 秒

【図３】

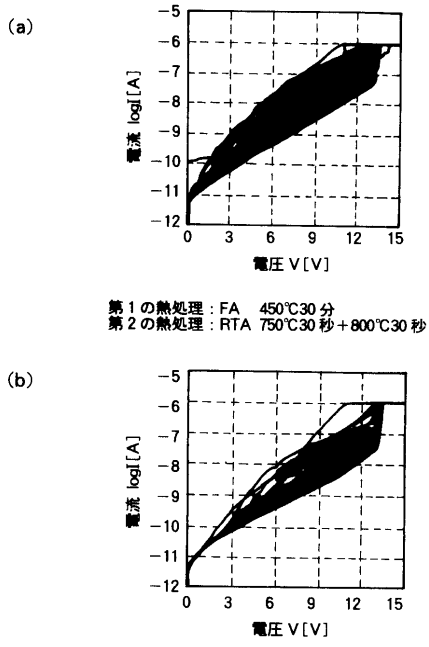
本発明により形成した pn 接合の逆方向リーク特性を示すグラフ及び熱処理温度プロファイルを示すグラフ(その２)



第１の熱処理：RTA 550℃30 秒
第２の熱処理：RTA 750℃30 秒
第３の熱処理：RTA 800℃30 秒

【図４】

本発明における第１の熱処理の温度依存性を示すグラフ(その１)

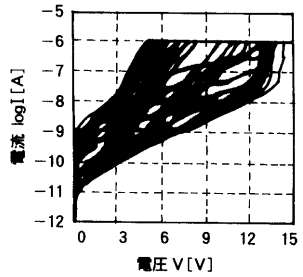


第１の熱処理：FA 450℃30 分
第２の熱処理：RTA 750℃30 秒＋800℃30 秒

第１の熱処理：RTA 500℃30 秒
第２の熱処理：RTA 750℃30 秒＋800℃30 秒

【図５】

本発明における第１の熱処理の温度依存性を示すグラフ(その２)

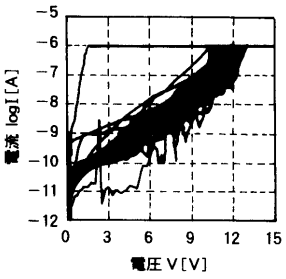


第１の熱処理：RTA 650℃30秒
第２の熱処理：RTA 750℃30秒＋800℃30秒

【図６】

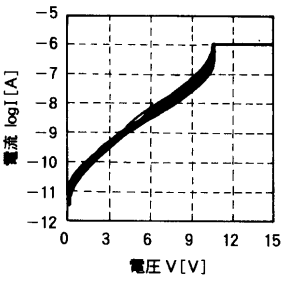
本発明における第２の熱処理の温度依存性を示すグラフ

(a)



第１の熱処理：RTA 550℃30秒
第２の熱処理：RTA 725℃30秒
第３の熱処理：RTA 800℃30秒

(b)

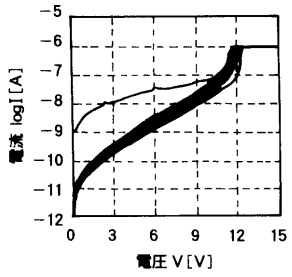


第１の熱処理：RTA 550℃30秒
第２の熱処理：RTA 775℃30秒
第３の熱処理：RTA 800℃30秒

【図７】

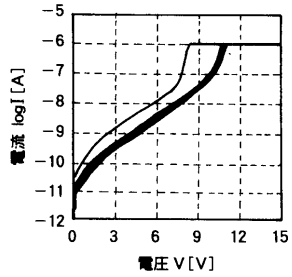
本発明における第３の熱処理の温度依存性を示すグラフ

(a)



第１の熱処理：RTA 550℃30秒
第２の熱処理：RTA 750℃30秒
第３の熱処理：RTA 825℃30秒

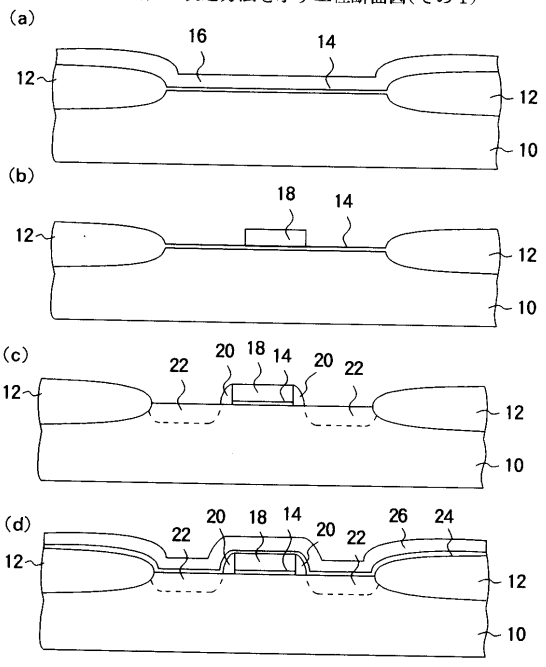
(b)



第１の熱処理：RTA 550℃30秒
第２の熱処理：RTA 750℃30秒
第３の熱処理：RTA 850℃30秒

【図８】

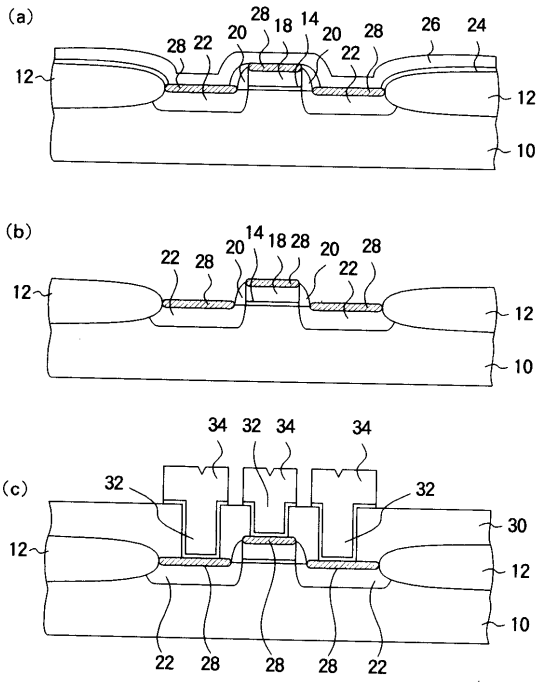
高融点金属シリサイド膜を自己整合で形成する
半導体装置の製造方法を示す工程断面図(その１)



10…シリコン基板
12…素子分離膜
14…ゲート酸化膜
16…多結晶シリコン膜
18…ゲート電極
20…サイドウォール
22…不純物拡散層
24…Co膜
26…TiN膜

【図９】

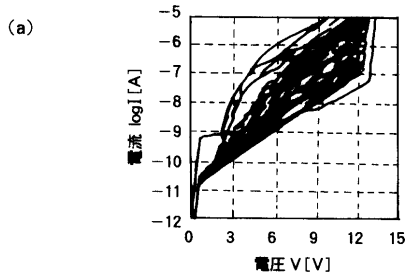
高融点金属シリサイド膜を自己整合で形成する
半導体装置の製造方法を示す工程断面図(その２)



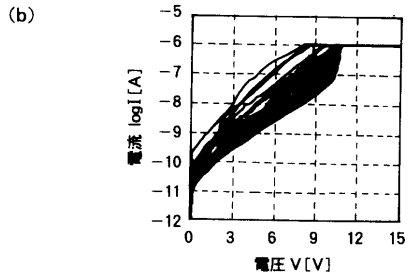
28…コバルトシリサイド膜
30…層間絶縁膜
32…コンタクトホール
34…配線層

【図１０】

従来の半導体装置の製造方法により形成した
pn 接合における逆方向リーク特性を示すグラフ



第１の熱処理：RTA 550℃30 秒
第２の熱処理：RTA 750℃30 秒



第１の熱処理：RTA 550℃30 秒
第２の熱処理：RTA 800℃30 秒