

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97113712

G11C 7/22 (2006.01)

※ 申請日期： 97.4.15

※IPC 分類：

G11C 8/08 (2006.01)

一、發明名稱：(中文/英文)

G11C 16/08 (2006.01)

具有双讀取模式之處理器指令快取記憶體 / PROCESSOR

INSTRUCTION CACHE WITH DUAL-READ MODES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

邁威爾世界貿易有限公司 / Marvell World Trade Ltd.

代表人：(中文/英文) 史蒂文 派克 / Steven Parker

住居所或營業所地址：(中文/英文)

巴貝多國 BB14027 聖麥可市布靈頓山莊砲台路 L 層

L'Horizon, Gunsite Road, Brittons Hill, St. Michael, Barbados BB14027

國 籍：(中文/英文)

巴貝多 / Barbados

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 塞哈 史達佳 / Sehat Sutardja

2. 蘇子榮 / Jason T. Su

3. 陳弘毅 / Hong-Yi Chen

4. 許世傑 / Jason Sheu

5. 鍾頌正 / Jensen Tjeng

國 籍：(中文/英文)

1-4. 美國 / USA

5. 印尼 / Indonesia

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下行國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 、 2007 年 10 月 11 日 、 11/870,833

2. 美國 、 2008 年 4 月 2 日 、 12/061,296

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種處理器包括具有陣列、字元線和位元線的快取記憶體。控制模組在存取週期期間存取陣列的單元以存取快取記憶體中所儲存的指令。控制模組執行第一離散讀取和第一順序讀取之一，以存取連結到第一字元線的陣列的第一組單元中的指令，並且根據分支指令選擇性地執行第二離散讀取和第二順序讀取之一，以存取連結到第二字元線的陣列的第二組單元中的指令。第二字元線不同於第一字元線。

六、英文發明摘要：

A processor includes a cache memory that has an array, word lines, and bit lines. A Control module accesses cells of the array during access cycles to access instructions stored in the cache memory. The control module performs one of a first discrete read and a first sequential read to access instructions in a first set of cells of the array that are connected to a first word line and selectively performs one of a second discrete read and a second sequential read based on a branch instruction to access instructions in a second set of cells of the array that are connected to a second word line. The second word line is different than the first word line.

七、指定代表圖：

(一)本案指定代表圖為：第（ 4 ）圖。

(二)本代表圖之元件符號簡單說明：

100	多模式處理器
102	記憶單元陣列
104 _{1-S}	字元線訊號
106 _{1-T}	位元線訊號
110	位址和控制訊號鎖存器
112	列解碼器
114	行解碼器
115	多模式存取控制模組
116	時序控制模組
120	位元線預充電電路
120'	位元線預充電電路
122	行多工器
124	感應放大器/寫入驅動程式模組
126	資料鎖存/輸出緩衝模組
128 _{1-U}	行選擇訊號
130 _{1-V}	位元資訊訊號
134	輸出訊號
136	讀取/寫入模式訊號
138	SA 預充電訊號
140	SA 啟用訊號
142	鎖存訊號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明涉及處理器，並且更明確地，涉及處理器和記憶體存取技術。

【先前技術】

在此的背景說明其目的為提供本發明的概括說明。當前署名的發明人在背景部分內描述的成果、以及在提交時之多方面說明可能不能作為先前技術的說明書，不明確地亦不隱含地被允許作為與本發明相牴觸的先前技術。

電腦裝置中的記憶體可以以記憶體階層（memory hierarchy）來排列，所述記憶體包括不同速度、類型和大小的記憶體裝置。記憶體裝置的類型、大小以及與處理器的接近程度將影響記憶體裝置的處理速度。較高階層一般對應於較高速度/較低容量的記憶體裝置，而較低階層一般對應於較低速度/較高容量的裝置。例如，快取可以處於最高階層，RAM 和 ROM 可以處於中階層，並且諸如硬式磁碟機之類的非揮發性記憶體可以處於最低階層。

快取可以儲存極頻繁使用的資料和指令的副本以改善性能。快取可以實施於諸如靜態隨機存取記憶體（SRAM）之類的高速記憶體而非用於主記憶體的較慢動態 RAM（DRAM）。快取可以與處理器配置在相同的積體電路（IC）上並且可以被稱作第一級（L1）快取。

在操作期間，處理器執行指令。更精確地，處理器抓取具有經程式計數器（PC）所識別的位置的指令。在抓取指令之後，處理器對指令進行解碼，該指令可以包括運算碼（opcode）和運算元（operand）。運算碼指示將要執行的操作，而運算元可以包括針對將要執行的操作的資訊。在執行了抓取和解碼步驟之後，處理器執行指令。最後，處理器將結果寫回到記憶體。在完成指令後，程式計數器可被指令字組的長度增大。

某些類型的指令可以稱作分支（branch）或跳躍（jump），這些指令可以用於直接操作程式計數器。例如，分支可以用於輔助類似於迴圈、條件

判斷和其他程式功能的行為。二者擇一地，分支可以以暫存器值的結果出現，該暫存器值可以代表旗標（flag）。

快取可以作為字組被存取；每個字組包括 R 條指令，其中 R 是大於一的整數。每條指令可以包括 I 個位元，其中 I 是大於 1 的整數。為了存取指令字組，可以執行多個讀取週期（read cycle）。每個讀取週期存取指令之一。在讀取週期期間，存取與相應的指令相關聯的記憶單元是透過判斷相繫之陣列的列路徑（字元線）和多個行路徑（位元線）。與列和行路徑的判斷相伴隨的，可以對列和行位址進行解碼、產生字元線訊號、預充電位元線、感應放大（sensing-amplification）所儲存的位元資訊並且鎖存資料。

【發明內容】

在一個實施例中，提供了一種處理器，該處理器包括具有陣列、字元線和位元線的快取記憶體。控制模組在存取週期期間存取陣列的單元以存取快取記憶體中所儲存的指令。控制模組執行第一離散讀取和第一順序讀取之一，以存取連結到第一字元線的陣列的第一組單元中的指令，並且根據分支指令選擇性地執行第二離散讀取和第二順序讀取之一，以存取連結到第二字元線的陣列的第二組單元中的指令。第二字元線不同於第一字元線。

在其他特徵中，當控制模組在執行第一順序讀取時，啟用（enable）快取記憶體的第一字元線以存取第一字元線中的第一單元，停用（disable）第一字元線，並且在存取第一字元線中的第二單元時，維持第一字元線處於停用狀態中。

在其他特徵中，當控制模組執行第一順序讀取時，對位元線的第一存取週期產生與第一字元線相關聯的第一字元線脈衝，並且選擇性地抑制對位元線的第二存取週期產生用於第一字元線的第二字元線脈衝。

在其他特徵中，控制模組根據沿第一字元線執行的存取週期的個數來決定位元線分隔（bit line separation）。當存取第一組單元時，控制模組預充電連結到第一字元線的位元線以提供位元線分隔。

在其他特徵中，當存取陣列的第一組單元時，控制模組預充電連結到第一字元線的一組位元線以提供位元線分隔。當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，控制模組選擇性地抑制預充電至少一個位元線組。

在其他特徵中，當第二組單元連結到第一字元線時，控制模組抑制預充電所述至少一個位元線組。

在其他特徵中，當第二組單元連結到不同於第一字元線的字元線時，控制模組預充電所述至少一個位元線組。

在其他特徵中，控制模組根據時鐘訊號 (clock signal) 的速率來調整位元線的預充電時序。在其他特徵中，當時鐘訊號的速率小於預定速率時，控制模組延遲位元線的預充電。

在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，控制模組對每個單元的每次存取來執行列位址解碼、字元線啟用和位元線預充電。

在其他特徵中，當在第一模式下存取單元時，控制模組對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下存取單元時，控制模組對第一讀取週期來預充電位元線並且執行列位址解碼，對第二讀取週期不進行位元線預充電並且不執行列位址解碼。

在其他特徵中，包括經由行選擇訊號來選擇陣列的單元的行解碼器。控制模組根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。在其他特徵中，包括檢測並放大第一和第二組單元中的位元資訊的放大模組。

在其他特徵中，包括列解碼器。控制模組經由列解碼器產生字元線訊號以存取第一組單元。在其他特徵中，字元線訊號定義擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元

線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，包括行解碼器。控制模組經由行解碼器產生位元線訊號以存取第一組單元。在其他特徵中，包括感應放大器 (sense-amplifier)，該感應放大器具有公用線並且在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號以預充電公用線。

在其他特徵中，控制模組根據顯示何時執行了預充電的預充電旗標來預充電位元線。在其他特徵中，控制模組根據位元線的前一次預充電的時序來預充電位元線。

在其他特徵中，控制模組在執行第二順序讀取時，啟用快取記憶體的第二字元線以存取第二字元線中的一個單元，停用第二字元線，並且在存取第二字元線中的另一單元時，維持第二字元線處於停用狀態中。在其他特徵中，控制模組根據分支指令在離散讀取模式下進行操作。

在其他特徵中，處理器預抓取並解碼管線中的後續指令。分支預測模組預測作為第二分支指令的後續指令之一是否可能被執行。分支預測模組根據預測並且根據分支指令是否涉及沿相同字元線的多次讀取，選擇性地對分支指令執行離散讀取和順序讀取之一。分支預測模組包括分支歷史模組，該分支歷史模組根據第二分支指令的位址來輸出分支預測資料。分支預測模組將根據分支預測資料做預測。

在其他特徵中，提供了一種方法。該方法包括提供具有單元的陣列、字元線和位元線的快取記憶體。陣列的單元在存取週期期間被存取以存取快取記憶體中所儲存的指令。執行第一離散讀取和第一順序讀取之一以存取連結到第一字元線的陣列的第一組單元中的指令。根據分支指令選擇性地執行第二離散讀取和第二順序讀取之一以存取連結到第二字元線的陣列的第二組單元中的指令。第二字元線不同於第一字元線。

在其他特徵中，快取記憶體的第一字元線在執行第一順序讀取時被啟用以存取字元線中的第一單元，第一字元線被停用，並且當存取第一字元線中的第二單元時第一字元線被維持在停用狀態中。

在其他特徵中，當執行所述第一順序讀取時，該方法包括對位元線的第一存取週期產生與所述第一字元線相關聯的第一字元線脈衝，並且選擇性地抑制對所述位元線的第二存取週期產生用於所述第一字元線的第二字元線脈衝。

在其他特徵中，該方法包括根據沿第一字元線所執行的存取週期的個數來決定位元線分隔，並且當存取第一組單元時，預充電連結到第一字元線的位元線以提供位元線分隔。

在其他特徵中，該方法包括：當存取陣列的第一組單元時，預充電連結到第一字元線的一組位元線以提供位元線分隔，並且當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，抑制預充電至少一個位元線組。

在其他特徵中，該方法包括當第二組單元連結到第一字元線時，抑制預充電所述至少一個位元線組。

在其他特徵中，該方法包括當第二組單元連結到不同於第一字元線的字元線時，預充電所述至少一個位元線組。

在其他特徵中，該方法包括根據時鐘訊號的速率來調整位元線的預充電時序。在其他特徵中，該方法包括當時鐘訊號的速率小於預定速率時，延遲位元線的預充電。

在其他特徵中，該方法包括選擇性地在離散讀取模式和順序讀取模式下進行操作。在其他特徵中，該方法包括產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

在其他特徵中，該方法包括產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，該方法包括對每個單元的每次存取來執行列位址解碼、字元線啟用和位元線預充電。

在其他特徵中，當在第一模式下存取單元時，該方法包括對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下存取單元時，該方法包括對第一讀取週期來預充電位元線並且執行列位址解碼，對第二

讀取週期抑制對位元線進行預充電並且抑制執行列位址解碼。

在其他特徵中，該方法包括經由行選擇訊號來選擇陣列的單元，並且根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。在其他特徵中，該方法包括檢測並放大第一和第二組單元中的位元資訊。

在其他特徵中，該方法包括經由列解碼器產生字元線訊號以存取第一組單元。在其他特徵中，字元線訊號定義擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，該方法包括經由行解碼器產生位元線訊號以存取第一組單元。

在其他特徵中，該方法包括在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號以預充電感應放大器的公用線。

在其他特徵中，該方法包括根據顯示何時執行了預充電的預充電旗標來預充電位元線。在其他特徵中，該方法包括根據位元線的前一次預充電的時序來預充電位元線。

在其他特徵中，當執行第二順序讀取時，該方法包括啟用快取記憶體的第二字元線以存取第二字元線中的一個單元，停用第二字元線，並且當存取第二字元線中的另一單元時，維持第二字元線處於停用狀態中。在其他特徵中，該方法包括根據分支指令在離散讀取模式下進行操作。

在其他特徵中，該方法包括預抓取並解碼管線中的後續指令；並且預測作為第二分支指令的後續指令之一是否可能被執行。

在其他特徵中，該方法包括根據所述預測並且根據所述分支指令是否涉及沿相同字元線的多次讀取，選擇性地對所述分支指令執行離散讀取和順序讀取之一。

在其他特徵中，該方法包括根據所述第二分支指令的位址來產生分支預測資料；並且使所述預測以所述分支預測資料為依據。

在其他特徵中，提供了一種處理器，該處理器包括具有陣列、字元線和位元線的快取記憶體。控制裝置在存取週期期間存取陣列的單元以存取

快取記憶體中所儲存的指令。控制裝置執行第一離散讀取和第一順序讀取之一，以存取連結到第一字元線的陣列的第一組單元中的指令，並且根據分支指令選擇性地執行第二離散讀取和第二順序讀取之一，以存取連結到第二字元線的陣列的第二組單元中的指令。第二字元線不同於第一字元線。

在其他特徵中，控制裝置在執行第一順序讀取時，啟用快取記憶體的第一字元線以存取第一字元線中的第一單元，停用第一字元線，並且在存取第一字元線中的第二單元時，維持第一字元線處於停用狀態中。

在其他特徵中，當執行第一順序讀取時，控制裝置對位元線的第一存取週期產生與第一字元線相關聯的第一字元線脈衝，並且選擇性地抑制對位元線的第二存取週期產生用於第一字元線的第二字元線脈衝。

在其他特徵中，控制裝置根據沿第一字元線執行的存取週期的個數來決定位元線分隔。在存取第一組單元時，控制裝置預充電連結到第一字元線的位元線以提供位元線分隔。

在其他特徵中，當存取陣列的第一組單元時，控制裝置預充電連結到第一字元線的一組位元線以提供位元線分隔。當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，控制裝置選擇性地抑制預充電至少一個位元線組。

在其他特徵中，當第二組單元連結到第一字元線時，控制裝置抑制預充電所述至少一個位元線組。

在其他特徵中，當第二組單元連結到不同於第一字元線的字元線時，控制裝置預充電所述至少一個位元線組。

在其他特徵中，控制裝置根據時鐘訊號的速率來調整位元線的預充電時序。在其他特徵中，當時鐘訊號的速率小於預定速率時，控制裝置延遲位元線的預充電。

在其他特徵中，控制裝置選擇性地在離散讀取模式和順序讀取模式下進行操作。在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並

且根據該順序讀取訊號來預充電位元線。在其他特徵中，當在離散模式下時，控制裝置對每個單元的每次存取來執行列位址解碼、字元線啟用和位元線預充電。

在其他特徵中，當在第一模式下存取單元時，控制裝置對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下存取單元時，控制裝置對第一讀取週期來預充電位元線並且執行列位址解碼，對第二讀取週期不進行位元線預充電並且不執行列位址解碼。

在其他特徵中，包括經由行選擇訊號來選擇陣列的單元的行解碼裝置。控制裝置根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。在其他特徵中，包括用於檢測並放大第一和第二組單元中的位元資訊的放大裝置。

在其他特徵中，包括用於解碼的列解碼裝置。控制裝置經由列解碼裝置產生字元線訊號以存取第一組單元。在其他特徵中，字元線訊號定義擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，包括用於解碼的行解碼裝置。控制裝置經由行解碼裝置產生位元線訊號以存取第一組單元。

在其他特徵中，包括感應放大裝置，該感應放大裝置用於提供公用線並且用於在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號以預充電公用線。

在其他特徵中，控制裝置根據顯示何時執行了預充電的預充電旗標來預充電位元線。在其他特徵中，控制裝置根據位元線的前一次預充電的時序來預充電位元線。

在其他特徵中，控制裝置在執行第二順序讀取時，啟用快取記憶體的第二字元線以存取第二字元線中的一個單元，停用第二字元線，並且在存取第二字元線中的另一單元時，維持第二字元線處於停用狀態中。在其他特徵中，控制裝置根據分支指令在離散讀取模式下進行操作。

在其他特徵中，處理器預抓取並解碼管線中的後續指令。分支預測裝置預測作為第二分支指令的後續指令之一是否可能被執行。分支預測裝置根據預測並且根據分支指令是否涉及沿相同字元線的多次讀取，選擇性地對分支指令執行離散讀取和順序讀取之一。分支預測裝置包括分支歷史裝置，該分支歷史裝置用於根據第二分支指令的位址來產生分支預測資料，其中分支預測裝置根據分支預測資料來預測。

在其他特徵中，提供了一種處理器，該處理器包括快取記憶體和控制模組。快取記憶體包括陣列、字元線和位元線。控制模組在存取週期期間存取陣列的單元以存取快取記憶體中所儲存的指令。控制模組根據沿第一字元線的存取週期的數目來決定位元線分隔。當存取陣列的第一組單元時，控制模組根據位元線分隔來預充電連結到第一字元線的一組位元線。當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，控制模組選擇性地抑制預充電位元線組之一。

在其他特徵中，當第二組單元連結到第一字元線時，控制模組選擇性地抑制預充電位元線組的其中一個。在其他特徵中，當第二組單元連結到不同於第一字元線的字元線時，控制模組預充電位元線組的其中一個。

在其他特徵中，控制模組根據時鐘訊號的速率來調整位元線組的預充電時序。在其他特徵中，當時鐘訊號的速率小於預定速率時，控制模組延遲位元線組的預充電。

在其他特徵中，控制模組啟用快取記憶體的第一字元線以存取字元線中的第一單元，停用第一字元線，並且在存取第一字元線中的第二單元時，維持第一字元線處於停用狀態中。

在其他特徵中，控制模組對位元線組的第一存取週期產生與字元線之一相關聯的字元線脈衝。控制模組選擇性地抑制對所述位元線組的第二存取週期產生字元線脈衝。

更在其他特徵中，控制模組選擇性地在離散讀取模式和順序讀取模式下進行操作。在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。在其他特徵中，控制

模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線組。在其他特徵中，當在離散模式下時，控制模組對關聯於對每個單元的存取的每個週期來執行列位址解碼、字元線啟用和位元線預充電。

在其他特徵中，當在第一模式期間存取單元時，控制模組對每個讀取週期來預充電位元線組並且執行列位址解碼。當在第二模式期間存取單元時，控制模組對第一讀取週期來預充電位元線組並且執行列位址解碼，對第二讀取週期不進行位元線組預充電並且不執行列位址解碼。

在其他特徵中，處理器還包括經由行選擇訊號來選擇陣列的單元的行解碼器。控制模組根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。

在其他特徵中，處理器還包括檢測並放大第一和第二組單元中的位元資訊的放大模組。

更在其他特徵中，處理器還包括列解碼器。控制模組經由列解碼器產生字元線訊號以存取第一組單元。在其他特徵中，字元線訊號定義擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，處理器還包括行解碼器。控制模組經由行解碼器產生位元線訊號以存取第一組單元。在其他特徵中，處理器還包括感應放大器，該感應放大器具有公用線並且在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號以預充電公用線。在其他特徵中，控制模組根據分支指令預充電位元線組之一。

在其他特徵中，控制模組檢測預充電錯誤並且根據預充電錯誤來預充電至少一個位元線組。在其他特徵中，控制模組根據顯示何時執行了預充電的預充電旗標來預充電至少一個位元線組。在其他特徵中，控制模組根據至少一個位元線組的前一次預充電的時序，來預充電所述至少一個位元線組。

更在其他特徵中，提供了一種方法並且該方法包括提供快取記憶體。快取記憶體包括單元的陣列、字元線和位元線。陣列的單元在存取週期期間被存取以存取快取記憶體中所儲存的指令。根據沿第一字元線的存取週期的數目來決定位元線分隔。當存取陣列的第一組單元時，根據位元線分隔預充電連結到第一字元線的一組位元線。當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，抑制執行對至少一個位元線組的預充電。

更在其他特徵中，該方法還包括當第二組單元連結到第一字元線時，抑制預充電所述至少一個位元線組。在其他特徵中，該方法還包括當第二組單元連結到不同於第一字元線的字元線時，預充電所述至少一個位元線組。

在其他特徵中，該方法還包括根據時鐘訊號的速率來調整位元線組的預充電時序。在其他特徵中，該方法還包括當時鐘訊號的速率小於預定速率時，延遲位元線組的預充電。

在其他特徵中，該方法還包括啟用快取記憶體的第一字元線以存取字元線中的第一單元。第一字元線被停用。當存取第一字元線中的第二單元時，第一字元線被維持在停用狀態中。

更在其他特徵中，該方法還包括對位元線組的第一存取週期產生與字元線之一相關聯的字元線脈衝，並且選擇性地抑制對該位元線組的第二存取週期產生字元線脈衝。

更在其他特徵中，該方法還包括選擇性地在離散讀取模式和順序讀取模式下進行操作。在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。字元線訊號是根據順序讀取訊號而產生。在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。根據順序讀取訊號來預充電位元線組。

在其他特徵中，該方法還包括在離散模式下進行操作，所述操作包括：對關聯於對每個單元的存取的每個週期來執行列位址解碼；啟用字元線；並且預充電位元線。

在其他特徵中，當在第一模式期間存取單元時，對每個讀取週期來預充電位元線組並且執行列位址解碼。當在第二模式期間存取單元時，對第一讀取週期來預充電位元線組並且執行列位址解碼，對第二讀取週期抑制執行對位元線組的預充電並且執行列位址解碼。

更在其他特徵中，該方法還包括經由行選擇訊號來選擇陣列的單元，並且根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。在其他特徵中，該方法還包括檢測並放大第一和第二組單元中的位元資訊。

更在其他特徵中，該方法還包括經由列解碼器產生字元線訊號以存取第一組單元。在其他特徵中，字元線訊號包括擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，該方法還包括經由行解碼器產生位元線訊號以存取第一組單元。在其他特徵中，該方法還包括在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號以預充電感應放大器的公用線。在其他特徵中，該方法包括根據分支指令預充電位元線組之一。

在其他特徵中，提供了一種處理器，並且該處理器包括具有陣列、字元線和位元線的快取記憶體和控制裝置。控制裝置在存取週期期間存取陣列的單元以存取快取記憶體中所儲存的指令。控制裝置根據沿第一字元線的存取週期的數目來決定位元線分隔。當存取陣列的第一組單元時，控制裝置根據位元線分隔來預充電連結到第一字元線的一組位元線。當根據陣列的第二組單元和第一字元線之間的連結來存取第二組單元時，控制裝置選擇性地抑制預充電至少一個位元線組。

在其他特徵中，該方法還包括檢測預充電錯誤並且根據預充電錯誤來預充電至少一個位元線組。在其他特徵中，該方法包括根據顯示何時執行了預充電的預充電旗標來預充電至少一個位元線組。在其他特徵中，該方法包括根據至少一個位元線組的前一次預充電的時序，來預充電所述至少

一個位元線組。

更在其他特徵中，當第二組單元與第一字元線相關聯時，控制裝置選擇性地抑制預充電所述至少一個位元線組。在其他特徵中，當第二組單元與不同於第一字元線的字元線相關聯時，控制裝置預充電所述至少一個位元線組。

在其他特徵中，控制裝置根據時鐘訊號的速率來調整位元線組的預充電時序。在其他特徵中，當時鐘訊號的速率小於預定速率時，控制裝置延遲位元線組的預充電。

在其他特徵中，控制裝置啟用快取記憶體的第一字元線以存取字元線中的第一單元，停用第一字元線，並且在存取第一字元線中的第二單元時，維持第一字元線處於停用狀態中。

在其他特徵中，控制裝置對位元線組的第一存取週期產生與字元線之一相關聯的字元線脈衝。控制裝置選擇性地抑制對所述位元線組的第二存取週期產生字元線脈衝。

在其他特徵中，控制裝置選擇性地在離散讀取模式和順序讀取模式下進行操作。在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線組。

在其他特徵中，當在離散模式下時，控制裝置對關聯於對每個單元的存取的每個週期來執行列位址解碼、字元線啟用和位元線預充電。

更在其他特徵中，當在第一模式期間存取單元時，控制裝置對每個讀取週期來預充電位元線組並且執行列位址解碼。當在第二模式期間存取單元時，控制裝置對第一讀取週期來預充電位元線組並且執行列位址解碼，對第二讀取週期不進行位元線組預充電並且不執行列位址解碼。

還在其他特徵中，處理器還包括經由行選擇訊號來選擇陣列的單元的行解碼裝置。控制裝置根據行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。在其他特徵中，處理器還包括檢測並放大第一和第二

組單元中的位元資訊的放大裝置。

更在其他特徵中，處理器還包括用於產生字元線訊號以存取第一組單元的列解碼裝置。在其他特徵中，字元線訊號定義擴充時間段以增大位元線分隔。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

更在其他特徵中，處理器還包括用於產生位元線訊號以存取第一組單元的行解碼裝置。在其他特徵中，處理器還包括用於在鎖存第一和第二組單元中的位元資訊之前接收預充電訊號，以預充電公用線的感應放大裝置。在其他特徵中，控制裝置根據分支指令預充電位元線組之一。

在其他特徵中，提供了一種包括快取記憶體處理器。快取記憶體包括單元的陣列、字元線和位元線。控制模組啟用字元線之一以存取所啟用的字元線中的第一單元。控制模組停用該字元線並且維持該字元線處於停用狀態中以存取該字元線中的第二單元。

在其他特徵中，控制模組透過對位元線的獨立的週期性選擇來存取陣列中的多個單元。控制模組產生與字元線之一相關聯的單個字元線脈衝。在其他特徵中，控制模組在離散讀取模式和順序讀取模式下進行操作。

更在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

更在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，控制模組對關聯於對每個單元的存取的每個週期來執行列位址解碼。

在其他特徵中，當在順序模式下時，控制模組對單個列執行位址解碼並且啟用用於行單元組的字元線。控制模組對行位址解碼選擇、感應並放大行單元組之一。控制模組對行位址解碼停用字元線並且存取不同於所述行單元組的行單元組。

更在其他特徵中，控制模組在第一模式和第二模式下進行操作。當在

第一模式下時，控制模組對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，控制模組對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期不進行位元線預充電並且不執行列位址解碼。當在第二模式下時，控制模組啟用與在每次行存取之後將行位址指向下一位置相關聯的位址計數器。當行位址關聯於字的結束時，位址計數器被重設，並且記憶體被允許對下一離散或順序讀取進行存取。

在其他特徵中，控制模組在存取陣列的第一組單元時預充電位元線，並且在存取陣列的第二組單元時不進行位元線預充電。

更在其他特徵中，快取記憶體包括指令快取和靜態隨機存取記憶體（SRAM）的至少一個。

在其他特徵中，行解碼器被包括，並且該行解碼器經由行選擇訊號來選擇第二單元。控制模組根據行選擇訊號產生用於鎖存第二單元中的位元資訊的鎖存訊號。在其他特徵中，鎖存器被包括，並且該鎖存器鎖存第一和第二單元中的位元資訊。在其他特徵中，感應放大模組被包括，並且該感應放大模組檢測並放大第一和第二單元中的位元資訊。

在其他特徵中，列解碼器被包括。控制模組經由列解碼器產生字元線訊號以存取第一組單元。

在其他特徵中，字元線訊號包括用於增大位元線訊號分隔並且用於補償洩漏的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，行解碼器被包括。控制模組經由行解碼器產生位元線訊號以存取第一組單元。

在其他特徵中，控制模組在字元線擴充時間段之後預充電位元線。在其他特徵中，控制模組對多個單元存取週期預充電位元線一次。

在其他特徵中，感應放大器被包括，該感應放大器具有公用線並且在單元組的存取之間對位元資訊進行鎖存之前，接收預充電訊號以預充電公用線。

在其他特徵中，提供了一種包括處理器的積體電路。在其他特徵中，積體電路還包括與處理器進行通信的外接記憶體。

更在其他特徵中，提供了一種包括處理器的行動電話。在其他特徵中，行動電話還包括與處理器通信的外接記憶體。

更在其他特徵中，提供了一種包括處理器的通信系統。在其他特徵中，通信系統還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種方法，並且該方法包括提供具有單元的陣列、字元線和位元線的快取記憶體。字元線中之一被啟用以存取該字元線中的第一單元。該字元線被停用。該字元線被維持在停用狀態中以存取該字元線中的第二單元。

在其他特徵中，該方法還包括透過對位元線的獨立的週期性選擇來存取陣列中的多個單元。與字元線之一相關聯的單個字元線脈衝被產生。在其他特徵中，該方法包括在離散讀取模式和順序讀取模式下進行操作。

在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。根據順序讀取訊號來產生字元線訊號。

在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。根據順序讀取訊號來預充電位元線。

更在其他特徵中，該方法還包括當在離散模式下時，對關聯於對每個單元的存取的每個週期來執行列位址解碼。

更在其他特徵中，該方法還包括當在順序模式下時，對單個列執行位址解碼並且啟用用於行單元組的字元線。對行位址解碼選擇、感應並放大行單元組之一。對行位址解碼停用字元線並且存取不同於所述行單元組的行單元組。

在其他特徵中，該方法還包括當在第一模式下時，對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，該方法還包括對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期抑制預充電位元線並且抑制執行列位址解碼。當在第二模式下時，位址計數器被啟用，該位址計數器與在每次行存取之後將行位址指向下一位置相關

聯。當行位址關聯於字的結束時，位址計數器被重設並且被允許對下一離散或順序讀取存取來存取記憶體。

在其他特徵中，該方法還包括在存取陣列的第一組單元時預充電位元線。該方法還包括在存取陣列的第二組單元時抑制預充電位元線。

在其他特徵中，該方法還包括經由行選擇訊號來選擇第二單元，並且根據行選擇訊號產生用於鎖存第二單元中的位元資訊的鎖存訊號。在其他特徵中，該方法還包括鎖存第一和第二單元中的位元資訊。在其他特徵中，該方法還包括檢測並放大第一和第二單元中的位元資訊。在其他特徵中，該方法還包括經由列解碼器產生字元線訊號以存取第一組單元。

在其他特徵中，字元線訊號包括用於增大位元線訊號分隔並且用於補償洩漏的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。在其他特徵中，該方法還包括經由行解碼器產生位元線訊號以存取第一組單元。

更在其他特徵中，該方法還包括在字元線擴充時間段之後預充電位元線。在其他特徵中，該方法還包括對多個單元存取週期預充電位元線一次。

更在其他特徵中，該方法還包括在單元組的存取之間對位元資訊進行鎖存之前，經由感應放大器接收預充電訊號以預充電公用線。

在其他特徵中，提供了一種處理器，並且該處理器包括具有單元的陣列、字元線和位元線的快取記憶體。包括用於啟用字元線之一以存取該字元線中的第一單元的控制裝置。控制裝置停用該字元線並且維持該字元線處於停用狀態中以存取該字元線中的第二單元。

在其他特徵中，控制裝置透過對位元線的獨立的週期性選擇來存取陣列中的多個單元，並且產生與字元線之一相關聯的單個字元線脈衝。在其他特徵中，控制裝置在離散讀取模式和順序讀取模式下進行操作。

在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並

且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，控制裝置對關聯於對每個單元的存取的每個週期來執行列位址解碼。

更在其他特徵中，當在順序模式下時，控制裝置對單個列執行位址解碼並且啟用用於行單元組的字元線。控制裝置對行位址解碼選擇、感應並放大行單元組之一。控制裝置對行位址解碼停用字元線並且存取不同於所述行單元組的行單元組。

更在其他特徵中，控制裝置在第一模式和第二模式下進行操作。當在第一模式下時，控制裝置對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，控制裝置對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期不進行位元線預充電並且不執行列位址解碼。當在第二模式下時，控制裝置啟用與在每次行存取之後將行位址指向下一位置相關聯的位址計數器。當行位址關聯於字的結束時，位址計數器被重設，並且記憶體被允許對下一離散或順序讀取進行存取。

在其他特徵中，控制裝置在存取陣列的第一組單元時預充電位元線，並且在存取陣列的第二組單元時不進行位元線預充電。

在其他特徵中，快取記憶體包括指令快取和靜態隨機存取記憶體（SRAM）的至少一個。

在其他特徵中，包括用於經由行選擇訊號來選擇第二單元的行解碼裝置。控制裝置根據行選擇訊號產生用於鎖存第二單元中的位元資訊的鎖存訊號。在其他特徵中，包括用於鎖存第一和第二單元中的位元資訊的鎖存裝置。在其他特徵中，包括用於檢測並放大第一和第二單元中的位元資訊的感應放大裝置。在其他特徵中，控制裝置經由列解碼器產生字元線訊號以存取第一組單元。

更在其他特徵中，字元線訊號包括用於增大位元線訊號分隔並且用於補償洩漏的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。在其他特徵中，控制裝置經由行解碼器產生位元

線訊號以存取第一組單元。

更在其他特徵中，控制裝置在字元線擴充時間段之後預充電多個位元線。在其他特徵中，控制裝置對多個單元存取週期預充電位元線一次。

在其他特徵中，還包括用於在單元組的存取之間對位元資訊進行鎖存之前，接收預充電訊號以預充電感應放大裝置的公用線的感應放大裝置。

在其他特徵中，提供了一種包括處理器的積體電路。在其他特徵中，積體電路還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種包括處理器的行動電話。在其他特徵中，行動電話還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種包括處理器的通信系統。在其他特徵中，通信系統還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種處理器，並且該處理器包括具有單元的陣列、字元線和位元線的快取記憶體。控制模組在存取週期期間存取與快取記憶體中所儲存的指令相關聯的單元。控制模組在存取陣列的第一組單元時預充電位元線，並且在存取陣列的第二組單元時不進行位元線預充電。

更在其他特徵中，控制模組啟用快取記憶體的位元線以存取該字元線中的第一單元。控制模組停用該字元線並且在存取該字元線中的第二單元時維持該字元線處於停用狀態中。

更在其他特徵中，控制模組透過對位元線的獨立的週期性選擇來存取陣列中的多個單元，並且產生與字元線之一相關聯的單個字元線脈衝。在其他特徵中，控制模組在離散讀取模式和順序讀取模式下進行操作。

在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

在其他特徵中，控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，控制模組對關聯於對每個單元的存取的每個週期來執行列位址解碼。

在其他特徵中，當在順序模式下時，控制模組對第一組單元執行列位

址解碼並且維持字元線處於停用狀態中以存取第二組單元。

更在其他特徵中，控制模組在第一模式和第二模式下進行操作。當在第一模式下時，控制模組對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，控制模組對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期不進行位元線預充電並且不執行列位址解碼。

更在其他特徵中，快取記憶體包括指令快取和靜態隨機存取記憶體（SRAM）的至少一個。

在其他特徵中，包括用於經由行選擇訊號來選擇第二單元的行解碼器。控制模組根據行選擇訊號產生用於鎖存第二組單元中的位元資訊的鎖存訊號。在其他特徵中，還包括鎖存第一和第二組單元中的位元資訊的鎖存器。在其他特徵中，還包括檢測並放大第一和第二組單元中的位元資訊的感應放大模組。在其他特徵中，還包括列解碼器。控制模組經由列解碼器產生字元線訊號以存取第一組單元。

在其他特徵中，字元線訊號包括用於增大位元線訊號分隔的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。

在其他特徵中，還包括行解碼器。控制模組經由行解碼器產生位元線訊號以存取第一組單元。

在其他特徵中，控制模組在字元線擴充時間段之後預充電位元線。在其他特徵中，控制模組對多個單元存取週期預充電位元線一次。

更在其他特徵中，還包括感應放大器，該感應放大器具有公用線並且在鎖存第一和第二組單元中的位元資訊之前，接收預充電訊號以預充電公用線。

在其他特徵中，提供了一種積體電路，並且該積體電路包括處理器。在其他特徵中，積體電路還包括與處理器進行通信的外接記憶體。

更在其他特徵中，提供了一種通信裝置，並且該通信裝置包括處理器。

在其他特徵中，通信裝置還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種方法，並且該方法包括提供具有單元的陣列、字元線和位元線的快取記憶體。該方法包括在存取週期期間存取與快取記憶體中所儲存的指令相關聯的單元。當存取陣列的第一組單元時，位元線被預充電。當存取陣列的第二組單元時，不對位元線執行預充電。

在其他特徵中，該方法還包括啟用快取記憶體的位元線以存取該字元線中的第一單元。該字元線被停用並且在存取該字元線中的第二單元時被維持在停用狀態中。

在其他特徵中，該方法還包括透過對位元線的獨立的週期性選擇來存取陣列中的多個單元。產生與字元線之一相關聯的單個字元線脈衝。在其他特徵中，該方法還包括在離散讀取模式和順序讀取模式下進行操作。

在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。根據順序讀取訊號產生字元線訊號。

在其他特徵中，該方法還包括產生順序讀取訊號以啟用順序讀取模式。根據順序讀取訊號預充電位元線。

在其他特徵中，該方法還包括當在離散模式下時，對關聯於每個單元的存取的每個週期來執行列位址解碼。

更在其他特徵中，該方法還包括對第一組單元執行列位址解碼。當在順序模式下時，字元線被維持在停用狀態中以存取第二組單元。

更在其他特徵中，該方法還包括當在第一模式下時，對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，括對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期不進行位元線預充電並且不執行列位址解碼。

在其他特徵中，該方法還包括經由行選擇訊號來選擇第二單元。根據行選擇訊號產生用於鎖存第二組單元中的位元資訊的鎖存訊號。在其他特徵中，該方法還包括鎖存第一和第二組單元中的位元資訊。在其他特徵中，該方法還包括檢測並放大第一和第二組單元中的位元資訊。在其他特徵中，該方法還包括經由列解碼器產生字元線訊號以存取第一組單元。

在其他特徵中，字元線訊號包括用於增大位元線訊號分隔的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。在其他特徵中，該方法還包括經由行解碼器產生位元線訊號以存取第一組單元。

在其他特徵中，該方法還包括在字元線擴充時間段之後預充電位元線。在其他特徵中，該方法還包括對多個單元存取週期預充電位元線一次。

在其他特徵中，該方法還包括在鎖存第一和第二組單元中的位元資訊之前，接收預充電訊號以預充電感應放大器的公用線。

在其他特徵中，提供了一種處理器，並且該處理器包括具有單元的陣列、字元線和位元線的快取記憶體。控制裝置在存取週期期間存取與快取記憶體中所儲存的指令相關聯的單元。控制裝置在存取陣列的第一組單元時預充電位元線，並且在存取陣列的第二組單元時不進行位元線預充電。

在其他特徵中，控制裝置啟用快取記憶體的位元線以存取該字元線中的第一單元。控制裝置停用該字元線並且在存取該字元線中的第二單元時，維持該字元線處於停用狀態中。

更在其他特徵中，控制裝置透過對位元線的獨立的週期性選擇來存取陣列中的多個單元，並且產生與字元線之一相關聯的單個字元線脈衝。在其他特徵中，控制裝置在離散讀取模式和順序讀取模式下進行操作。

在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來產生字元線訊號。

在其他特徵中，控制裝置產生順序讀取訊號以啟用順序讀取模式，並且根據該順序讀取訊號來預充電位元線。

在其他特徵中，當在離散模式下時，控制裝置對關聯於每個單元的存取的每個週期來執行列位址解碼。

在其他特徵中，當在順序模式下時，控制裝置對第一組單元執行列位址解碼並且維持字元線處於停用狀態中以存取第二組單元。

在其他特徵中，控制裝置在第一模式和第二模式下進行操作。當在第

一模式下時，控制裝置對每個讀取週期來預充電位元線並且執行列位址解碼。當在第二模式下時，控制裝置對第一讀取週期來預充電位元線並且執行列位址解碼，而對第二讀取週期不進行位元線預充電並且不執行列位址解碼。

更在其他特徵中，快取記憶體包括指令快取和靜態隨機存取記憶體（SRAM）的至少一個。

在其他特徵中，包括經由行選擇訊號以選擇第二組單元的行解碼裝置。控制裝置根據行選擇訊號產生用於鎖存第二組單元中的位元資訊的鎖存訊號。在其他特徵中，還包括用於鎖存第一和第二組單元中的位元資訊的鎖存裝置。在其他特徵中，還包括用於檢測並放大第一和第二組單元中的位元資訊的感應放大裝置。在其他特徵中，控制裝置經由列解碼器產生字元線訊號以存取第一組單元。

更在其他特徵中，字元線訊號包括用於增大位元線訊號分隔的擴充時間段。在其他特徵中，擴充時間段增大位元線分隔時間並且將位元線分隔設定在預定電壓。在其他特徵中，擴充時間段是以讀取週期的預定數目為依據。在其他特徵中，控制裝置經由行解碼器產生位元線訊號以存取第一組單元。

在其他特徵中，控制裝置在字元線擴充時間段之後預充電位元線。在其他特徵中，控制裝置對多個單元存取週期預充電位元線一次。

在其他特徵中，還包括感應放大裝置，該感應放大裝置用於在鎖存第一和第二組單元中的位元資訊之前，接收預充電訊號以預充電感應放大裝置的公用線。

在其他特徵中，提供了一種積體電路，並且該積體電路包括處理器。在其他特徵中，積體電路還包括與處理器進行通信的外接記憶體。

在其他特徵中，提供了一種通信裝置，並且該通信裝置包括處理器。在其他特徵中，通信裝置還包括與處理器進行通信的外接記憶體。

更在其他特徵中，透過由一個或多個處理器所執行的電腦程式來實現上述的系統和方法。電腦程式可以常駐於電腦可讀媒體上，所述電腦可讀

媒體例如但不限於記憶體、非揮發性資料記憶體和/或其他適當的實體儲存媒體。

根據在下文中提供的詳細描述，本發明的其他應用領域將變得清楚明白。應當了解，雖然詳細描述和具體示例指示了本發明的最佳實施例，但是其意圖僅在於說明而非限制本發明的範圍。

【實施方式】

以下描述實際上僅是示例性的並且絕非意圖限制本發明、其應用或用途。為了清楚，在附圖中將使用相同標號來標識類似的元素。此處使用的術語「A、B 和 C 中的至少一個」應當理解為指的是使用非排他邏輯或的邏輯(A 或 B 或 C)。應當瞭解，可以不同的順序來執行方法中的步驟而不改變本發明的原理。

這裏所使用的術語“模組”指的是特殊用途積體電路 (ASIC)、電子電路、執行一個或多個軟體或韌體程式的處理器 (共享處理器、專屬處理器或處理器組群)、組合邏輯電路，和/或提供所述功能的其他合適元件。處理器可以指處理所儲存的指令的邏輯電路。

在以下描述中，術語“判斷提示 (assert / assertion)”可以指訊號線從第一狀態跳變到第二狀態。例如，訊號線可以從 LOW (低) 狀態跳變到 HIGH (高) 狀態或相反。術語“判斷提示”還可以指啟用一個或多個單元或者用於單元選擇的單元線。單元線可以包括字元線和位元線。

此外，在此公開了多個變數。在一個實施例或背景中使用的變數可以在另一實施例或背景中具有不同含義。例如，變數 T 可以指電晶體、時間或者整數值。

傳統上，當從快取中讀取指令字組時，與每條指令相關聯的記憶單元被個別地存取並鎖存。字可以包括多條指令，所述指令的兩個或多個可以沿單個字元線定位。字還可以包括沿不同字元線定位的指令。執行多個讀取週期來存取每個指令字組。

在每個讀取週期期間，與特定指令相關聯的列路徑和多個行路徑被判

斷提示。附加任務包括對列和行位址進行解碼、產生字元線訊號、預充電關聯位元線、感應放大資料以及鎖存資料。陣列的每條字元線可以包括多條指令，所述指令可以關聯於相同或不同的字。僅作為示例，四（4）到八（8）條指令可以與一條字元線相關聯。

現參考圖 1，顯示對處理器記憶體的非散讀取存取模式的訊號時序。根據時鐘訊號 10 的各種訊號產生。時序圖顯示字元線訊號 12、第一和第二位元線訊號 14 和 16、感應放大訊號 18、行選擇訊號 $20_1 \sim 20_M$ 和指令輸出訊號 22。

通常，當在一個讀取週期期間讀取一條指令時，字元線脈衝 24_1 （一般地稱作字元線脈衝 24）判斷提示如所示之字元線訊號 12。在字元線脈衝 $24_2 \sim 24_N$ 期間分別讀取 $N-1$ 條其他指令，其中 N 是整數值。此外，與指令相對應的單元的 $2 \times I$ 條位元線亦被預充電，其中 I 是指令中的單元數。

對每個讀取週期來產生字元線脈衝 24。每個讀取週期還包括存取並鎖存與特定指令相關聯的單元中的位元資訊。如箭頭 $27_1 \sim 27_N$ 所示，根據時鐘訊號 10 的上升邊緣 $26_1 \sim 26_N$ 來產生字元線訊號脈衝 $24_1 \sim 24_N$ 。分別對每個時鐘脈衝 $28_1 \sim 28_N$ 來產生字元線訊號脈衝 $24_1 \sim 24_N$ 。

字元線的啟動導致位元線的電壓位準之間的位元線分隔。位元線分隔係指記憶單元的位元線的電壓電位之間的差。僅作為示例，在位元線訊號 14 和 16 之間的可變間隙 30 顯示位元線分隔。位元線分隔可以隨字元線被啟用的時間量的增大而增大。可由相應於第一位元線訊號 14 的第二位元線訊號 16 的斜坡部分 $32_1 \sim 32_N$ 來看出位元線分隔的增大。

在產生字元線脈衝之前並且在非啟動狀態期間，與指令字組相關聯的位元線被預充電。如字元線訊號 12 的下降邊緣 $38_1 \sim 38_N$ 所示，字元線訊號 12 被置為無效（de-assert）後，在預充電期間位元線分隔可以回到最小或者無分隔。可由相應於第一位元線訊號 14 的第二位元線訊號 16 的斜坡部分 $40_1 \sim 40_N$ 來看出位元線分隔的減小。

由於記憶單元的洩漏導致出現位元線分隔。僅作為示例，洩漏可以導致位元線的電壓電位相對地增大或減小，這可能影響位元線分隔。當位元

線分隔過小，從單元中準確讀取資料的能力便降低。當位元線分隔過大，可以降低存取時間和/或需要被供應或者從位元線中去除以將位元線返回到設定分隔的功率量可能增大。

產生感應放大訊號 18 以啟動獲取、放大並鎖存單元陣列中所儲存的位元資訊。如箭頭 $41_1 \sim 41_N$ 所示，根據上升邊緣 26 來產生感應放大訊號 18。與指令相關聯的單元陣列的行被選擇。該選擇與字元線脈衝的產生可同時發生。五個行選擇訊號被顯示，這表示與五條指令相關聯的行組選擇。指令可以與一個或多個指令字組相關聯。產生感應放大訊號 18 以對所選擇的提供位元資訊的單元來檢測位元線分隔。

感應放大訊號 18 可以隨著字元線訊號 12 和行選擇訊號 $20_1 \sim 20_M$ 的下降邊緣產生，其中 M 是整數值。如箭頭 $44_1 \sim 44_N$ 所示，根據感應放大訊號 18 的上升邊緣 $42_1 \sim 42_N$ ，指令的每個單元的位元資訊被鎖存並且提供作為指令輸出訊號 22。指令輸出訊號 22 的四條指令被示出並被識別為指令[0]—指令[3]。

當存取指令時，所選擇的字元線的某些單元可以被取回並鎖存。其他單元可以被丟棄，在此丟棄係指不選擇並且不在被判斷提示的單元中鎖存位元。由於對一個讀取週期沿一條字元線的所有單元都被判斷提示，並且每次字元線判斷提示時僅一條指令被鎖存，故該字元線中的其他被判斷提示而未被選擇的單元的位元被丟棄。

由於對相同字元線上的另一指令再次判斷提示相同字元線，所以功率被浪費。

根據本發明，透過在存取與相同字元線相關聯的指令時減少預充電事件和/或相同字元線的判斷提示，來降低功耗。

現參考圖 2，積體電路 (IC) 45 包括具有多模式存取控制模組 50 的中央處理器 (CPU) 46。CPU 可以包括諸如 52 和 54 分別所識別之一組或多組的輸入和輸出 (I/O)。

CPU 46 與記憶體 56 進行通信，記憶體 56 可以被實現為 IC 45 的一部分或者獨立的記憶體。CPU 46 包括與 CPU 46 整合在一起的處理器記憶體

59。例如，處理器記憶體 59 可以用作 CPU 46 的快取。處理器記憶體 59 可以包括 RAM、SRAM 或其他高速記憶體。控制模組 50 在與處理器記憶體 59 相關聯的多讀取模式下進行操作。可以設置諸如硬式磁碟機之類的大容量儲存裝置 58 來儲存資料。

控制模組 50 在離散讀取模式和順序讀取模式下進行操作。在離散讀取模式期間，控制模組對每條指令預充電位元線並且判斷提示字元線。在順序讀取模式期間，控制模組 50 在存取沿相同字元線的多條指令時，減少對位元線的預充電和/或字元線的判斷提示。可以理解，控制模組利用類似的方法在離散以及順序寫入模式下進行操作。

可透過減少字元線的判斷提示和/或減少對位元線的預充電來節省功率。僅作為示例，當兩條指令與相同字元線相關聯時，透過判斷提示單個字元線來存取這兩條指令。僅作為示例，當兩條或多條指令與相同字元線相關聯時，可以對位元線進行一次預充電而非兩次或更多次。與離散讀取模式相比較，這些方法的一個或兩個可以用以降低功耗。

記憶體 56 可以包括隨機存取記憶體 (RAM) 和/或諸如快閃記憶體、半導體記憶體、固態記憶體、相變化記憶體或者其中每個記憶單元具有多於兩種狀態的多態記憶體之類的非揮發性記憶體。大容量儲存裝置 58 可以包括諸如 DVD 光碟機之類的光學儲存器和/或硬式磁碟機 (HDD)。

現參考圖 3，此為電腦裝置 60 的功能方塊圖。電腦裝置 60 在順序讀取模式和離散讀取模式和/或順序寫入模式和離散寫入模式下進行操作。電腦裝置 60 可以是行動電話、網路交換機、路由器或界面、諸如桌上型或膝上型電腦之類的個人電腦、個人資料助理、MP3 播放器、全球定位系統 (GPS) 裝置等。

電腦裝置 60 包括 CPU 61，CPU 61 具有控制對記憶體 59 的存取的多模式存取控制模組 62。電腦裝置 60 還可以包括電源 63、記憶體 64、儲存裝置 66 和蜂巢式網路界面 67。CPU 61 還包括處理器記憶體 69。處理器記憶體 69 可以用作快取。CPU 61 還可以包括網路界面 68、麥克風 70、諸如揚聲器和/或輸出插孔之類的音頻輸出 72、顯示器 74 和諸如鍵盤和/或指向

裝置之類的使用者輸入裝置 76。如果網路界面 68 包括無線區域網路界面，那麼天線（圖中未示）可以被包括。

在離散讀取模式期間，控制模組 62 對每條指令來預充電位元線並且判斷提示字元線。在順序讀取模式期間，控制模組 50 在存取沿相同字元線的多條指令時，減少對位元線的預充電和/或字元線的判斷提示。透過減少字元線的判斷提示和/或對位元線的預充電，可以節省功率。

CPU 61 可以從諸如蜂巢式網路界面 67、網路界面 68、麥克風 70 和/或使用者輸入裝置 76 之類的其他裝置接收輸入訊號。CPU 61 可以處理訊號，包括編碼、解碼、濾波和/或格式化，並且產生輸出訊號。輸出訊號可以被傳送到記憶體 64、儲存裝置 66、蜂巢式網路界面 67、網路界面 68 和音頻輸出 72 的一個或多個。

現參考圖 4，顯示示例性多模式處理器 100。處理器 100 可以被用於圖 2 和圖 3 的實施例中。處理器 100 包括記憶單元陣列 102，記憶單元陣列 102 包括記憶單元的列和行。透過列和行選擇來存取記憶單元。透過判斷提示字元線來選擇列，並且透過判斷提示一對位元線或預充電一對位元線來選擇行。字元線訊號被表示為 104_{1-S} 並且位元線訊號被表示為 106_{1-T} ，其中 S 和 T 是整數值。

位址和控制訊號鎖存器 110 接收位址資訊，該位址資訊被列解碼器 112 和行解碼器 114 用於選擇記憶單元陣列 102 的列和行。位址和控制訊號鎖存器 110 以及諸如列解碼器 112 和行解碼器 114 之類的處理器 100 的其他元件可以被視為多模式存取控制模組 115 的一部分。

位址和控制訊號鎖存器 110 可以包括多模式存取控制模組 115 和/或時序控制模組 116。在寫入模式期間，位址和控制訊號鎖存器 110 與匯流排進行通信，並且接收具有在記憶單元陣列 102 上儲存的資料 D_0-D_N 的訊號。位址和控制訊號鎖存器 110 還可以接收預充電（PCH）訊號、訊號—量子化比（SQR）訊號、寫入啟用訊號（WEN）、晶片啟用訊號（CEN）以及輸出啟用訊號（OEN），以分別用於改善 SQR、啟用寫入模式、操作記憶單元陣列和產生輸出訊號。

SQR 訊號可以指示處理器 100 是在順序讀取模式下亦或在離散讀取模式下進行操作。PCH 訊號可以指示何時處理器正在對位元線執行預充電。

處理器 100 還包括位元線預充電電路 120、行多工器 122、感應放大器/寫入驅動程式模組 124 和資料鎖存/輸出緩衝模組 126。位元線預充電電路 120 用於對記憶單元陣列 102 的位元線進行預充電。位元線預充電電路 120 可以包括驅動程式、緩衝器、電晶體和/或其他判斷提示位元線的元件。位元線預充電電路 120 可以耦合在記憶單元陣列 102 和行多工器 122 之間，或者如虛線的位元線預充電電路 120' 所示，其可位於記憶單元陣列 102 的與行多工器 122 相反的一側。在每個預充電事件期間，位元線預充電電路可以對所有的位元線 106_{1-T} 進行預充電。

在讀取模式期間，行多工器 122 出於鎖存的目的經由行選擇訊號 128_{1-U} 用以選擇記憶單元陣列 102 的行，其中 U 是整數值。在對位元線進行預充電後，行解碼器 114 經由行多工器 122 來選擇某些行。與所選擇的行相關聯的所儲存的位元被提供給感應放大器/寫入驅動程式模組 124 的一個或多個感應放大器，以在被資料鎖存/輸出緩衝模組 126 接收之前被放大。所儲存的位元作為位元資訊訊號 130_{1-V} 被接收，其中 V 是整數值。

感應放大器/寫入驅動程式模組 124 接收讀取/寫入模式訊號 136、感應放大器 (SA) 預充電訊號 138 和 SA 啟用訊號 140。讀取/寫入模式訊號 136 是用於讀取操作或寫入操作的命令訊號。產生 SA 預充電訊號 138 和 SA 啟用訊號 140 以初始和啟動感應放大器/寫入驅動程式模組 124 的 SA 單元。根據來自位址和控制訊號鎖存器 110 的鎖存訊號 142，經放大的資料被鎖存並且以輸出訊號 134 的形式透過資料鎖存/輸出緩衝模組 126 被提供。

在寫入模式期間，類似地經由列解碼器 112 和行解碼器 114 來判斷提示記憶單元陣列 102 中的單元。經由感應放大器/寫入驅動程式模組 124 中的寫入驅動程式將所接收的資料 D_0-D_N 提供給位元線。

還參考圖 5，顯示處理器 100 的一部分。記憶單元陣列 102 包括單元 $150_{1-X, 1-Y}$ ，這些單元的每個儲存一位元資訊。透過列解碼器 112 經由字元線 152_{1-Y} 並且透過行解碼器 114 和位元線預充電電路 120 經由位元線 154_{1-W} 來

判斷提示單元 $150_{1-X, 1-Y}$ ，其中 X 、 Y 和 W 是整數值。根據位址輸入訊號 155 來進行列解碼和行解碼。每個單元 $150_{1-X, 1-Y}$ 具有相關聯的第一位元線和第二位元線，例如分別用於單元 160_{1-Y} 、 162_{1-Y} 的第一位元線 156_{1-X} 和第二位元線 158_{1-X} 。

利用透過行多工器 122 的各電晶體 166_{1-W} 由第一公用線 (common line) 164 將第一位元線 156 耦合在一起。在透過行多工器 122 的各電晶體 170_{1-W} 在第二公用線 168 處將第二位元線 158_{1-X} 耦合在一起。行解碼器 114 經由行多工器 122 來選擇單元 $150_{1-X, 1-Y}$ 。行多工器 122 可以包括電晶體 (如圖所示) 或其他位元線選擇裝置。電晶體可以包括 p 通道金屬氧化層半導體場效 (PMOS) 電晶體 (如圖所示) 或其他電晶體。

對於所顯示的示例性實施例，包括感應放大器 (SA) 180、鎖存器 (圖示為 D 型正反器) 182 和寫入驅動程式 184。SA 180 耦合到行多工器 122。SA 180 和寫入驅動程式 184 是感應放大器/寫入驅動程式模組 124 的一部分。SA 180 包括第一和第二輸入線 186、188，SA 啟用輸入 190，SA 預充電輸入 192 和 SA 輸出 194。第一輸入線 186 耦合到第一公用線 164，並且第二輸入線 188 耦合到第二公用線 168。第一公用線 164 和第二公用線 168 分別具有 SA 位元 A 和 SA 位元 B 訊號。SA 啟用輸入 190 和 SA 預充電輸入 192 接收可由控制模組 115 和/或位址和控制訊號鎖存器 110 產生的 SA 啟用訊號 140 和 SA 預充電訊號 138。

經由行多工器 122 提供所選擇的位元線上的資訊，並且經由 SA 180 檢測並放大。來自 SA 輸出 194 的 SA 輸出訊號 196 被提供給鎖存器 182 的端子 D。端子 D 的資料被鎖存，並且被提供給鎖存器 182 的輸出端子 $\bar{Q}$ 作為資料輸出訊號 198 來輸出。根據所接收的鎖存訊號 142 來鎖存資料。透過控制模組 115 和/或位址和控制訊號鎖存器 110，可以產生所接收的鎖存訊號 142。SA 180 接收 SA 預充電訊號 138 並且判斷提示 SA 輸入線 186、188 (在圖 6 中清楚可見)。

鎖存器 182 和寫入驅動程式 184 分別用於輸出和寫入。鎖存器 182 可以是 D 型正反器 (如圖所示) 或某些其他的鎖存裝置。鎖存器 182 獲取 SA

輸出 194 上的資料，並且可以是資料鎖存/輸出緩衝模組 126 的一部分。寫入驅動程式 184 接收資料輸入訊號 200 並且在公用線 164、168 上提供資料，該資料可以被放大。資料可以從公用線 164、168 被提供給位元線的適當的行。

現參考圖 6，顯示示例性儲存單元 210 和相應的位元線預充電電路 212。提供單元 210 來說明能夠併入如上所述的記憶單元陣列 102 的單元的一種示例性配置。亦可使用其他配置。

如圖所示，單元 210 包括四個儲存電晶體 M1~M4 和兩個存取電晶體 M5、M6。四個儲存電晶體 M1~M4 構成儲存資訊位元的兩個交叉耦合的 (two-cross-coupled) 反相器。在讀取和寫入操作期間，存取電晶體 M5，M6 控制對四個儲存電晶體 M1~M4 的存取。四個儲存電晶體 M1~M4 用作儲存單元。預充電電路 212 包括電晶體 M7、M8 和 M9。電晶體 M1~M9 可以是 PMOS 或 n 通道 MOSFET (NMOS) 電晶體 (如圖所示) 或其他電晶體。在所示出的實施例中，電晶體 M2、M4 和 M7~M9 是 PMOS 電晶體，並且電晶體 M1、M3、M5 和 M6 是 NMOS 電晶體。電晶體 M1~M9 具有各自的源極 M_{S1-S9} ，汲極 M_{D1-D9} ，以及閘極 M_{G1-G9} 。

單元 210 具有字元線 214 並且可以具有第一和第二位元線 156、158。第一和第二電晶體 M1、M2 被串聯耦合，並且與也是串聯耦合的第三和第四電晶體 M3、M4 並聯。源極 M_{S2} 、 M_{S4} 耦合到正電源端子 Vdd。汲極 M_{D2} 、 M_{D4} 耦合到源極 M_{S1} 、 M_{S3} 。閘極 M_{G1} 、 M_{G2} 耦合在一起並且耦合到源極 M_{S3} 。閘極 M_{G3} 、 M_{G4} 耦合在一起並且耦合到汲極 M_{D2} 。汲極 M_{D1} 、 M_{D3} 耦合到負電源端子 Vss。源極 M_{S5} 耦合到汲極 M_{D2} 。源極 M_{S6} 耦合到汲極 M_{D4} 。源極 M_{S5} 和汲極 M_{D7} 耦合在一起並且耦合到第一位元線 156。源極 M_{S6} 和汲極 M_{D9} 耦合在一起並且耦合到第二位元線 158。

電容裝置 220、222 被顯示並且分別表示與位元線 156、158 相關聯的位元線儲存電路的電容。電容裝置 220、222 可以是分立的儲存電容器 (如圖所示)，或者可以表示在每條位元線 156、158 處測得相對於參考電位的電容。

位元線預充電電路 212 經由位元線預充電輸入 226 接收位元線預充電訊號 224，該位元線預充電訊號 224 被提供給閘極 $M_{G7} \sim M_{G9}$ 。源極 M_{S7} 、 M_{S9} 耦合到電源端子 V_{dd} 。汲極 M_{D7} 耦合到源極 M_{S8} 並且汲極 M_{D9} 耦合到汲極 M_{D8} 。

透過字元線 214 的判斷提示來啟用對單元 210 的存取，字元線 214 控制存取電晶體 $M5$ 、 $M6$ 。通常，第二位元線 158 的電壓電位可以是第一位元線 156 的電壓電位的倒數 (inverse)。單元 210 具有三種操作模式，待機、讀取和寫入。諸如零 (0) 和一 (1) 的位元值被儲存在標示為 Q 和 $\bar{Q}$ 的位置上。在待機模式期間，字元線 214 不會被判斷提示並且電晶體 $M1 \sim M4$ 彼此增援。

在讀取模式期間，透過預充電二者位元線 156、158 來啟動讀取週期。字元線 214 然後被判斷提示，從而啟用電晶體 $M5$ 、 $M6$ 。透過維持位元線之一上的電荷並且對另一條位元線進行放電，將所儲存的值 Q 和 $\bar{Q}$ 傳送到位元線 156、158。電荷被維持的位元線被牽引到 V_{dd} 。被放電的位元線被牽引接地。

在寫入模式期間，將要寫入的值應用到位元線 156、158。字元線 214 然後被判斷提示並且要儲存的值被鎖存到單元 210 中。寫入驅動程式覆蓋 (override) 前一狀態的交叉耦合的反相器。

現參考圖 7，顯示包括 SA 預充電電路 232 的 SA 電路 230 的示意圖。SA 電路 230 和 SA 預充電電路 232 可以被用作 SA 180 的一部分或者替代 SA 180。SA 電路 230 包括構成 SA 單元 234 並且被交叉耦合的五個電晶體 $T1 \sim T4$ ，和第五電晶體 $T5$ 。SA 預充電電路 232 包括三個電晶體 $T6 \sim T8$ 。電晶體 $T1 \sim T8$ 可以是 PMOS 或 n 通道 MOSFET (NMOS) 電晶體 (如圖所示)，或者其他電晶體。在所示出的實施例中，電晶體 $T2$ 、 $T4$ 和 $T6 \sim T8$ 是 PMOS 電晶體，並且電晶體 $T1$ 、 $T3$ 和 $T5$ 是 NMOS 電晶體。每個電晶體 $T1 \sim T8$ 具有各自的源極 $T_{S1} \sim T_{S8}$ ，汲極 $T_{D1} \sim T_{D8}$ ，以及閘極 $T_{G1} \sim T_{G8}$ 。

第一和第二電晶體 $T1$ 、 $T2$ 被串聯耦合，並且與也是串聯耦合的第三和第四電晶體 $T3$ 、 $T4$ 並聯。源極 T_{S2} 、 T_{S4} 耦合到正電源端子 V_{dd} 。汲極 T_{D2} 、

T_{D4} 耦合到源極 T_{S1} 、 T_{S3} 。閘極 T_{G1} 、 T_{G2} 耦合在一起並且耦合到源極 T_{S3} 。閘極 T_{G3} 、 T_{G4} 耦合在一起並且耦合到汲極 T_{D2} 。汲極 T_{D2} 、 T_{D4} 可以分別耦合到可以被稱作 SA 公用線的公用線 186、188。汲極 T_{D1} 、 T_{D3} 耦合到源極 T_{S5} 。閘極 T_{G5} 可以耦合到 SA 啟用輸出 190。汲極 T_{D5} 耦合到負電源端子 V_{SS} 。汲極 T_{D2} 、 T_{D6} 耦合在一起。汲極 T_{D4} 、 T_{D8} 耦合在一起。

SA 預充電電路 232 經由 SA 預充電輸入 192 接收 SA 預充電訊號 138，該 SA 預充電訊號 138 被提供給閘極 $T_{G6} \sim T_{G8}$ 。源極 T_{S6} 、 T_{S8} 耦合到電源端子 V_{DD} 。汲極 T_{D6} 耦合到源極 T_{S7} 並且汲極 T_{D8} 耦合到汲極 T_{D7} 。

反相器 240、242 耦合到公用線 186、188。公用線 186、188 之一被提供給鎖存器 182 的資料輸入 D。雖然第二公用線 188 顯示為耦合到資料輸入 D，但是第一公用線 186 可以耦合到資料輸入 D。

現參考圖 8 和圖 9，顯示流程和時序圖。時序圖包括根據時鐘訊號 300 的多個訊號和順序讀取訊號 302。順序讀取訊號 302 指示順序讀取模式。對於所示出的示例，當順序讀取訊號 302 為 HIGH（高）時，處理器在順序讀取模式下進行操作；否則處理器在離散讀取模式下進行操作。時序圖包括字元線訊號 304，位元線訊號（電壓位準）306、308，SA 啟用訊號 310，SA 位元 A 訊號 312，SA 位元 B 訊號 314，行選擇訊號 $316_{1..M}$ ，和指令輸出訊號 318。雖然以該時序圖來描述流程圖的若干個步驟，但是流程圖可以被修改以應用於其他的時序圖和/或本發明的實施例。

流程圖可以在步驟 399 處開始。在步驟 400，產生讀取訊號以從諸如處理器記憶體 59、69 之類的處理器記憶體中讀取指令字組。在步驟 401，例如利用列解碼器 112 和行解碼器 114 來對所接收的指令字組位址進行列解碼和行解碼。

在步驟 402，處理器判斷是否兩條或更多條指令沿單個字元線定位。當兩條或更多條指令沿單個字元線定位時，處理器前進到步驟 403。當處理器沿字元線讀取單個指令時，處理器前進到步驟 405。當從多個字元線讀取指令時，可以重複步驟 400~432 或者其任一部分。

在步驟 403，處理器產生順序讀取訊號 302，透過上升邊緣 320 來顯示。

在步驟 406，處理器準備順序讀取。在上升邊緣 320 和時鐘訊號 300 的上升邊緣 322 之間，處理器可以執行任務來為順序讀取做準備。所述任務可以包括初始化指令計數器，設定用於產生擴充字元線訊號的參數，對讀取週期產生 SA 預充電訊號，預充電位元線，預充電公用線，等等。擴充字元線訊號係指在位元線分隔增大的時間期間被增大的字元線脈衝。

在步驟 405，處理器產生離散讀取訊號。在執行了步驟 405 或 406 之後，執行步驟 407。

在步驟 407，與指令字組相關聯、沿一條字元線的單位元線被預充電。當控制對位元線的前一次預充電沒有認知和/或位元線的預充電的時序尚未確定或不正常時，可以重複步驟 406 和/或 407。當控制不能確定位元線的當前預充電狀態或者當前讀取順序的狀態時，控制可能對前一次預充電沒有認知。讀取順序的狀態可以包括字元線的狀態，例如字元線何時被判斷提示。

當預充電事件之間的時間量超出預設時間段時，位元線的預充電的時序可能不正常。當從最後一次預充電事件起的时间量超出預設時間段時，由於不正常的位元線分隔量導致不能夠執行準確讀取。因此，可以在超出預設時間段之前執行預充電。當控制對位元線的前一次預充電有認知和/或預充電的時序已知和/或正常時，可以不重複步驟 406 和 407。

除了前一次預充電之外，控制可以根據當前預充電的認知、時序和狀態來執行預充電。可以在順序讀取模式下的任一時刻產生預充電指令以執行預充電。因此，可以於前一次預充電來獨立地重複步驟 406 和 407。例如，可以在步驟 424 期間或步驟 424 之後重複並執行步驟 407。換言之，雖然沿當前字元線的指令尚未被接收和/或執行，但是可以在步驟 424 和 432 之間執行另一次位元線的預充電事件。可以產生預充電命令訊號來執行預充電。

控制參數可以被更新以負責根據預充電命令訊號而執行的預充電。當預充電命令訊號產生時，控制可以在當前的操作模式（例如順序讀取模式或離散讀取模式）下繼續進行操作，或者可以改變操作模式。例如，當在順序讀取模式下進行操作並且一旦產生預充電命令訊號時，控制可以執行

預充電並且繼續在順序讀取模式下進行操作或者開始在離散讀取模式下進行操作。

在步驟 408，處理器根據列解碼位址在時鐘脈衝 326 的中部產生字元線訊號 304，透過字元線訊號 304 的上升邊緣 324 顯示。字元線訊號 304 以脈衝的形式存在，對第一指令即指令 [0] 產生字元線訊號 304。不能對沿相同或單個字元線被存取的後續指令來產生字元線訊號 304。字元線訊號 304 保持作用或 HIGH 狀態直到檢測到時鐘訊號 300 的下降邊緣 328，並且直到大約是後續 LOW 時鐘訊號狀態的中部。這提供了擴充的作用字元週期，該作用字元週期增大位元線分隔。字元線訊號 304 的擴充週期表示為 E_1 。

為了準確地從單元陣列中讀取位元，設置了最小位元線分隔。可以透過多模式存取控制模組或透過時序控制模組來設置該位元線分隔。最小分隔可以大約等於或大於 100mV。在一個實施例中，如最大位元線分隔 BL_{max} 所示，設定擴充作用字元週期以允許大約等於最小分隔的位元線分隔加上至少 30mV。在另一實施例中，設定擴充字元週期以允許大約 150mV 的位元線分隔。擴充字元週期直接與用於特定指令字組的讀取週期數或者讀取所產生的字元線訊號 304 的指令數相關。附加的分隔增大對每個讀取週期的準確讀取的可能性。

當執行多個讀取存取週期時，例如在順序讀取模式下，控制負責在讀取存取週期期間可能發生的洩漏量。預充電的量級和極性、存取週期數以及預充電的時序和存取週期被選擇並執行，以維持最小預充電分隔並且確保不超出最大預充電分隔。

位元線分隔範圍可以被儲存並用於確保位元線分隔保持在最大和最小分隔的範圍內。控制可以具有與在一個或多個讀取週期上出現的分隔量相關的預設預充電資訊。根據時鐘頻率，控制可以在順序讀取模式下進行操作，或者對單次預充電執行多個存取週期。例如，控制在離散模式下以高頻進行操作，並且在順序讀取模式下以低頻來進行操作。

在步驟 410，隨著字元線訊號 304 的產生，位元線分隔開始並且因此位元線對之間的電壓電位增大。大約在字元線訊號 304 的下降邊緣 330 出現

最大位元線分隔 $BL_{\max}$ 。字元線訊號的產生導致在位元線的電壓位準之間的位元線分隔。

在步驟 412，諸如一個行選擇訊號 316 之類的行選擇訊號被產生用於選擇一個或多個行，或者與指令相關聯的位元線對。根據行解碼位址來產生行選擇訊號。可以將行選擇訊號提供給諸如行多工器 122 之類的行多工器，用於選擇適當的位元線。該選擇可以和/或與字元線訊號的產生的相同時段發生。在步驟 414，隨著行選擇訊號的產生，公用線的電壓電位開始分隔。

在步驟 415，產生 SA 啟用訊號 310。如箭頭 334_{1-N} 所示，根據時鐘訊號 300 的上升邊緣來產生 SA 脈衝 332_{1-N}。SA 啟用訊號 310 啟動 SA 單元。例如，SA 啟用訊號 310 可以啟動第五電晶體 S_{T5} ，該第五電晶體 S_{T5} 啟用透過 SA 單元的電流，並且檢測並放大 SA 位元 A 訊號 312 和/或 SA 位元 B 訊號 314。對每個所選擇的單元來檢測並放大 SA 位元 A 值和/或 SA 位元 B 值。對每個單元，第一公用線被牽引到電壓電位 V_{dd} ，並且第二公用線被牽引接地。

在步驟 416，產生指令輸出訊號 318，其包括來自每個所選擇的單元的當前指令的資料。如箭頭 372_{1-N} 所示，根據 SA 啟用訊號 310 的上升邊緣 370_{1-N} 來產生指令輸出訊號 318 的每條指令部分。每個所選擇的單元，SA 位元 A 值或者 SA 位 B 值被提供給鎖存器。在被鎖存器接收之前，SA 位元 A 訊號 312 或 SA 位元 B 訊號 314 可以被倒置。鎖存訊號可以被產生以鎖存 SA 位元 A 值或者 SA 位元 B 值，從而產生指令輸出訊號。

在步驟 417，使字元線訊號 304 不被啟動或者使其從 HIGH 狀態跳變到 LOW 狀態。不被啟動的字元線訊號 304 導致位元線的電位因洩漏而漂移。位元線之間的電位隨時間和讀取週期的逝去而減小。在所示出的示例中，如位元線漂移 BL_D 所示，第一位元線的電壓電位相對於第一位元線的第一原始狀態，在 40ns 的時間段期間減小了大約 2mV。第二位元線的電壓電位向第一位元線增大。擴充作用字元週期確保在沿字元線的最後一個讀取週期期間具有足夠的位元線分隔。

在步驟 418，當多條指令沿單個字元線被讀取時，控制前進到步驟 420，

否則控制前進到步驟 419。在步驟 419，當產生另一讀取訊號時，控制返回到步驟 401，否則控制可以結束。

在步驟 420，指令計數器被增大一 (1)。在步驟 421，行位址可以被線性地、順序地或以插入的方式提前。在步驟 422，控制判斷指令計數器是否大於最大指令計數器值。最大指令計數器值可以是預設的和/或儲存的值。當指令計數器不大於最大指令計數器值時，執行步驟 424，否則控制前進到步驟 419。在步驟 419，當產生另一讀取訊號時，控制返回到步驟 401，否則控制可以結束。

在步驟 424，一旦檢測到下一時鐘週期的上升邊緣，SA 啟用訊號 310 就從 HIGH 狀態跳變到 LOW 狀態，並且產生 SA 預充電訊號以對 SA 公用線進行預充電。透過 SA 公用線之一的 SA 位元 B 訊號 314 的上升邊緣 350_{1-N} 來顯示對每個週期的預充電。如箭頭 352_{1-N-1} 所示，上升邊緣 350_{1-N} 是根據時鐘訊號 300 的上升邊緣。這說明 SA 公用線之間的電位減小。應注意，用於預充電 SA 公用線的能量小於用於預充電位元線的能量。例如，用於預充電 SA 公用線的能量可以大約是用於預充電位元線的能量 10%。因此，相對於對每個讀取週期執行位元線預充電，在對每個讀取週期執行 SA 預充電時可節省能量。

在步驟 425，執行行解碼以確定與下一指令相關聯的位元線。在步驟 426，產生諸如一個行選擇訊號 316 之類的下一行選擇訊號，並且 SA 公用線的電壓電位開始分隔。

在步驟 428，啟動 SA 啟用訊號 310。SA 啟用訊號啟動 SA 單元。例如，SA 啟用訊號可以啟動第五電晶體 S_{T5} ，該第五電晶體 S_{T5} 啟用透過 SA 單元的電流，並且對每個所選擇單元來檢測並放大 SA 位元 A 訊號 312 和 SA 位元 B 訊號 314。

在步驟 432，產生下一指令輸出訊號。對每個所選擇的單元，SA 位元 A 值或者 SA 位 B 值被提供給鎖存器。在被鎖存器接收之前，SA 位元 A 訊號 312 或 SA 位元 B 訊號 314 可以被倒置。鎖存訊號可以被產生以鎖存 SA 位元 A 值或者 SA 位元 B 值，從而產生指令輸出訊號。

作為替代，可以當前讀取週期產生 SA 啟用訊號和鎖存訊號來獲取、放大並且鎖存與選擇的指令相關聯的位元資訊。可以產生感應放大訊號來對所選擇的、提供位元資訊的單元檢測位元線分隔。可以隨著字元線訊號和行選擇訊號的下降邊緣產生感應放大訊號。每個單元的位元資訊可以被鎖存並且提供作為輸出訊號，所述位元資訊在輸出訊號中被表示為指令。一旦完成步驟 432，處理器可以返回步驟 420 並且對下一指令重複步驟 420—432。

上述步驟意欲作為說明性的示例；根據應用，可以順序地、同步地、並行地或者以不同的順序來執行所述步驟。

現參考圖 10，顯示操作多模式處理器的另一種方法。方法可以從步驟 439 開始。在步驟 440，產生讀取訊號以從諸如處理器記憶體 59、69 之類的處理器記憶體讀取一個或多個指令字組。在步驟 441，最大字元計數被設定為等於要存取的字元數。在步驟 442，字元計數器被初始化。字元計數器被設定等於值一（1）。在步驟 444，例如利用列解碼器 112 和行解碼器 114 對所接收的指令字組的位址進行列解碼和行解碼。可以在分離的時間間隔期間接收到所接收的位址，並且在接收到時對所述位址進行解碼。

當該字元的位址被接收到時，控制可以存取與每個字元相關聯的單元。例如，在存取與第二個字元相關聯的單元之前，控制可以存取與第一個字元相關聯的單元。與字元相關聯的單元可以與一條或多條字元線相關聯。可以以任何順序來存取與每個字元相關聯的字元線。當存取每個字元線時，可以執行圖 8 的方法的步驟 402~432。

在步驟 446，存取與第一或當前字元線相關聯的單元。在步驟 446 期間，控制可以執行步驟 402~432。在步驟 446A，該步驟可以對應於步驟 407，與當前字元線相關聯的第一組位元線被預充電。在步驟 446B，該步驟可以對應於步驟 408，經由產生第一字元線訊號來存取當前字元線。在產生與當前字元線相關聯的適當的（一個或多個）指令輸出訊號後，控制前進到步驟 448。

在步驟 448，字元計數器被增大。在步驟 450，當字元計數器大於最大

字元計數時，控制前進到步驟 453，否則前進到步驟 452。在步驟 453，當另一讀取訊號產生時，控制可以返回到步驟 441，否則如步驟 454 所示，控制可以結束。

在步驟 452，存取與第二或下一字元線相關聯的單元。在步驟 452 期間，控制可以執行步驟 402~432。在步驟 452A，該步驟可以對應於步驟 407，與所述下一字元線相關聯的第二或下一組位元線被預充電。該下一組位元線可以被包括在前一組位元線中。在步驟 452B，該步驟可以對應於步驟 408，經由第二或下一字元線訊號的產生來存取所述下一字元線。在產生與所述下一字元線相關聯的適當的（一個或多個）指令輸出訊號後，控制返回到步驟 448。

現參考圖 11，顯示一種預充電的方法。當處理器在順序讀取模式下進行操作時，可以執行以下步驟 600~622。方法可以從步驟 599 開始。

在步驟 600，接收和/或產生讀取命令以執行對指令 $1-X$ 的一系列讀取。指令 $1-X$ 可以與單個字元線 152_1 相關聯。在步驟 602，程式計數器值 P_1 被設定為等於 1。在步驟 604，在與字元線相關聯的位元線上形成預充電。在步驟 606，根據步驟 604 的預充電產生輸出指令訊號。可以根據指令 $1-X$ 之一的讀取來產生輸出指令訊號。

透過讀取指令 $1-X$ ，處理器執行程式。從處理器記憶體接收指令並且通常依順序執行所述指令。在處理指令 $1-X$ 時，諸如儲存程式計數器值 P_1 的程式計數器之類的程式計數器可以被用於追蹤程式的當前位置。處理器根據指令 $1-X$ 來決定要執行的任務。指令 $1-X$ 可以包括分支指令。當接收到分支指令時，處理器可以被導向於沿不同於之前被判斷提示如字元線 152_Y 的字元線來讀取單元。因此，並非被增大到下一順序指令的程式計數器可能被改變到程式中的某個其他位置，或者另一程式計數器可能被使用。

在步驟 608，當程式計數器值 P_1 等於指令 X 的編號時，控制在步驟 609 結束。當程式計數器值 P_1 小於所讀取的指令 X 的編號時，控制前進到步驟 610。在步驟 610，控制增大程式計數器值 P_1 。

可以在相同的時間段和/或並行地執行以下步驟 614~620。在步驟

614，控制檢查是否設定了預充電旗標。預充電旗標可以指示已經執行了前一次預充電，例如步驟 604 的預充電。當尚未執行前一次預充電時，控制可以前進到步驟 622，否則控制可以前進到步驟 618。

在步驟 618，控制判斷前一次預充電的時序是否尚未確定或不正常。當前一次預充電的時序尚未確定或不正常時，控制前進到步驟 622，否則控制可以前進到步驟 620。

在步驟 620，控制判斷是否接收到分支指令以讀取另一組指令 $1-w$ 。當接收到分支指令時，控制可以前進到步驟 624，否則控制可以前進到步驟 621。

當執行分支指令時，處理器可以從當前的指令 $1-x$ 的組中分支出來以執行諸如指令 $1-w$ 之類的其他指令。因此，處理器可以停止執行與當前字元線 152_1 相關聯的順序讀取，並且初始與另一字元線 152_Y 相關聯的另一順序讀取。在圖 12 中，顯示記憶體 102 的一部分。指令 $1-w$ 的組可能與字元線 152_Y 相關聯，而指令 $1-x$ 的組可能與字元線 152_1 相關聯。顯示“分支出來(BRANCH OUT)”箭頭 700 來指示分支指令被產生和/或接收並且將沿不同的一字元線來讀取單元。透過步驟 624~638 來執行指令 $1-w$ 。

僅作為示例，當產生分支指令並且控制導向於“迴圈”(do loop) 時，可以中斷順序讀取並且可以執行多次預充電事件。“迴圈”係指一組被重複執行的指令。當執行分支指令時，處理器可以跳躍到一組指令並且執行該指令組一次或者重複地執行該指令組。執行了指令組的處理器可以在程式中繼續，或者返回到順序地接在分支指令之後的指令。返回指令可以被接收，並且其指示處理器返回到在分支指令之後的指令。在完成原始順序讀取的全程之前，可以執行多次預充電事件。

由於接收到分支指令，所以在步驟 624 執行另一次預充電。當控制對預充電沒有認知和/或當分支指令已經產生時，控制可以預設地(default)執行預充電。

在步驟 621，控制產生另一輸出指令訊號。輸出指令訊號可以步驟 604 的預充電或另一次預充電為根據。在步驟 624，控制對位元線執行預充電。

為了存取指令 $1-W$ 的組而執行該預充電。

在步驟 628，控制將程式計數器值 P_2 設定為等於 1。在步驟 630，控制產生與指令 $1-W$ 相關聯的輸出指令訊號。

在步驟 632，當程式計數器值 P_2 等於指令 W 的編號時，控制在步驟 634 結束，或者當繼續指令 $1-X$ 時返回到步驟 604。當程式計數器值 P_2 小於所讀取的指令 W 的編號時，控制前進到步驟 636。在步驟 636，控制增大程式計數器值 P_2 。

在步驟 638，控制產生另一輸出指令訊號。該輸出指令訊號可以步驟 626 的預充電或另一次預充電為根據。在讀取指令 $1-W$ 期間，控制可以重複和/或執行步驟 614~620。

現參考圖 13，為說明被延遲的處理器記憶體位元線的預充電的訊號時序圖。可以在各種時間和條件下發生位元線訊號的預充電。在較慢的處理器時鐘速率期間，可以發生附加的預充電。當時鐘速率較慢或者被減小時，功耗被減小。然而，隨著時鐘速率的減小，預充電事件之間的時間段增大。當使時鐘速率變慢以降低功率時，控制可以在離散讀取模式下進行操作，執行附加的預充電和/或重複地判斷提示與當前字元相關聯的字元線。

當時鐘速率被減小時，預充電可以被延遲以減小洩漏。當位元線被充分地預充電時，洩漏可能處於最大速率。在預充電事件之後，洩漏的量和速率遞減。

對預設的時間段，可以發生預充電的延遲。當時鐘速率增大時，控制可以返回正常的預充電時序。此外，可以緊接在字元線訊號的產生之前執行預充電。這使預充電間的時間最大化並且減小功耗。換言之，透過延遲預充電直到緊接在字元線訊號的產生之前，可以減小功耗。

圖 13 提供當時鐘速率被減小時的示例。時鐘訊號 710、字元線訊號 712、預充電訊號 714 以及位元線訊號 716 和 718 被示出。如透過時鐘訊號 710 的上升邊緣 720_{1,3} 之間的增大的時間所示出的，時鐘訊號 710 的速率從較高速率改變到較低速率。 ΔT_1 表示時鐘訊號 710 的第一和第二時鐘脈衝 722₁ 和 722₂ 之間的時間段。 ΔT_2 表示時鐘訊號 710 的第二和第三時鐘脈衝

722₂ 和 722₃ 之間的時間段。 ΔT_2 大於 ΔT_1 。

在時間段 ΔT_2 期間，處理器可以抑制預充電。該預充電的延遲減少了處理器記憶體的记忆單元的洩漏。洩漏可以指透過諸如通過閘極 (pass-gate) 和拉降 (pull-down) 電晶體的電晶體，諸如 Vdd 和接地之類的參考電位之間的記憶單元中而洩漏的電流量。對位元線訊號 716 和 718 示出參考電位 V_1 和 V_2 。

作為示例，如位元線洩漏電流 i_{BL} 所示，電流可以在圖 6 中 Vdd 和 Vss 之間的電晶體 M6 和 M3 洩漏。當電晶體 M6 和 M3 處於 OFF (關斷) 狀態時存在洩漏電流。隨著位元線分隔的增大，位元線電流 i_{BL} 減小。

如圖所示，位元線 716 和 718 包括兩次預充電事件 P1 和 P2。第一預充電事件 P1 在預充電訊號 714 的第一個上升邊緣 730₁ 處開始並且在時間 t_1 結束。第二預充電事件 P2 在預充電訊號 714 的第二個上升邊緣 730₂ 處開始並且在時間 t_4 結束。當時鐘速率較高時發生第一預充電事件 P1，並且當時鐘速率較低時發生第二預充電事件 P2。

在諸如字元線訊號 712 的上升邊緣 740₁ 和 740₂ 之類的上升邊緣之後，位元線分隔開始。因此，在時間 t_1 ，位元線 716、718 開始分隔。 ΔQ_1 表示在時間段 ΔT_4 期間由於洩漏而使用的電荷， ΔT_4 是時間 t_1 和 t_2 之間的時間。 ΔQ_2 表示在時間段 ΔT_6 期間用於預充電位元線而使用的電荷， ΔT_6 是時間 t_3 和 t_4 之間的時間。透過等式 1 來提供電荷 ΔQ_1 和 ΔQ_2 ，其中 i_{sc} 表示電晶體飽和電流，例如用於預充電電晶體的 PMOS 飽和電流。

$$\Delta Q_1 = \Delta Q_2 = i_{sc} \cdot \Delta T_4 = i_{sc} \cdot \Delta T_6 \quad (1)$$

控制抑制預充電直到時間 t_3 ，而不是在時間 t_2 進行預充電。可以根據用於預充電位元線 716 和 718 的預定時間量、當前時鐘速率和時鐘脈衝的時序和/或字元線訊號的下一上升邊緣的預定時間來決定時間 t_3 。當讀取存取週期和/或字元線訊號的上升邊緣被預見時，如上升邊緣 730₂ 所示，可以在時間 t_3 開始執行預充電。換言之，緊接在所預見的位元線脈衝之前執行預充電。 ΔT_5 表示時間 t_2 和 t_3 之間的時間段。在時間段 ΔT_5 期間，電荷 ΔQ_{sv} 被保存。然而，由於開關電荷 (switching charge) ΔQ_{sw} 與諸如用於預充電

位元線 716 和 718 的預充電電路之類的開關預充電裝置相關聯，所以透過等式 2 來提供所保存的淨電荷 ΔQ_N 。

$$\Delta Q_N = \Delta Q_{SV} - \Delta Q_{SW} \quad (2)$$

透過等式 3 來提供開關電荷 ΔQ_{SW} ，其中 C 是預充電裝置的電容。電容還可以包括相應訊號線的電容。

$$\Delta Q_{SW} = C \cdot V_{dd} \quad (3)$$

在此公開的無線網路裝置和系統可以符合諸如 802.11、802.11a、802.11b、802.11g、802.11h、802.11n、802.16 和 802.20 之類的 IEEE 標準。此外，在此公開的實施例可以利用和/或包括藍牙裝置和技術。

現參考圖 14，CPU 760 包括抓取/解碼模組 764，該抓取/解碼模組 764 從諸如指令快取 766 之類的記憶體中抓取並解碼順序指令和分支指令。可以預先預取回並解碼某些指令。僅作為示例，指令快取 766 包括順序指令 768-S1、768-S2、...和 768-S6（總稱為順序指令 768-S）。僅作為示例，指令快取 766 還包括分支指令 768-B1、768-B2 和 768-B3（總稱為分支指令 768-B）。可以理解，可以以任何順序來排列分支指令和順序指令。

抓取/解碼模組 764 或 CPU 760 的另一元件包括程式計數器 (PC) 765。程式計數器 765 保持追蹤指令快取 766 中下一指令的位置。CPU 760 還包括分支預測模組 776，該分支預測模組 776 預測分支指令的結果以提高預抓取和解碼的效率。分支預測模組 776 可以包括儲存用於分支指令的分支預測資料的分支歷史模組 780。

通常將指令儲存在諸如 CPU 760 的指令快取 766 之類的記憶體中連續的可定址位置中。當由 CPU 760 處理指令時，從連續的儲存位置中抓取指令並執行。每次指令從記憶體中被抓取時，CPU 760 中的程式計數器 765 被增大以使得其包含序列中的下一指令的位址。繼續抓取指令、增大程式計數器 765 和執行指令，直到遇到分支指令。

分支指令在被執行時改變程式計數器 765 中的位址並且導致控制流程改變。僅作為示例，分支指令可以包括條件和無條件分支。示例性分支指令包括 jump（跳躍）、test（測試）和有條件的跳躍（例如 as if...then...else

等)、call (調用)、return (返回) 等。跳躍指令導致 CPU 760 無條件地將程式計數器 765 的內容改變到特定值，例如程式接下來要執行的指令的目標位址。

測試和有條件的跳躍指令導致 CPU 760 測試狀態暫存器的內容、比較諸如快取中的值或者執行另一測試，並且繼續順序執行或者根據結果跳躍到目標位址。調用指令不但導致 CPU 無條件地跳躍到新的目標位址，而且保存程式計數器 765 的值以使得 CPU 760 能夠返回該程式位置。返回指令導致 CPU 760 取回被最後一個調用指令保存的程式計數器的值，並且將程式流程返回到所取回的指令位址。

早期，CPU 被設計為一次僅執行一條指令。對於這樣的 CPU，下一指令是順序指令還是分支指令並不重要。更複雜的 CPU 在 CPU 不同的區塊或管線級中同時操作若干條指令。換言之，CPU 可以是管線化並且包括兩個或多個管線級。當指令被抓取時，其被引入管線的一端。指令透過 CPU 內的管線級直到其完成執行。

在管線化 CPU 中，通常直到分支指令到達管線中的晚級，才知道該分支指令是否會改變程式流程。此時，CPU 已經抓取其他的指令並且正在管線中的早級執行它們。如果分支導致程式流程的改變，那麼在該分支後的管線中的所有指令必須被丟棄。此外，由分支指令的目標位址所指定的指令必須被抓取。丟棄中間指令並且抓取目標位址處的指令產生處理延遲。

為了緩解延遲，分支預測模組 776 預測分支指令的可能結果，然後根據分支預測抓取後續的指令。分支預測模組 776 可以包括對條件分支指令的結果作出預測的分支歷史模組 780。

僅作為示例，分支歷史模組 780 可以包括透過分支指令位址或其他適當機制索引的一個或多個位的陣列。每一位元儲存一個或多個分支指令的先前結果。例如，如果上一次執行分支指令時進行了分支，那麼該位元儲存 1。如果上一次執行分支指令時沒有進行分支，那麼該位元儲存 0。可以使用附加的位元來實現更複雜的標準，例如 B 中的 A (A out of B) 標準或其他標準。

為了預測分支指令，分支預測模組 776 得到分支指令的位址並且評估分支歷史模組 780 的內容。以單個位元為例，對分支指令的特定執行的預測是該分支指令的前一次執行的結果。在分支指令被執行或未被執行之後，以實際的分支指令結果來更新分支歷史模組 780。

根據本發明，透過在存取與相同字元線相關聯的所預測的分支指令時，減少預充電事件和/或相同字元線的判斷提示，來降低功耗。換言之，當 CPU 760 抓接管線處理器中的後續指令時，CPU 760 可能遇到一個或多個分支指令。當遇到分支指令時，分支預測模組 776 使用與分支指令相關聯的預測資料來預測是否可能會進行分支。根據預測結果，CPU 載入相應的分支指令並且繼續其他的後續指令。多模式存取控制模組選擇性地使用如上所述的順序讀取模式或離散讀取模式。

現參考圖 15A~15F，顯示包含本發明的教導的各種示例性實現。

現在參考圖 15A，可以在處理器 513 中實現本發明的教導以存取硬式磁碟機 (HDD) 500 的處理器記憶體 517 中的記憶單元。HDD 500 包括硬碟機元件 (hard disk assembly, HDA) 501 和 HDD 印刷電路板 (PCB) 502。HDA 501 可以包括諸如一個或多個儲存資料的碟片之類的磁性媒體 503，和讀取/寫入裝置 504。讀取/寫入裝置 504 可以設置在制動臂 (actuator arm) 505 上，並且可以讀寫在磁性媒體 503 上的資料。另外，HDA 501 包括使磁性媒體 503 旋轉的主軸馬達 506 和開動制動臂 505 的音圈馬達 (VCM) 507。前置放大器裝置 508 將在讀取操作過程中放大由讀取/寫入裝置 504 產生的訊號，並且在寫入操作過程中將訊號提供給讀取/寫入裝置 504。

HDD PCB 502 包括讀取/寫入 (R/W) 通道模組 (在下文中稱作“讀取通道”) 509、硬碟控制器 (HDC) 模組 510、緩衝器 511、非揮發性記憶體 512、處理器 513 和主軸/VCM 驅動器模組 514。讀取通道 509 處理從前置放大器裝置 508 接收的和發送到前置放大器裝置 508 的資料。HDC 模組 510 控制 HDA 501 的元件，並經由 I/O 界面 515 與外接裝置 (圖中未示) 進行通信。所述外接裝置可以包括電腦、多媒體裝置、行動電腦裝置等等。I/O 界面 515 可以包括有線和/或無線通信連結。

HDC 模組 510 可以從 HDA 501、讀取通道 509、緩衝器 511、非揮發性記憶體 512、處理器 513、主軸/VCM 驅動器模組 514 和/或 I/O 界面 515 接收資料。處理器 513 可以處理資料，包括編碼、解碼、濾波和/或格式化。經處理的資料可以輸出到 HDA 501、讀取通道 509、緩衝器 511、非揮發性記憶體 512、處理器 513、主軸/VCM 驅動器模組 514 和/或 I/O 界面 515。

HDC 模組 510 可以利用緩衝器 511 和/或非揮發性記憶體 512 來儲存與 HDD 500 的控制和操作相關的資料。緩衝器 511 可以包括 DRAM、SDRAM 等。非揮發性 (NV) 記憶體 512 可以包括快閃記憶體 (包括 NAND 和 NOR 快閃記憶體)、相變化記憶體、磁性 RAM 或其中每個記憶單元具有多於兩種狀態的多態記憶體。主軸/VCM 驅動器模組 514 控制主軸馬達 506 和 VCM 507。HDD PCB 502 包括向 HDD 500 的元件提供電力的電源 516。

現在參考圖 15B，可以在處理器 524 中實現本發明的教導以存取 DVD 光碟機 518 或 CD 光碟機 (圖中未示) 的處理器記憶體 537 中的記憶單元。DVD 光碟機 518 包括 DVD PCB 519 和 DVD 組件 (DVDA) 520。DVD PCB 519 包括 DVD 控制模組 521、緩衝器 522、非揮發性記憶體 523、處理器 524、主軸/FM (饋送馬達) 驅動器模組 525、類比前端模組 526、寫入策略模組 527 和 DSP 模組 528。

DVD 控制模組 521 控制 DVDA 520 的元件並經由 I/O 界面 529 與外接裝置 (圖中未示) 進行通信。所述外接裝置可以包括電腦、多媒體裝置、行動電腦裝置等等。I/O 界面 529 可以包括有線和/或無線通信連結。

DVD 控制模組 521 可以從緩衝器 522、非揮發性記憶體 523、處理器 524、主軸/FM 驅動器模組 525、類比前端模組 526、寫入策略模組 527、DSP 模組 528 和/或 I/O 界面 529 接收資料。處理器 524 可以處理資料，包括編碼、解碼、濾波和/或格式化。DSP 模組 528 執行訊號處理，例如對視訊和/或音頻進行編碼/解碼。經處理的資料可以輸出到緩衝器 522、非揮發性記憶體 523、處理器 524、主軸/FM 驅動器模組 525、類比前端模組 526、寫入策略模組 527、DSP 模組 528 和/或 I/O 界面 529。

DVD 控制模組 521 可以利用緩衝器 522 和/或非揮發性記憶體 523 來儲

存與 DVD 光碟機 518 的控制和操作相關的資料。緩衝器 522 可以包括 DRAM、SDRAM 等等。非揮發性記憶體 523 可以包括快閃記憶體（包括 NAND 和 NOR 快閃記憶體）、相變化記憶體、磁性 RAM 或其中每個記憶單元具有多於兩種狀態的多態記憶體。DVD PCB 519 包括向 DVD 光碟機 518 的元件提供電力的電源 530。

DVDA 520 可以包括前置放大器裝置 531、雷射光碟機 532 和光學裝置 533，該光學裝置 533 可以是光學讀/寫（ORW）裝置或光學唯讀（OR）裝置。主軸馬達 534 使光學儲存媒體 535 旋轉，並且饋送馬達 536 相對於光學儲存媒體 535 來致動光學裝置 533。

當從光學儲存媒體 535 讀取資料時，雷射光碟機向光學裝置 533 提供讀取功率。光學裝置 533 檢測來自光學儲存媒體 535 的資料，並且將資料發送到前置放大器裝置 531。類比前端模組 526 從前置放大器裝置 531 接收資料，並且執行諸如濾波和 A/D 轉換之類的功能。為了在光學儲存媒體 535 寫入資料，寫入策略模組 527 向雷射光碟機 532 發送功率級和時序資料。雷射光碟機 532 控制光學裝置 533 以向光學儲存媒體 535 寫入資料。

現在參考圖 15C，可以在 HDTV 控制模組 538 中實現本發明的教導以存取高畫質電視（HDTV）537 的內部記憶體 544 的記憶單元。HDTV 537 包括 HDTV 控制模組 538、顯示器 539、電源 540、記憶體 541、儲存裝置 542、網路界面 543 和外部界面 545。如果網路界面 543 包括無線區域網路界面，則天線（圖中未示）可以被包括。

HDTV 537 可以接收來自網路界面 543 和/或外部界面 545 的輸入訊號，可以經由電纜、寬頻網際網路和/或衛星來發送和接收資料。HDTV 控制模組 538 可以處理輸入訊號，包括編碼、解碼、濾波和/或格式化，並產生輸出訊號。輸出訊號可以發送到顯示器 539、記憶體 541、儲存裝置 542、網路界面 543 和外部界面 545 的一個或多個。

記憶體 541 可以包括隨機存取記憶體（RAM）和/或非揮發性記憶體，例如快閃記憶體、相變化記憶體或其中每個記憶單元具有多於兩種狀態的多態記憶體。儲存裝置 542 可以包括光學儲存器，例如 DVD 光碟機和/或

硬式磁碟機 (HDD)。HDTV 控制模組 538 經由網路界面 543 和/或外部界面 545 向外部進行通信。電源 540 向 HDTV 537 的元件提供電力。

現在參考圖 15D，可以在車輛控制模組 547 中實現本發明的教導以存取車輛 546 的內部記憶體 551 的記憶單元。車輛 546 可以包括車輛控制模組 547、電源 548、記憶體 549、儲存裝置 550 和網路界面 552。如果網路界面 552 包括無線區域網路界面，則天線（圖中未示）可以被包括。車輛控制模組 547 可以是引擎電腦（powertrain）控制系統、車身控制系統、娛樂控制系統、防鎖死剎車系統（ABS）、導航系統、遠端資訊通信系統、車道偏離系統、適應性巡航控制系統等。

車輛控制模組 547 可以與一個或多個感測器 554 通信，並且產生一個或多個輸出訊號 556。感測器 554 可以包括溫度感測器、加速度感測器、壓力感測器、旋轉感測器、氣流感測器等。輸出訊號 556 可以控制引擎操作參數、傳輸操作參數、懸掛參數等。

電源 548 向車輛 546 的元件提供電力。車輛控制模組 547 可以在記憶體 549 和/或儲存裝置 550 中儲存資料。記憶體 549 可以包括隨機存取記憶體（RAM）和/或非揮發性記憶體，例如快閃記憶體、相變化記憶體或其中每個記憶單元具有多於兩種狀態的多態記憶體。儲存裝置 550 可以包括光學儲存器，例如 DVD 光碟機和/或硬式磁碟機（HDD）。車輛控制模組 547 可以利用網路界面 552 與外部進行通信。

現在參考圖 15E，可以在機頂控制模組 580 中實現本發明的教導以存取機頂盒 578 的內部記憶體 586 的記憶單元。機頂盒 578 包括機頂控制模組 580、顯示器 581、電源 582、記憶體 583、儲存裝置 584 和網路界面 585。如果網路界面 585 包括無線區域網路界面，則天線（圖中未示）可以被包括。

機頂控制模組 580 可以接收來自網路界面 585 和外部界面 587 的輸入訊號，可以經由電纜、寬頻網際網路和/或衛星來發送和接收資料。機頂控制模組 580 可以處理訊號，包括編碼、解碼、濾波和/或格式化，並產生輸出訊號。輸出訊號可以包括音頻和/或以標準和/或高畫質格式存在的視訊訊

號。輸出訊號可以與網路界面 585 和/或顯示器 581 進行通信。顯示器 581 可以包括電視、投影器和/或監視器。

電源 582 向機頂盒 578 的元件提供電力。記憶體 583 可以包括隨機存取記憶體 (RAM) 和/或非揮發性記憶體，例如快閃記憶體、相變化記憶體或其中每個記憶單元具有多於兩種狀態的多態記憶體。儲存裝置 584 可以包括光學儲存器，例如 DVD 光碟機和/或硬式磁碟機 (HDD)。

現在參考圖 15F，可以在行動裝置控制模組 590 中實現本發明的教導以存取行動裝置 589 的內部記憶體 595 的記憶單元。行動裝置 589 可以包括行動裝置控制模組 590、電源 591、記憶體 592、儲存裝置 593、網路界面 594 和外部界面 599。如果網路界面 594 包括無線區域網路界面，則天線(圖中未示)可以被包括。

行動裝置控制模組 590 可以從網路界面 594 和/或外部界面 599 接收輸入訊號。外部界面 599 可以包括 USB、紅外線和/或乙太網。輸入訊號可以包括經壓縮的音頻和/或視訊，並且可以符合 MP3 格式。另外，行動裝置控制模組 590 可以從諸如鍵盤、觸控板或單個按鈕之類的使用者輸入 596 接收輸入訊號。行動裝置控制模組 590 可以處理輸入訊號，包括編碼、解碼、濾波和/或格式化，並且產生輸出訊號。

行動裝置控制模組 590 可以向音頻輸出 597 輸出音頻訊號，並且向顯示器 598 輸出視訊訊號。音頻輸出 597 可以包括揚聲器和/或輸出插孔。顯示器 598 可以顯示包括選單、圖示等的圖形使用者界面。電源 591 向行動裝置 589 的元件提供電力。記憶體 592 可以包括隨機存取記憶體 (RAM) 和/或非揮發性記憶體，例如快閃記憶體、相變化記憶體或其中每個記憶單元具有多於兩種狀態的多態記憶體。儲存裝置 593 可以包括光學儲存器，例如 DVD 光碟機和/或硬式磁碟機 (HDD)。行動裝置可以包括個人數位助理、媒體播放器、膝上型電腦、遊戲控制臺或其他行動電腦裝置。

前文係針對本發明之較佳實施例為本發明之技術特徵進行具體之說明，唯熟悉此項技術之人士當可在不脫離本發明之精神與原則下對本發明進行變更與修改，而該等變更與修改，皆應涵蓋於如下申請專利範圍所界

定之範疇中。

【圖式簡單說明】

圖 1 為說明離散讀取存取系統對處理器記憶體的操作的訊號時序圖；

圖 2 為根據本發明實施例的具有多模式存取控制模組的中央處理器（CPU）的功能方塊圖；

圖 3 為根據本發明實施例的包含具有多模式存取控制模組的 CPU 的電腦的功能方塊圖；

圖 4 為根據本發明實施例的多模式處理器的功能方塊圖；

圖 5 為圖 4 的處理器的一部分的方塊圖和示意圖；

圖 6 為根據本發明實施例的示例性儲存單元和相應的位元線預充電電路；

圖 7 為根據本發明實施例的感應放大器電路和相應的感應放大器預充電電路的示意圖；

圖 8 為說明根據本發明實施例的操作多模式處理器的方法的邏輯流程圖；

圖 9 為說明根據本發明實施例的在圖 8 的順序讀取模式期間多模式處理器的操作的訊號時序圖；

圖 10 為示出根據本發明另一實施例的操作多模式處理器的方法的邏輯流程圖；

圖 11 為說明根據本發明實施例的預充電方法的邏輯流程圖；

圖 12 為圖 4 的記憶體的一部分的方塊圖和示意圖；

圖 13 為說明處理器記憶體位元線的延遲預充電的訊號時序圖；

圖 14 說明根據本發明實施例的具有分支預測模組的 CPU；

圖 15A 為硬式磁碟機的功能方塊圖；

圖 15B 為 DVD 光碟機的功能方塊圖；

圖 15C 為高畫質電視的功能方塊圖；

圖 15D 為車輛控制系統的功能方塊圖；

圖 15E 為機頂盒的功能方塊圖；以及

圖 15F 為行動裝置的功能方塊圖。

【主要元件符號說明】

- 10 時鐘訊號
- 12 字元線訊號
- 14 第一位元線訊號
- 16 第二位元線訊號
- 18 感應放大訊號
- 20₁、20₂、20₃、20₄、20_M 行選擇訊號
- 22 指令輸出訊號
- 24₁、24₂、24₃、24₄、24_N 字元線脈衝
- 26₁、26₂、26₃、26₄、26_N 上升邊緣
- 27₁、27₂、27₃、27₄、27_N 箭頭
- 28₁、28₂、28₃、28₄、28_N 時鐘脈衝
- 30 可變間隙
- 32₁、32₂、32₃、32₄、32_N 斜坡部分
- 38₁、38₂、38₃、38₄、38_N 下降邊緣
- 40₁、40₂、40₃、40₄、40_N 斜坡部分
- 41₁、41₂、41₃、41₄、41_N 箭頭
- 42₁、42₂、42₃、42₄、42_N 上升邊緣
- 44₁、44₂、44₃、44₄、44_N 箭頭
- 45 IC
- 46 CPU
- 50 多模式存取控制模組
- 52 區域 I/O
- 54 網路 I/O
- 56 記憶體
- 58 儲存裝置
- 59 處理器記憶體

60	電腦裝置
61	CPU
62	多模式存取控制模組
63	電源
64	記憶體
66	儲存裝置
67	蜂巢式網路界面
68	網路界面
69	處理器記憶體
70	麥克風
72	音頻輸出
74	顯示器
76	使用者輸入裝置
100	多模式處理器
102	記憶單元陣列
104 _{1-S}	字元線訊號
106 _{1-T}	位元線訊號
110	位址和控制訊號鎖存器
112	列解碼器
114	行解碼器
115	多模式存取控制模組
116	時序控制模組
120	位元線預充電電路
120'	位元線預充電電路
122	行多工器
124	感應放大器/寫入驅動程式模組
126	資料鎖存/輸出緩衝模組
128 _{1-U}	行選擇訊號

130 _{I-V}	位元資訊訊號
134	輸出訊號
136	讀取/寫入模式訊號
138	SA 預充電訊號
140	SA 啟用訊號
142	鎖存訊號
150 _{I,I} 、150 _{X,I} 、150 _{I,Y} 、150 _{X,Y}	單元
152 _I 、152 _Y	字元線
154 _I 、154 ₂ 、154 _{W-I} 、154 _W	位元線
155	位址輸入訊號
156 _I 、156 _X	第一位元線
158 _I 、158 _X	第二位元線
160 _I 、160 _Y 、162 _I 、162 _Y	單元
164	第一公用線
166 _I 、166 _{W-I}	電晶體
168	第二公用線
170 ₂ 、170 _W	電晶體
180	感應放大器
182	鎖存器
184	寫入驅動程式
186	第一輸入線/公用線
188	第二輸入線/公用線
190	SA 啟用輸出
192	SA 預充電輸入
194	SA 輸出
196	SA 輸出訊號
198	資料輸出訊號
200	資料輸入訊號

- 210 儲存單元
- 212 位元線預充電電路
- 214 字元線
- 220、222 電容裝置
- 224 位元線預充電訊號
- 226 位元線預充電輸入
- 240、242 反相器
- 230 SA 電路
- 300 時鐘訊號
- 302 順序讀取訊號
- 304 字元線訊號
- 306、308 位元線訊號
- 310 SA 啟用訊號
- 312 SA 位元 A 訊號
- 314 SA 位元 B 訊號
- 316₁、316₂、316₃、316₄、316_M 行選擇訊號
- 318 指令輸出訊號
- 320、322、324 上升邊緣
- 326 時鐘脈衝
- 328、330 下降邊緣
- 332₁、332₂、332₃、332₄、332_N SA 脈衝
- 334₁、334₂、334₃、334₄、334_N 箭頭
- 350₁、350₂、350₃、350_N 上升邊緣
- 352₁、352₂、352₃、352_{N-1} 箭頭
- 370₁、370₂、370₃、370₄、370_N 上升邊緣
- 372₁、372₂、372₃、372₄、372_N 箭頭
- 500 HDD
- 501 HDA

502	HDD PCB
503	磁性媒體
504	讀取/寫入裝置
505	制動臂
506	主軸馬達
507	音圈馬達
508	前置放大器裝置
509	R/W 通道模組
510	HDC 模組
511	緩衝器
512	非揮發性記憶體
513	處理器
514	主軸/VCM 驅動器模組
515	界面
516	電源
517	處理器記憶體
518	DVD 光碟機
519	DVD PCB
520	DVDA
521	DVD 控制模組
522	緩衝器
523	非揮發性記憶體
524	處理器
525	主軸/FM 驅動器模組
526	類比前端模組
527	寫入策略模組
528	DSP 模組
529	界面

530	電源
531	前置放大器裝置
532	雷射光碟機
533	ORW
534	主軸馬達
535	光學儲存媒體
536	FM
537	處理器記憶體
537	高畫質電視
538	HDTV 控制模組
539	顯示器
540	電源
541	記憶體
542	儲存裝置
543	網路界面
544	內部記憶體
545	外部界面
546	車輛
547	車輛控制模組
548	電源
549	記憶體
550	儲存裝置
551	內部記憶體
552	網路界面
554	感測器
556	輸出訊號
578	機頂盒
580	機頂控制模組

581	顯示器
582	電源
583	記憶體
584	儲存裝置
585	網路界面
586	內部記憶體
587	外部界面
589	行動裝置
590	行動裝置控制模組
591	電源
592	記憶體
593	儲存裝置
594	網路界面
595	內部記憶體
596	使用者輸入
597	音頻輸出
598	顯示器
599	外部界面
700	箭頭
710	時鐘訊號
712	字元線訊號
714	預充電訊號
716、718	位元線訊號
720 ₁ 、720 ₂ 、720 ₃	上升邊緣
722 ₁	第一時鐘脈衝
722 ₂	第二時鐘脈衝
722 ₃	第三時鐘脈衝
730 ₁ 、730 ₂ 、740 ₁ 、740 ₂	上升邊緣

760	CPU
764	抓取/解碼模組
765	PC
766	指令快取
768-B1、768-B2、768-B3	分支指令
768-S1、768-S2、768-S3、768-S4、768-S5、768-S6	順序指令
776	分支預測模組
780	分支歷史模組
399~432	步驟
439~454	步驟
599~638	步驟
BL_D	位元線漂移
BL_{max}	最大位元線分隔
E_t	擴充週期
i_{BL}	洩漏電流
M1~M4	儲存電晶體
M5、M6	存取電晶體
M7~M9	電晶體
$M_{D1} \sim M_{D9}$	汲極
$M_{G1} \sim M_{G9}$	閘極
$M_{S1} \sim M_{S9}$	源極
P1	第一預充電事件
P2	第二預充電事件
Q 、 $\bar{Q}$	位置
T1~T8	電晶體
$T_{D1} \sim T_{D8}$	汲極
$T_{G1} \sim T_{G8}$	閘極
$T_{S1} \sim T_{S8}$	源極

$t_1 \sim t_4$	時間
$V_1、V_2$	參考電位
Vdd	正電源端子
Vss	負電源端子
$\Delta Q_1、\Delta Q_2、\Delta Q_{sv}$	電荷
$\Delta T_1 \sim \Delta T_6$	時間段

十、申請專利範圍：

1. 一種處理器，包括：

快取記憶體，其包括：

一陣列；

字元線；

位元線；

一控制模組，其在存取週期期間存取所述陣列的單元以存取儲存在所述快取記憶體中的指令；以及

一列解碼器，

其中，所述控制模組選擇性地執行第一順序讀取和第一離散讀取之一，以存取連結到第一字元線的所述陣列的第一組單元中的指令，並且根據第一分支指令來選擇性地執行第二順序讀取和第二離散讀取之一，以存取連結到第二字元線的所述陣列的第二組單元中的指令，其中所述控制模組經由所述列解碼器產生一字元線訊號以存取所述第一組單元，其中所述字元線訊號定義擴充時間段以增大所述位元線分隔，其中所述擴充時間段以預設讀取週期的數目為根據，以及其中所述第二字元線不同於所述第一字元線。

2. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組在執行所述第一順序讀取時，啟用所述快取記憶體的所述第一字元線以存取所述第一字元線中的第一單元，停用所述第一字元線，並且在存取所述第一字元線中的第二單元時維持所述第一字元線處於停用狀態中。

3. 如申請專利範圍第 1 項所述的處理器，其中當執行所述第一順序讀取時，所述控制模組對所述位元線的第一存取週期產生與所述第一字元線相關聯的第一字元線脈衝，並且選擇性地抑制對所述位元線的第二存取週期產生用於所述第一字元線的第二字元線脈衝。

4. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組根據沿第一字元線執行的所述存取週期的數目來決定位元線分隔，並且其中當存取所述第一組單元時，所述控制模組預充電連結到所述第一字元線的所述位元線以提供所述位元線分隔。
5. 如申請專利範圍第 4 項所述的處理器，其中當存取所述陣列的第一組單元時，所述控制模組預充電連結到所述第一字元線的一組所述位元線以提供所述位元線分隔，並且其中當根據所述陣列的第二組單元和所述第一字元線之間的連結來存取所述第二組單元時，所述控制模組選擇性地抑制預充電所述一組位元線中的至少一個。
6. 如申請專利範圍第 5 項所述的處理器，其中當所述第二組單元連結到所述第一字元線時，所述控制模組抑制預充電所述一組位元線中的所述至少一個。
7. 如申請專利範圍第 5 項所述的處理器，其中當所述第二組單元連結到不同於所述第一字元線的字元線時，所述控制模組預充電所述一組位元線中的所述至少一個。
8. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組根據時鐘訊號的速率來調整所述位元線的預充電時序。
9. 如申請專利範圍第 1 項所述的處理器，其中當時鐘訊號的速率小於預設速率時，所述控制模組延遲所述位元線的預充電。
10. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組選擇性地在離散讀取模式和順序讀取模式下進行操作。

11. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據所述順序讀取訊號來產生所述字元線訊號。
12. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組產生順序讀取訊號以啟用順序讀取模式，並且根據所述順序讀取訊號來預充電所述位元線。
13. 如申請專利範圍第 1 項所述的處理器，其中當在離散模式下時，所述控制模組對每個所述單元的每次存取來執行列位址解碼、字元線啟用和位元線預充電。
14. 如申請專利範圍第 1 項所述的處理器，其中當在第一模式下存取單元時，所述控制模組對每個讀取週期來預充電所述位元線並且執行列位址解碼，並且
其中當在第二模式下存取單元時，所述控制模組對第一讀取週期預充電所述位元線並且執行列位址解碼，對第二讀取週期不對所述位元線進行預充電並且不執行列位址解碼。
15. 如申請專利範圍第 1 項所述的處理器，還包括一行解碼器，所述行解碼器經由行選擇訊號來選擇所述陣列的單元，其中所述控制模組根據所述行選擇訊號產生用於鎖存所選出的單元中的位元資訊的鎖存訊號。
16. 如申請專利範圍第 1 項所述的處理器，還包括一放大模組，所述放大模組檢測並放大所述第一組單元和所述第二組單元中的位元資訊。
17. 如申請專利範圍第 1 項所述的處理器，其中所述擴充時間段增大位元線

分隔時間並且將所述位元線分隔設定在預設電壓。

18. 如申請專利範圍第 1 項所述的處理器，還包括一行解碼器，其中所述控制模組經由所述行解碼器產生位元線訊號以存取所述第一組單元。
19. 如申請專利範圍第 1 項所述的處理器，還包括一感應放大器，所述感應放大器具有多條公用線，並且在鎖存所述第一組單元和所述第二組單元中的位元資訊之前，接收預充電訊號以預充電所述公用線。
20. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組根據顯示何時執行了預充電的預充電旗標來預充電所述位元線。
21. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組根據所述位元線的前一次預充電的時序來預充電所述位元線。
22. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組在執行所述第二順序讀取時，啟用所述快取記憶體的所述第二字元線以存取所述第二字元線中的單元，停用所述第二字元線，並且在存取所述第二字元線中的另一單元時，維持所述第二字元線處於停用狀態中。
23. 如申請專利範圍第 1 項所述的處理器，其中所述控制模組根據所述第一分支指令在離散讀取模式下進行操作。
24. 如申請專利範圍第 1 項所述的處理器，其中所述處理器預抓取並解碼管線中的後續指令，並且還包括分支預測模組，所述分支預測模組預測作為第二分支指令的所述後續指令之一是否可能被取得。
25. 如申請專利範圍第 24 項所述的處理器，其中所述分支預測模組根據所

述預測並且根據所述分支指令是否涉及沿相同字元線的多次讀取，來選擇性地在所述分支指令執行離散讀取和順序讀取之一。

26. 如申請專利範圍第 25 項所述的處理器，其中所述分支預測模組包括分支歷史模組，所述分支歷史模組根據所述第二分支指令的位址來輸出分支預測資料，並且其中所述分支預測模組將所述預測以所述分支預測資料為根據。

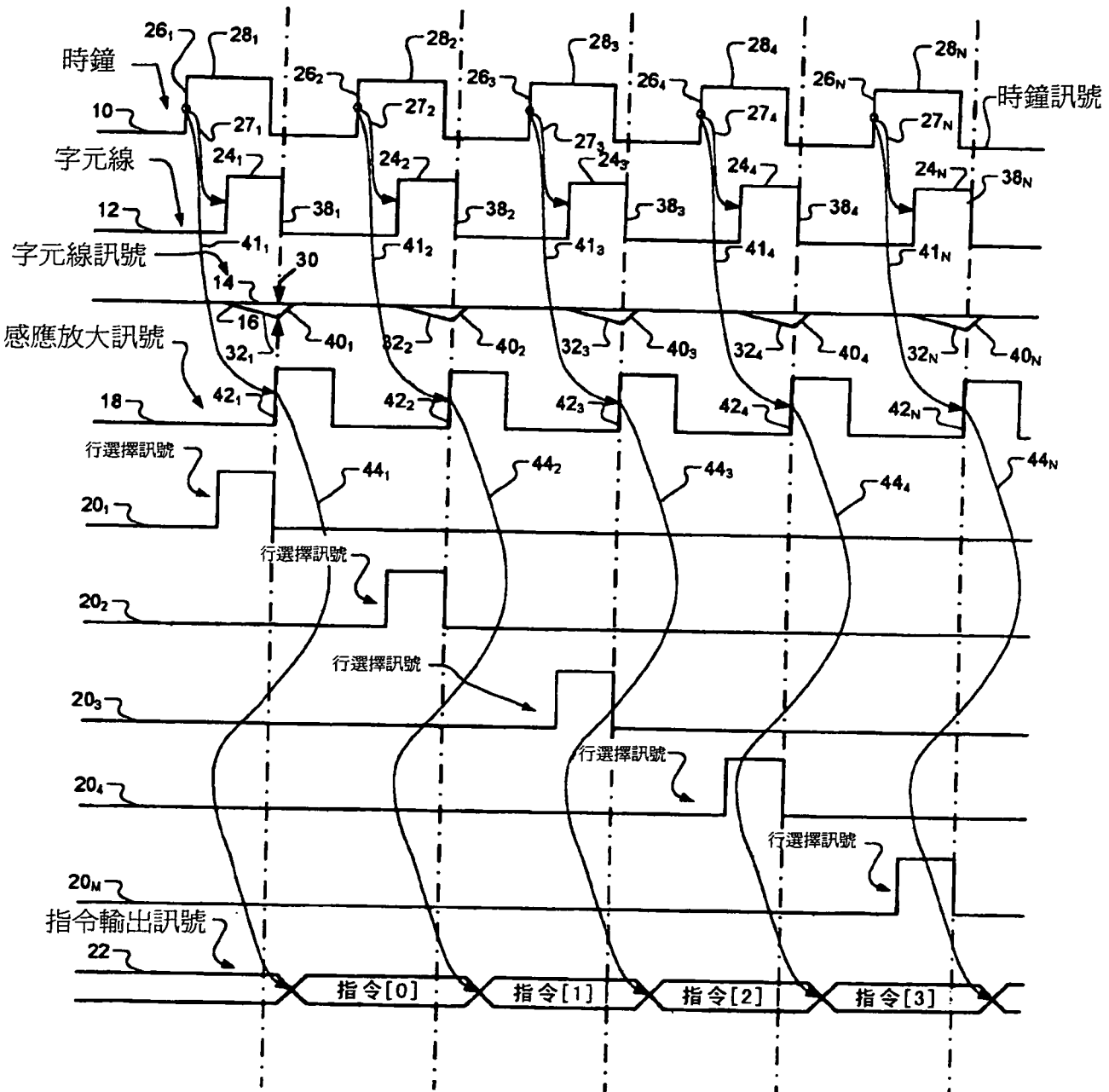


圖1

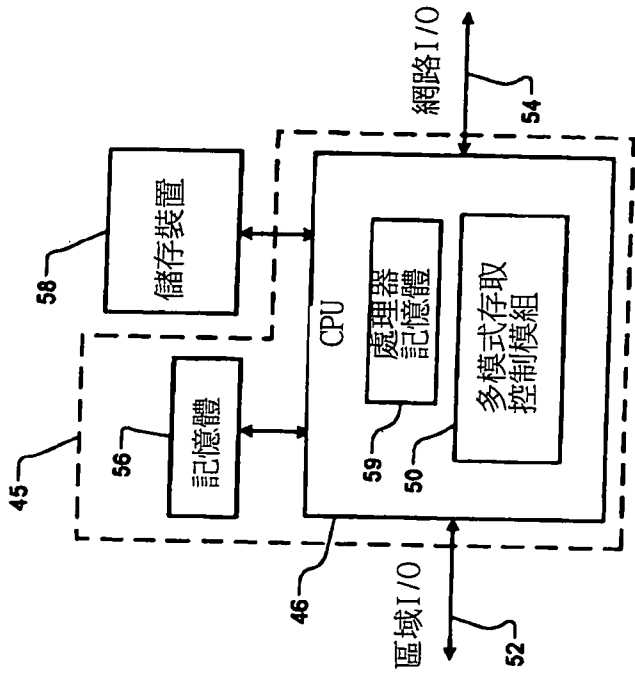


圖2

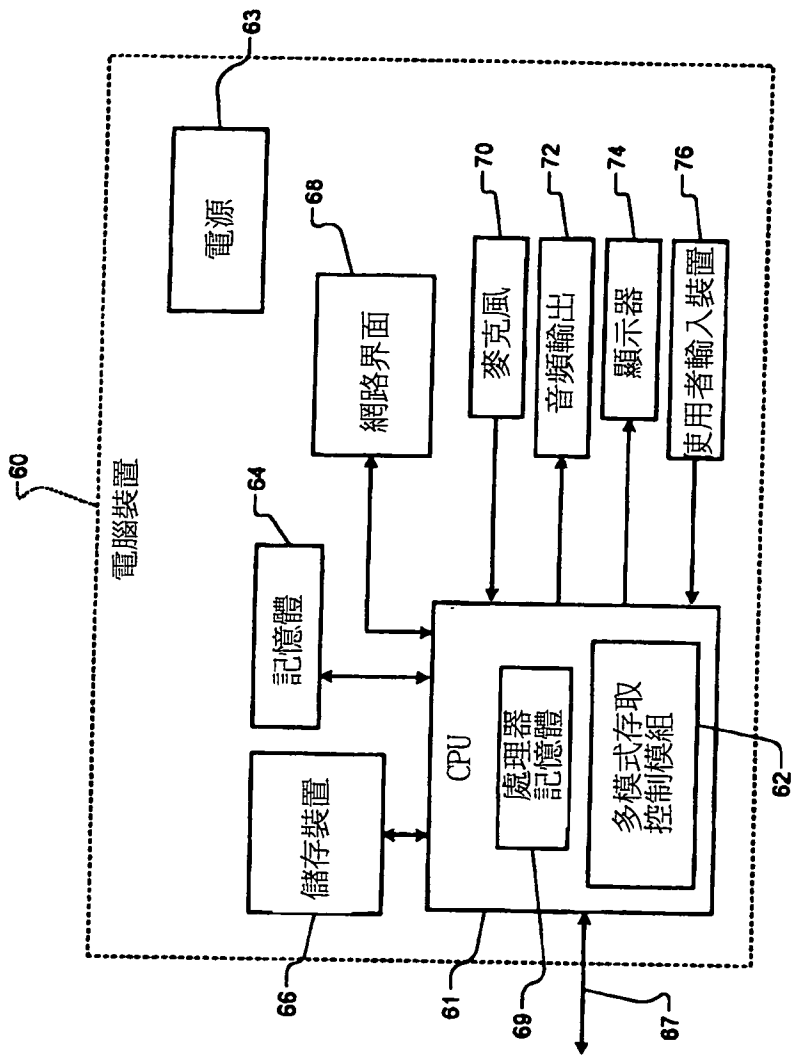


圖3

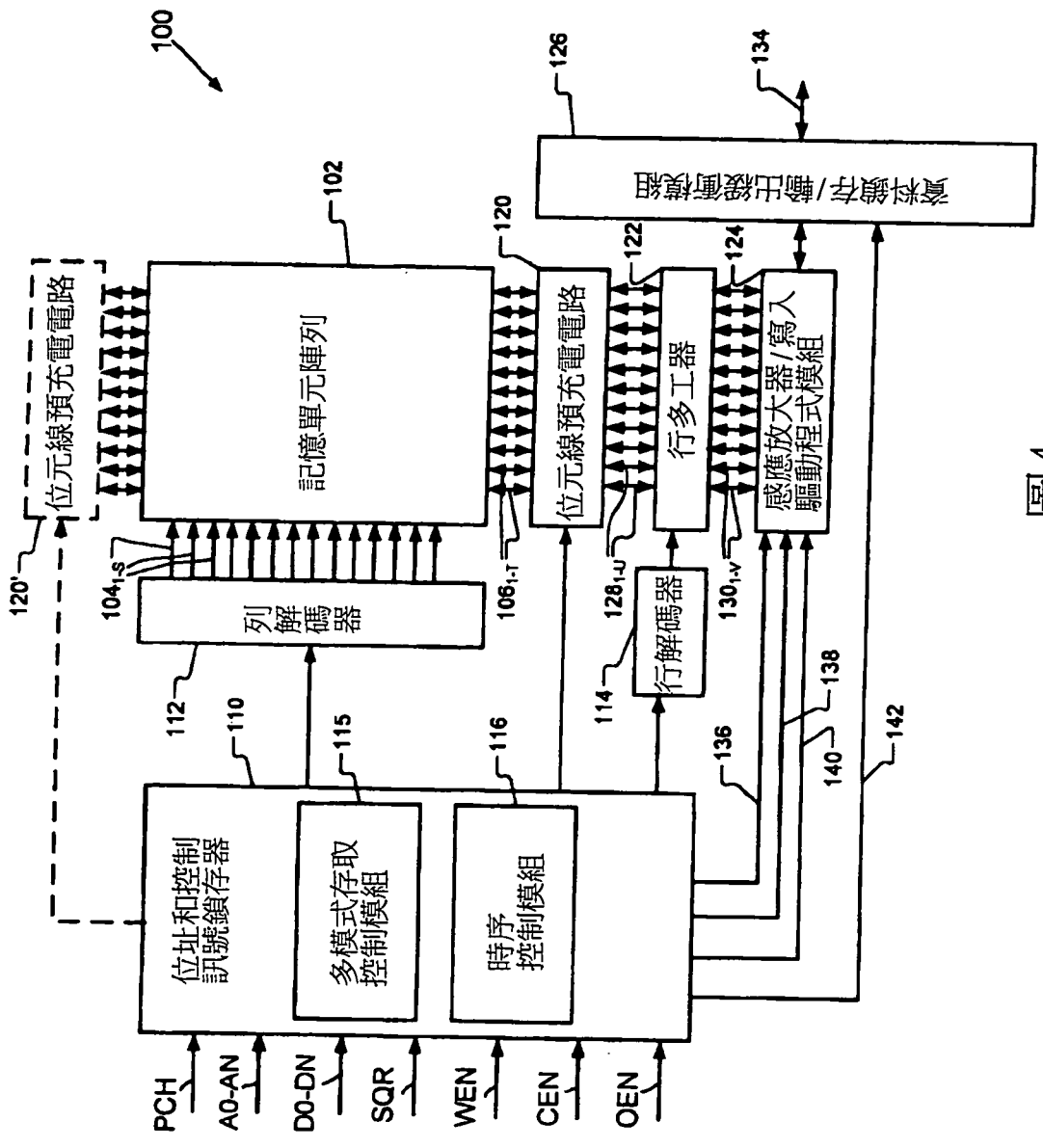


圖 4

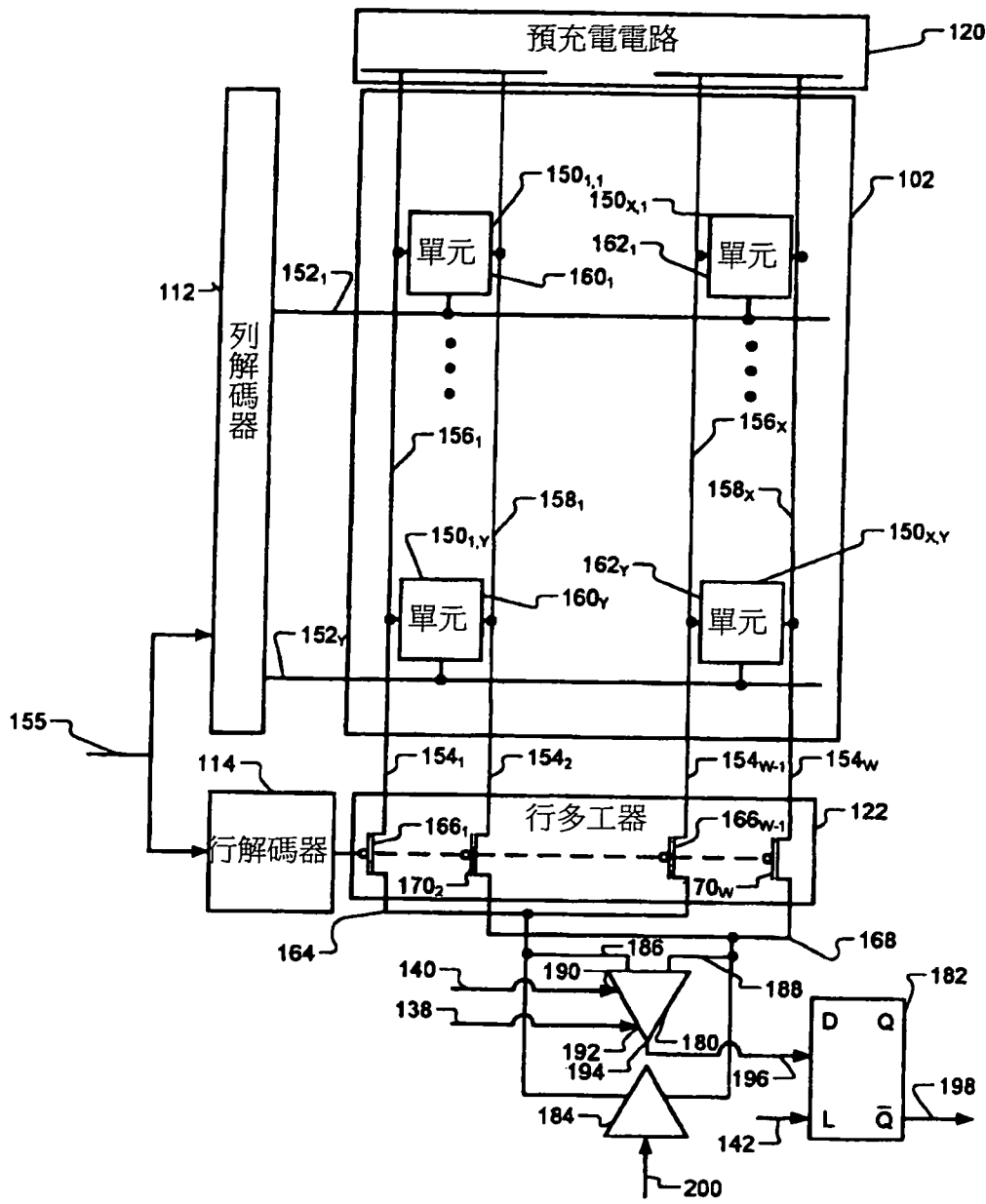


圖5

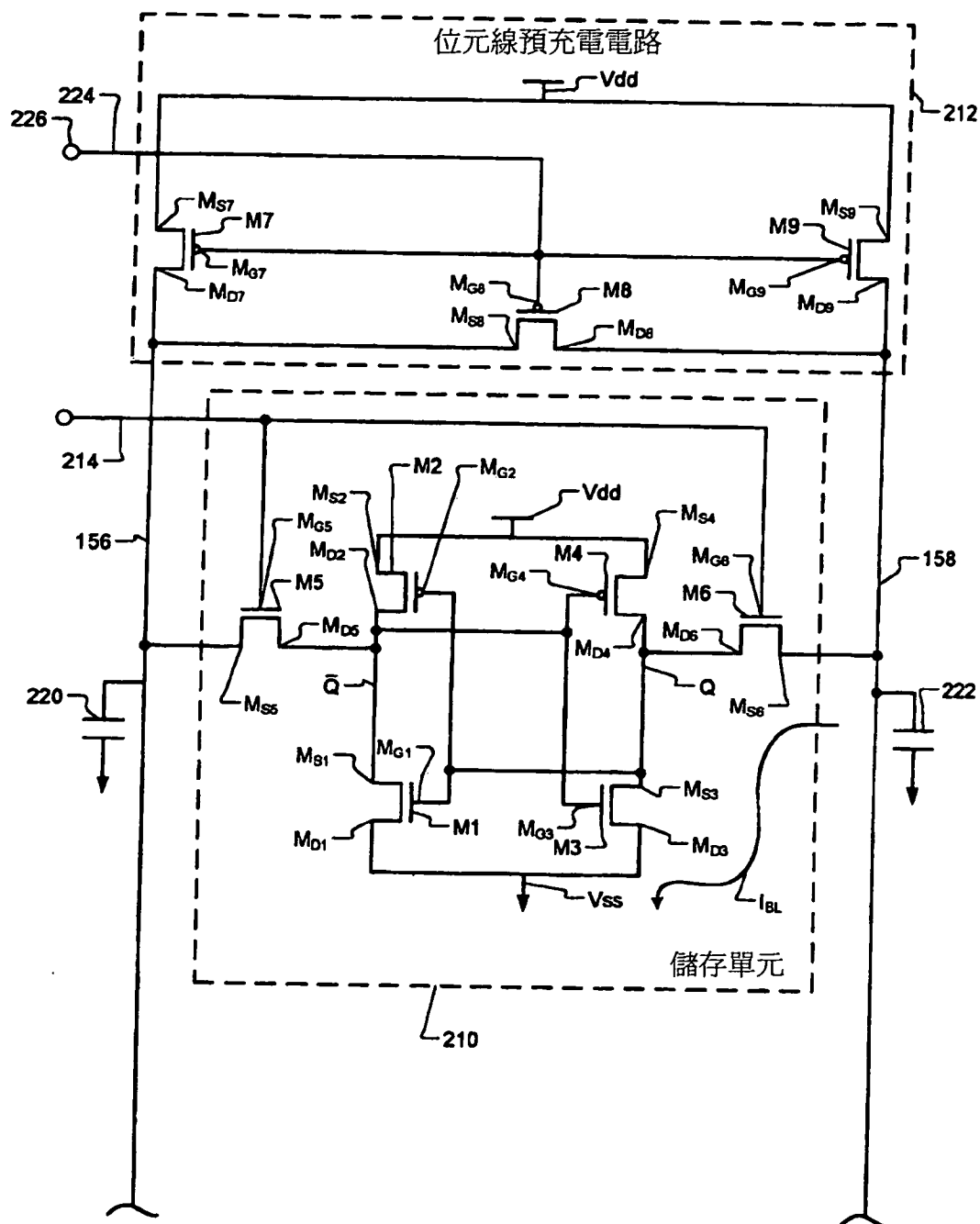


圖6

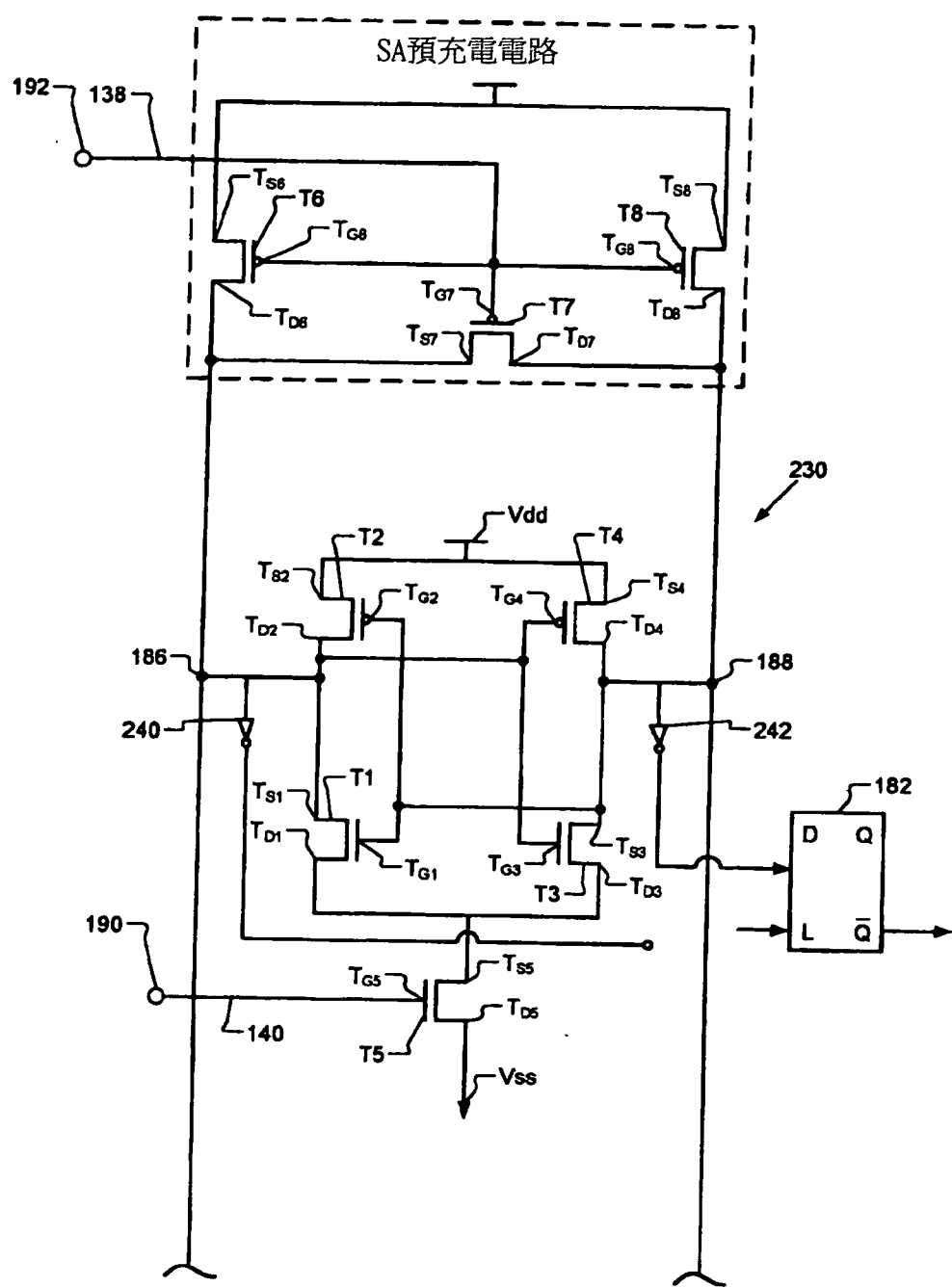


圖 7

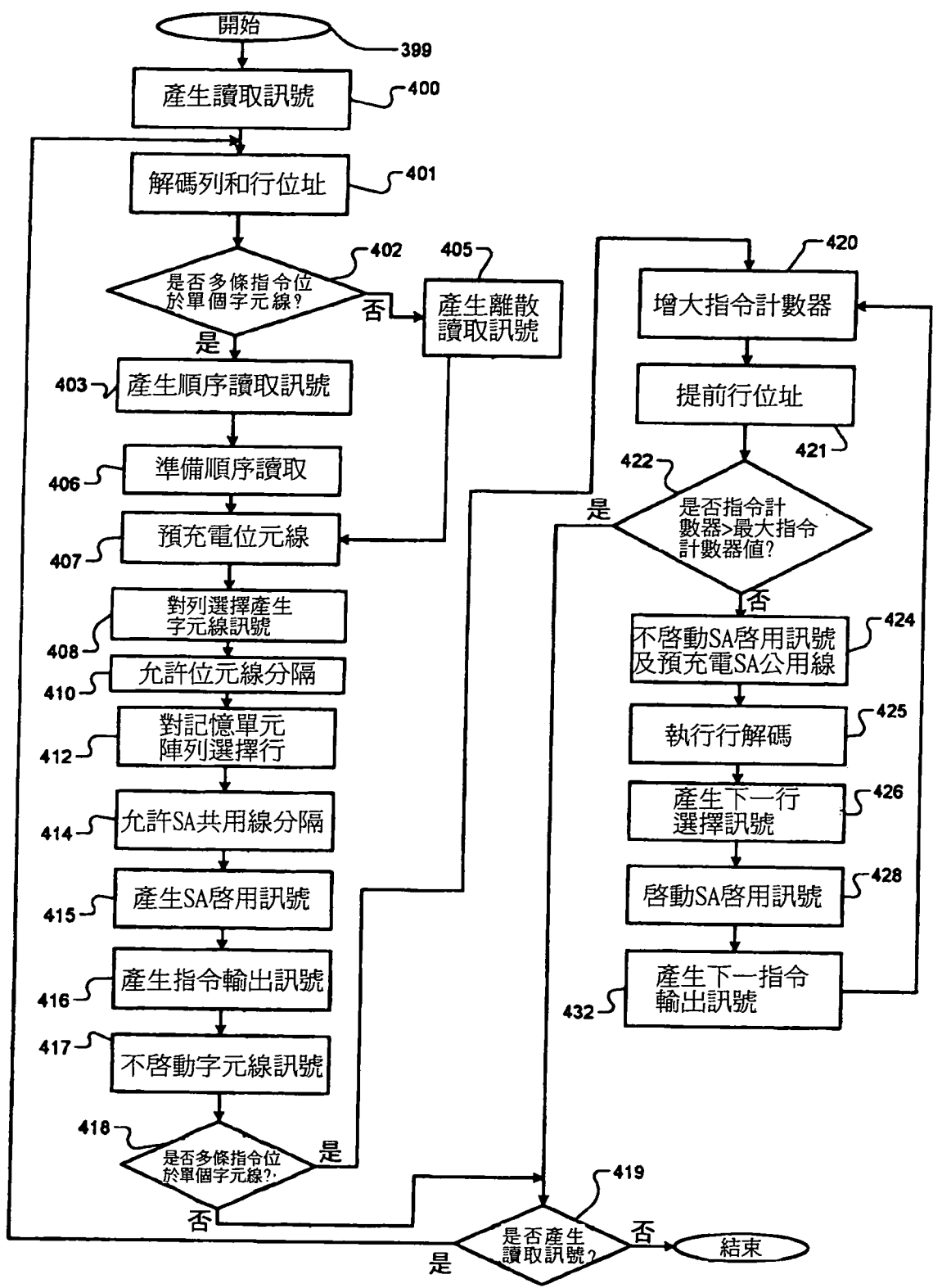


圖8

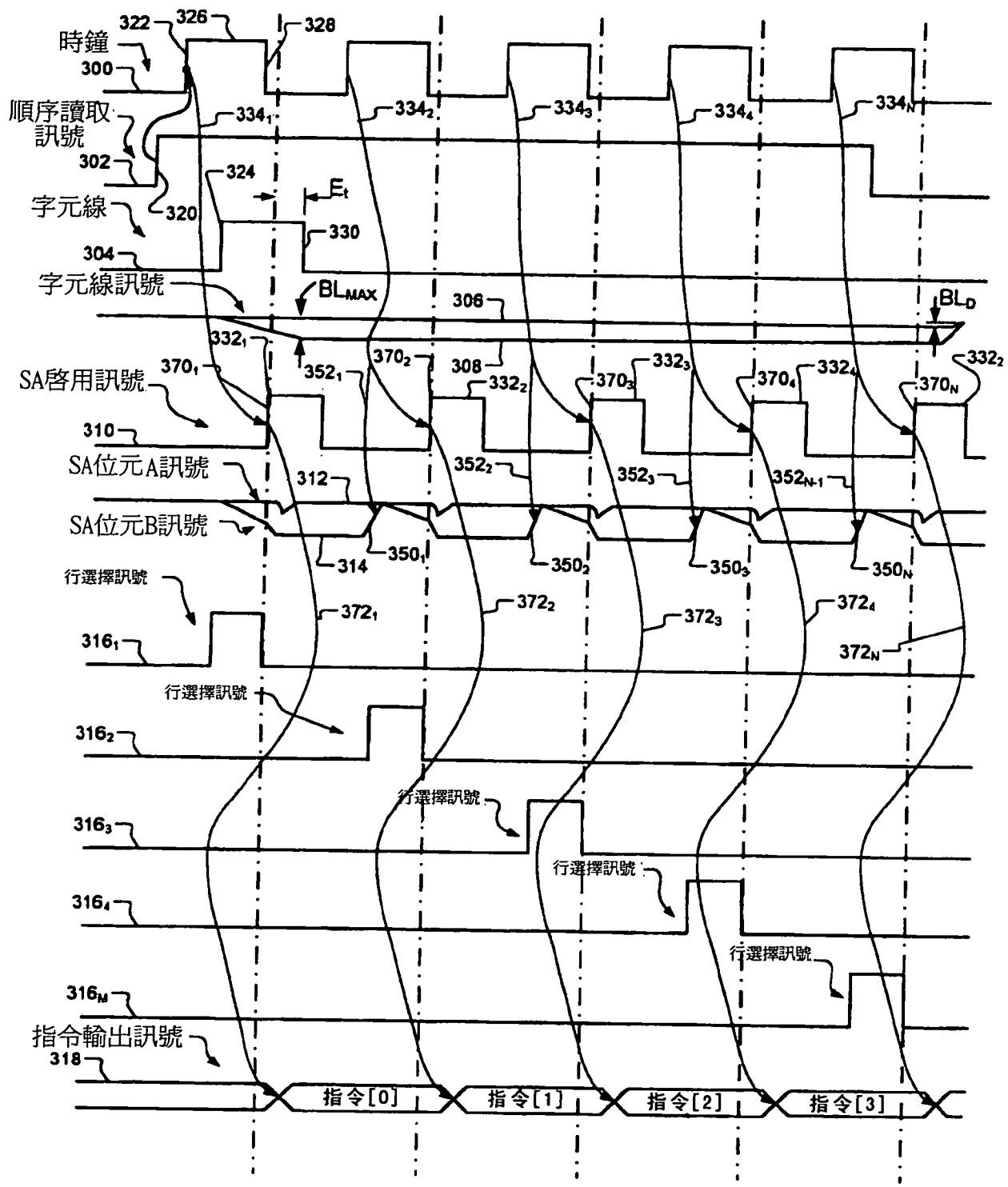


圖9

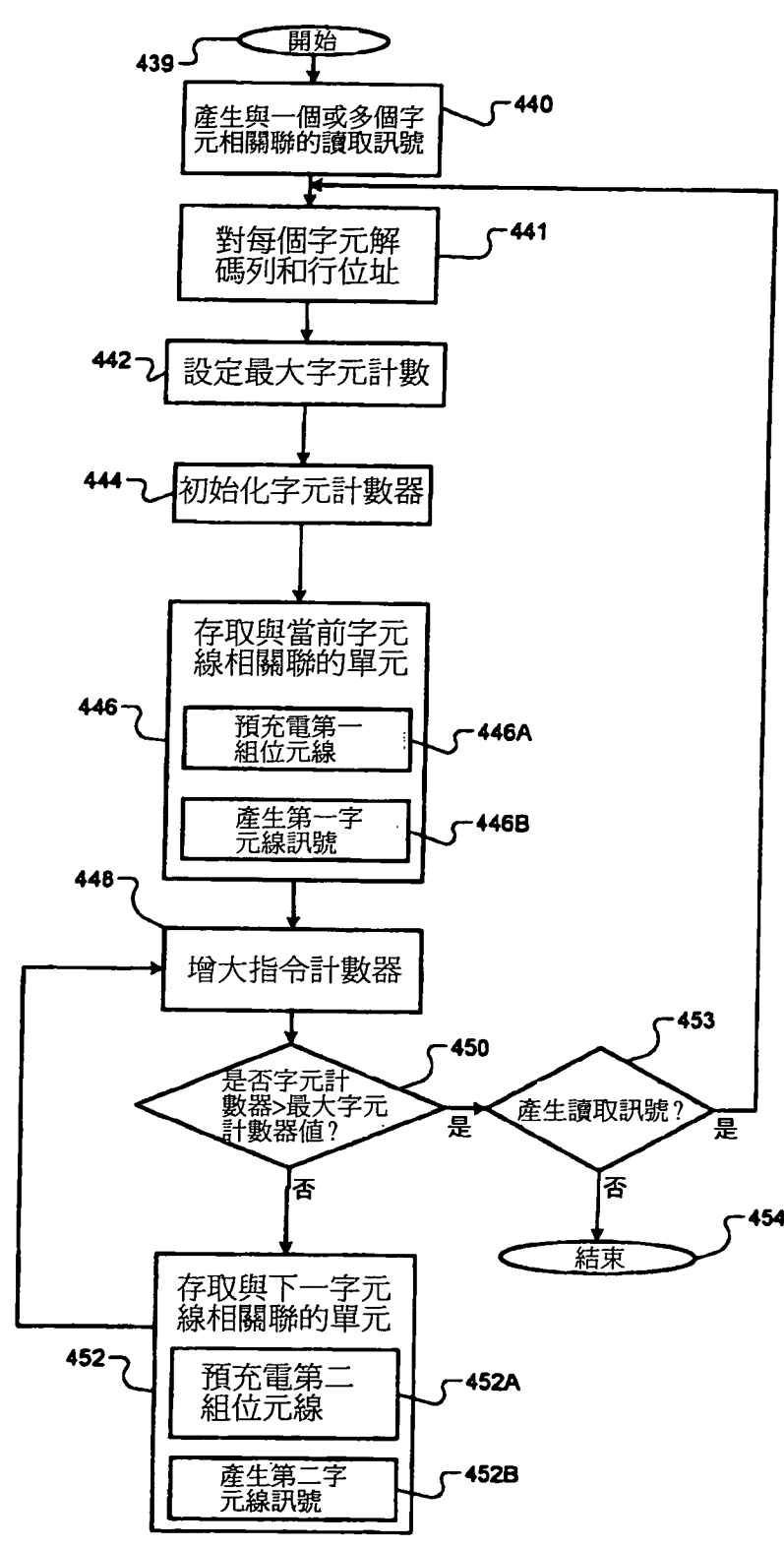


圖10

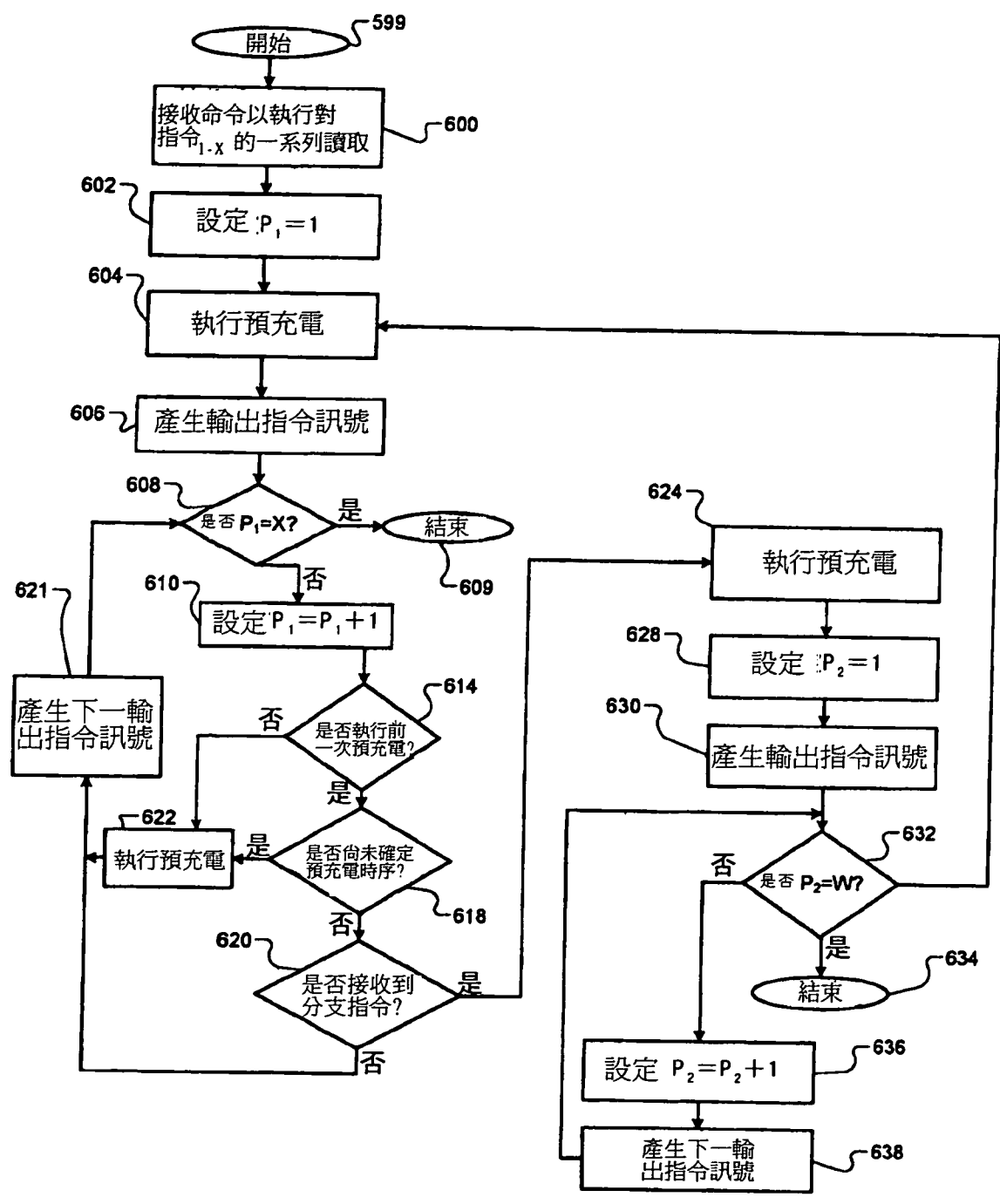


圖11

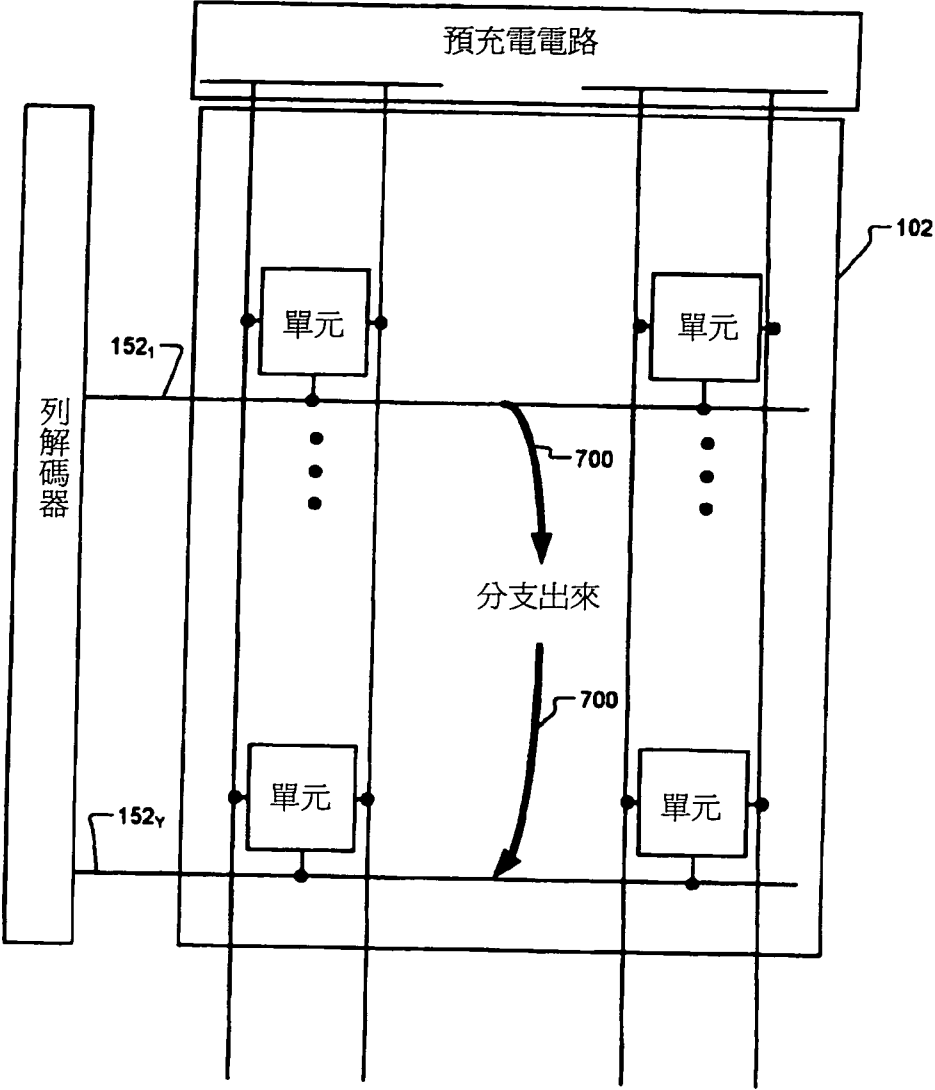


圖12

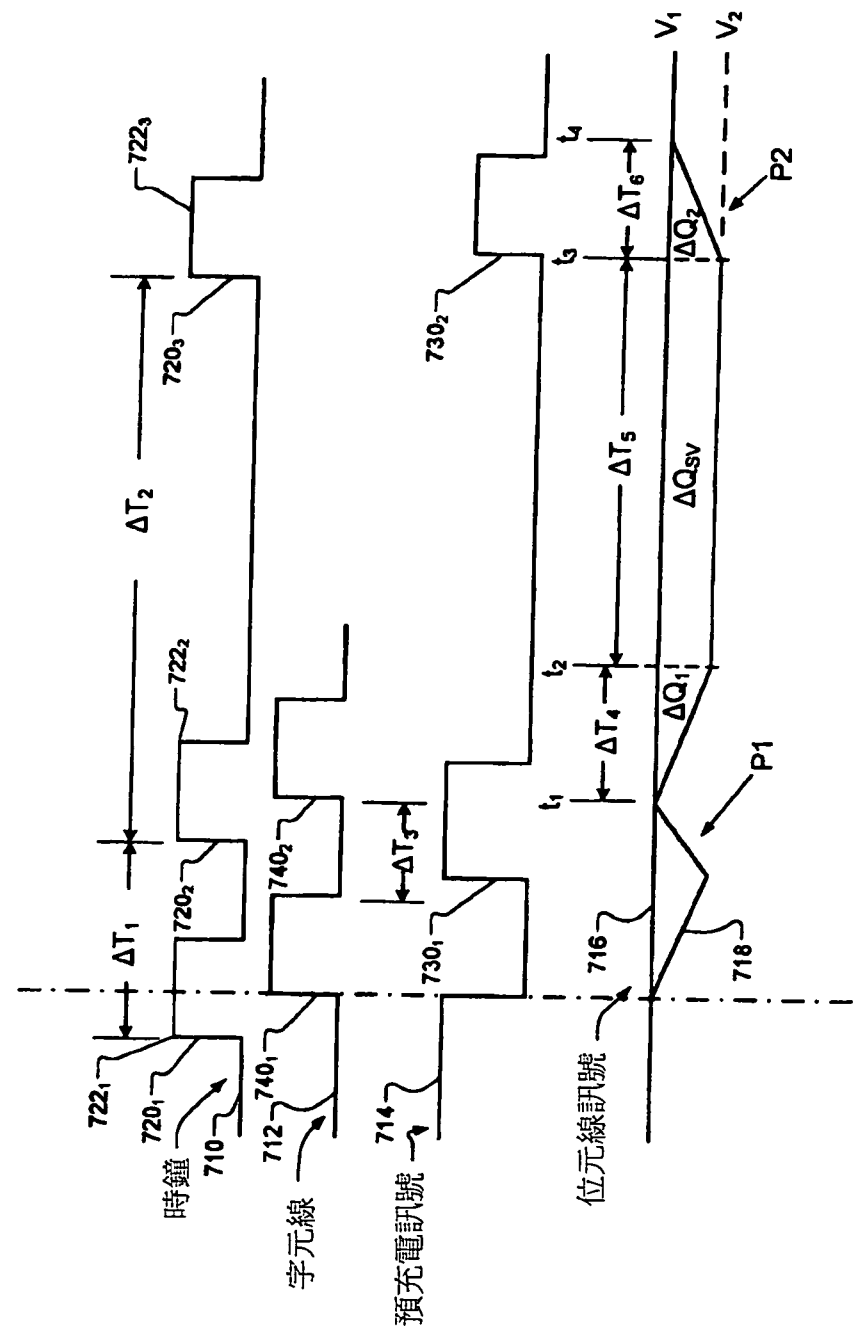


圖13

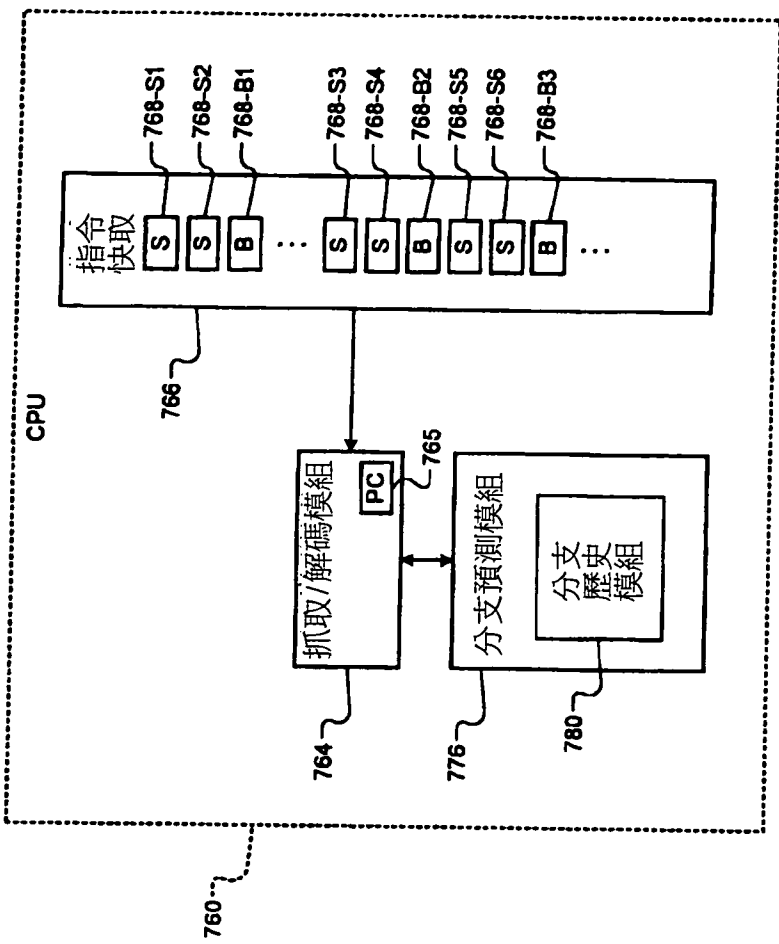


圖14

500

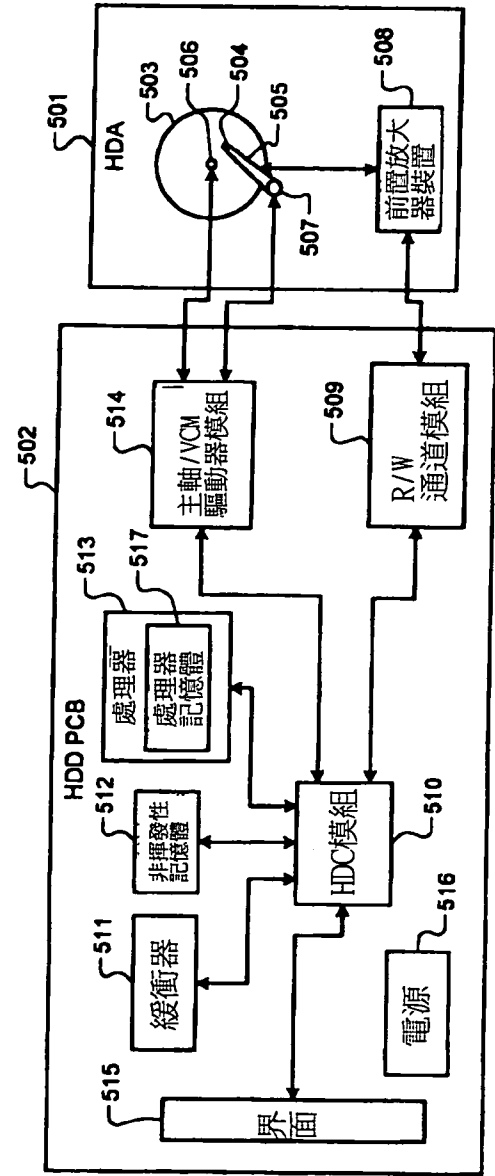


圖15A

518

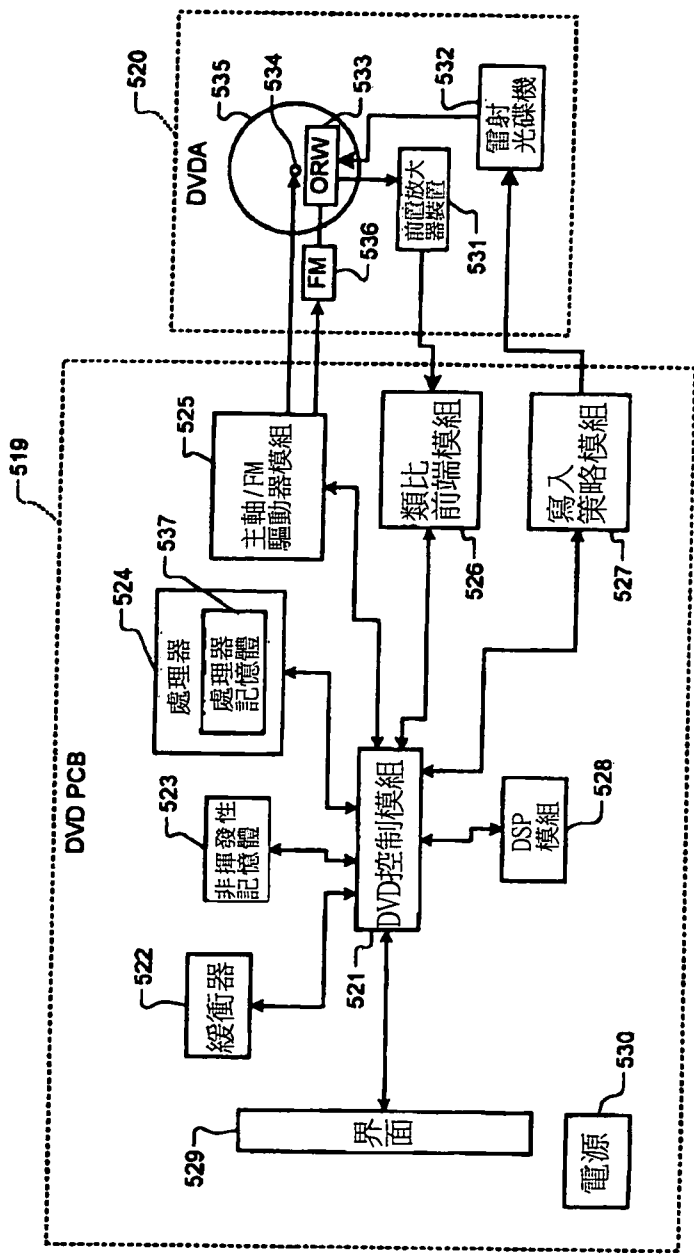


圖15B

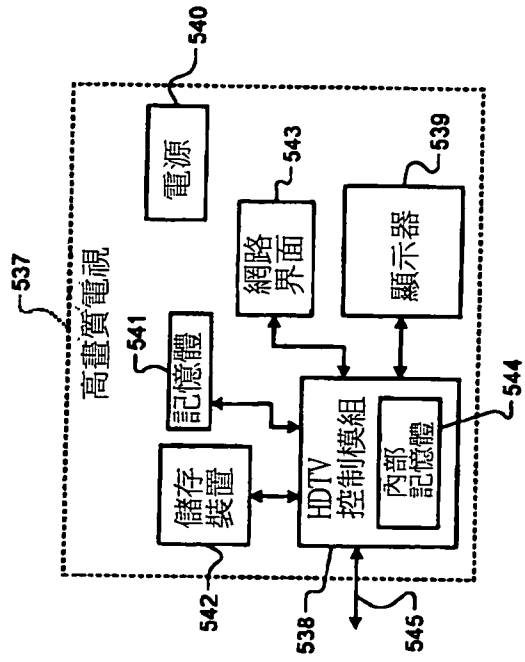


圖15C

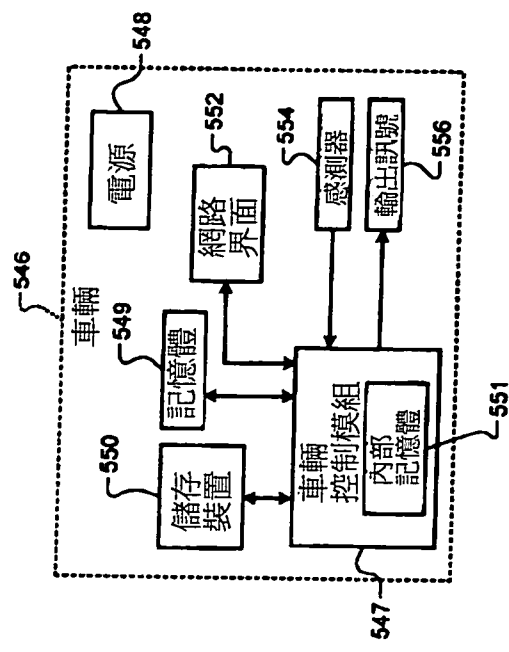


圖15D

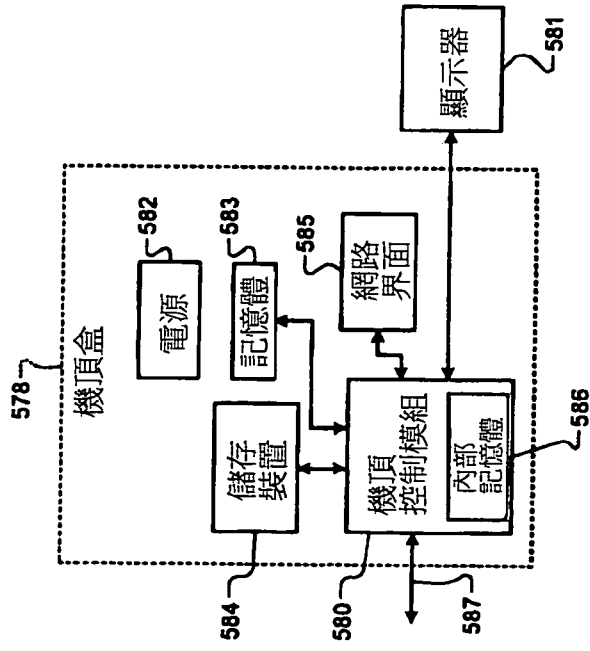


圖15E

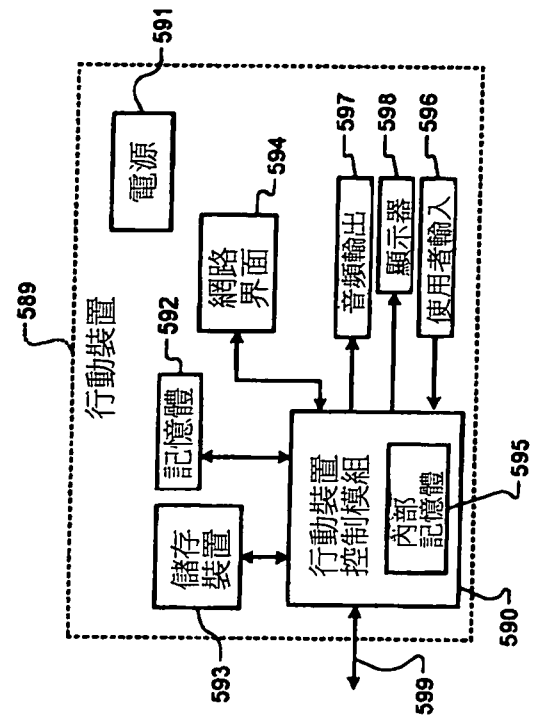


圖15F