



(12) 发明专利

(10) 授权公告号 CN 102622026 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201210020014. 0

(22) 申请日 2012. 01. 21

(30) 优先权数据

13/013, 220 2011. 01. 25 US

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 于传钊 路易斯·J·布里奥内斯

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 谢晨 刘光明

(51) Int. Cl.

G05F 1/56(2006. 01)

(56) 对比文件

JP 特开 2007-109267 A, 2007. 04. 26, 权利要求 1, 说明书第 3 页第 21 行至第 25 行, 第 4 页第 31 行至 43 行, 附图 1.

CN 1989467 A, 2007. 06. 27, 说明书第 5 页 28

行至第 6 页 3 行.

US 6700360 B2, 2004. 05. 02, 全文.

JP 特开 2007-109267 A, 2007. 04. 26, 权利要求 1, 说明书第 3 页第 21 行至第 25 行, 第 4 页第 31 行至 43 行, 附图 1.

CN 101223488 A, 2008. 07. 16, 全文.

CN 101814883 A, 2010. 08. 25, 全文.

审查员 盛艳燕

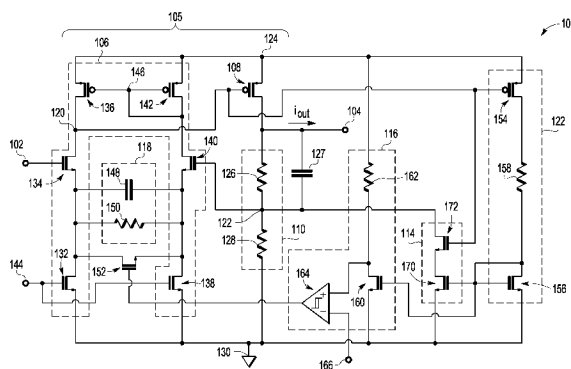
权利要求书4页 说明书11页 附图3页

(54) 发明名称

电压调节电路及相关操作方法

(57) 摘要

本发明提供电压调节电路及相关操作方法。提供了用于电压调节电路 (100) 的装置及相关操作方法 (200)。示例性电压调节电路 (100) 包括电压调节布置 (105)、被耦接至电压调节布置 (105) 的相位补偿布置 (118)、以及被耦接至相位补偿布置 (118) 的检测电路 (116), 所述电压调节布置 (105) 基于输入电压基准 (节点 102 处) 来提供经调节的输出电压 (节点 104 处), 所述相位补偿布置 (118) 被配置为使电压调节布置 (105) 的相位裕量增大。所述检测电路 (116) 被配置为, 响应于检测到 (204) 输出电流 (节点 104 处) 小于阈值而禁用 (206) 相位补偿布置 (118)。



1. 一种电压调节电路,包括:

电压调节布置,所述电压调节布置被配置为,基于输入节点处的输入电压基准而在输出节点处提供经调节的输出电压;

被耦接至所述电压调节布置的相位补偿布置,所述相位补偿布置被配置为使所述电压调节布置的相位裕量增大;和

被耦接至所述相位补偿布置的检测电路,其中,所述检测电路被配置为,响应于检测到所述输出节点处的输出电流小于阈值而禁用所述相位补偿布置。

2. 根据权利要求 1 所述的电压调节电路,其中:

所述电压调节布置包括被耦接在所述输出节点和第一节点之间的第一晶体管,所述第一晶体管被配置为允许电流从所述第一节点流至所述输出节点;并且

所述检测电路被配置为,以受从所述第一节点经过所述第一晶体管而流至所述输出节点的电流影响的方式,禁用所述相位补偿布置。

3. 根据权利要求 2 所述的电压调节电路,进一步包括被耦接至所述第一晶体管的第一电流镜布置,所述第一电流镜布置被配置为,镜像从所述第一节点经过所述第一晶体管而流至所述输出节点的电流,以得到流经所述第一电流镜布置的基准电流,其中:

所述检测电路被耦接至所述第一电流镜布置;并且

所述检测电路被配置为,响应于检测到所述基准电流表示所述输出节点处的输出电流小于所述阈值而禁用所述相位补偿布置。

4. 所述权利要求 3 所述的电压调节电路,其中,所述检测电路包括:

第二晶体管,所述第二晶体管被配置为,镜像流经所述第一电流镜布置的所述基准电流,使得所述第二晶体管上的电压受所述基准电流的影响;和

比较器,所述比较器被配置为,当所述第二晶体管上的电压大于阈值电压时,产生第一信号以禁用所述相位补偿布置,所述阈值电压表示所述输出节点处的输出电流小于所述阈值。

5. 根据权利要求 4 所述的电压调节电路,进一步包括被配置为与所述相位补偿布置电性并联的开关元件,其中,由所述比较器产生的所述第一信号激活所述开关元件,以禁用所述相位补偿布置。

6. 根据权利要求 4 所述的电压调节电路,其中,所述比较器被配置为,当所述第二晶体管上的电压小于所述阈值电压时,产生第二信号以启用所述相位补偿布置。

7. 根据权利要求 3 所述的电压调节电路,进一步包括被配置为镜像流经所述第一电流镜布置的所述基准电流的第二电流镜布置,其中,所述第二电流镜布置被耦接至所述电压调节布置,并被配置为以受所述基准电流影响的方式来增大所述经调节的输出电压。

8. 根据权利要求 1 所述的电压调节电路,其中,所述电压调节布置包括:

通过器件,所述通过器件被耦接在所述输出节点和第一节点之间,所述输出电流包括从所述第一节点经过所述通过器件而流至所述输出节点的电流的至少一部分;

分压器布置,所述分压器布置被耦接在所述输出节点和第二节点之间,所述分压器布置被配置为在反馈电压节点处建立反馈电压;和

放大器布置,所述放大器布置被耦接至所述输入节点、所述反馈电压节点、和所述通过器件,其中,所述放大器布置被配置为,基于所述反馈电压和所述输入电压基准之间的差来

调整流经所述通过器件的电流。

9. 根据权利要求 1 所述的电压调节电路,其中,所述检测电路被配置为,响应于检测到所述输出节点处的所述输出电流大于所述阈值而启用所述相位补偿布置。

10. 一种包括根据权利要求 1 所述的电压调节电路的系统,进一步包括电子设备,所述电子设备被耦接至所述电压调节电路的所述输出节点,以接收所述经调节的输出电压。

11. 一种电压调节电路,包括:

输入节点,所述输入节点被配置为接收输入电压基准;

输出节点;

第一节点;

第二节点;

被耦接在所述第一节点和所述输出节点之间的第一晶体管,所述第一晶体管被配置为允许所述输出节点处的输出电流从所述第一节点经过所述第一晶体管而流至所述输出节点;

被耦接在所述输出节点和所述第二节点之间的分压器布置,所述分压器布置被配置为在反馈电压节点处建立反馈电压;

被耦接至所述输入节点、所述反馈电压节点、和所述第一晶体管的放大器布置,其中,所述放大器布置和所述第一晶体管以合作方式被配置为,基于所述反馈电压和所述输入电压基准之间的差来调整所述输出节点处的输出电压;

被耦接至所述放大器布置的相位补偿布置;和

被耦接至所述相位补偿布置的检测电路,其中,所述检测电路被配置为,响应于检测到所述输出电流小于阈值而禁用所述相位补偿布置。

12. 根据权利要求 11 所述的电压调节电路,其中,所述相位补偿布置被配置为使所述放大器布置的单位增益频率处的相位裕量最优化。

13. 根据权利要求 11 所述的电压调节电路,进一步包括与所述相位补偿布置电性并联的第二晶体管,其中,所述检测电路被配置为,响应于检测到所述输出电流小于所述阈值而使所述第二晶体管导通。

14. 根据权利要求 13 所述的电压调节电路,进一步包括第一电流镜布置,所述第一电流镜布置被配置为镜像经过所述第一晶体管的输出电流,以得到基准电流,其中:

所述检测电路包括:

第三晶体管,所述第三晶体管被配置为镜像经过所述第一电流镜布置的所述基准电流,所述第三晶体管上的电压受所述基准电流影响;和

比较器,所述比较器具有第一输入端、第二输入端、和输出端,所述第一输入端被配置为接收所述第三晶体管上的电压,所述第二输入端被配置为接收表示所述输出电流小于所述阈值的比较器基准电压,并且所述输出端被耦接至所述第二晶体管的栅极端子;并且

所述比较器被配置为,当所述第三晶体管上的电压大于所述比较器基准电压时,在所述输出端产生输出信号,以使所述第二晶体管导通。

15. 根据权利要求 11 所述的电压调节电路,其中:

所述第一节点被配置为接收电源电压;

所述第二节点被配置为接收地电压;

所述第一晶体管包括被连接至所述第一节点的源极端子和被连接至所述输出节点的漏极端子；

所述放大器布置包括：

第二晶体管，所述第二晶体管具有被连接至所述输入节点的栅极端子和被连接至所述第一晶体管的栅极端子的漏极端子；

第三晶体管，所述第三晶体管具有被连接至所述第二晶体管的漏极端子的漏极端子和被连接至所述第一节点的源极端子；和

第四晶体管，所述第四晶体管具有被连接至所述反馈电压节点的栅极端子和被连接至所述第三晶体管的栅极端子的漏极端子；并且

所述相位补偿布置包括：

电容性元件，所述电容性元件被连接在所述第二晶体管的源极端子和所述第四晶体管的源极端子之间；和

电阻性元件，所述电阻性元件被连接在所述第二晶体管的源极端子和所述第四晶体管的源极端子之间。

16. 根据权利要求 15 所述的电压调节电路，进一步包括第五晶体管，所述第五晶体管具有被连接至所述第二晶体管的源极端子的漏极端子和被连接至所述第四晶体管的源极端子的源极端子，其中，所述的检测电路被配置为，响应于检测到所述输出电流小于所述阈值而使所述第五晶体管导通，以禁用所述相位补偿布置。

17. 根据权利要求 16 所述的电压调节电路，进一步包括第一电流镜布置，所述第一电流镜布置被配置为镜像流经所述第一晶体管的输出电流，以得到基准电流，其中，所述检测电路包括：

第六晶体管，所述第六晶体管具有被连接至所述第二节点的源极端子和被连接至所述第一电流镜布置的栅极端子，以镜像所述基准电流；和

比较器，所述比较器具有被连接至所述第六晶体管的漏极端子的非反相输入端、被配置为接收表示所述输出电流小于所述阈值的电压的反相输入端、和被连接至所述第五晶体管的栅极端子的输出端。

18. 一种用于操作电压调节电路的方法，所述电压调节电路包括电压调节布置，所述电压调节布置被配置为，基于输入电压基准来调节输出节点处的输出电压，所述方法包括：

监视所述输出节点处的输出电流；

将所述输出电流与阈值相比较；并且

响应于检测到所述输出电流小于所述阈值，禁用被耦接至所述电压调节布置的相位补偿布置，所述相位补偿布置被配置为，当被启用时，使所述电压调节布置的相位裕量增大。

19. 根据权利要求 18 所述的方法，其中：

监视所述输出电流包括，镜像所述输出电流以得到基准电流；

将所述输出电流与所述阈值相比较包括：

用第一晶体管镜像所述基准电流；以及

将所述第一晶体管上的电压与表示所述输出电流小于或等于所述阈值的基准电压相比较，所述第一晶体管上的所述电压受所述基准电流影响；并且

禁用所述相位补偿布置包括，当所述第一晶体管上的所述电压大于所述基准电压时，

禁用所述相位补偿布置。

20. 根据权利要求 18 所述的方法,其中,禁用所述相位补偿布置包括,激活被配置为与
所述相位补偿布置电性并联的开关元件。

电压调节电路及相关操作方法

技术领域

[0001] 本申请中所描述的主题的实施例大体上涉及电子电路,并且更具体地,主题的实施例涉及及能够在负载电流的相对较宽范围精确地对电压进行调节的电压调节器及相关电路拓扑。

背景技术

[0002] 电压调节器通常被用在电子设备中,以为设备的其他部件提供特定的电压电平。例如,可以利用低压差电压调节器 (low-drop voltage regulator) 来为诸如处理器、控制器或另外的集成电路这样的电负载提供稳定的直流 (DC) 电源电压。然而,对于一些常规的低压差电压调节器拓扑,当耦接至经调节的输出的负载所消耗的电流被减少时,常规低压差电压调节器能够精确地维持期望的调节电压的能力被降低。

附图说明

[0003] 当结合附图加以考虑时,可以通过参考详细的说明书和权利要求书来得到对主题更加全面的理解,其中所有图中相同的附图标记始终表示相似的元件。

[0004] 图 1 是根据本发明的一个实施例的电压调节电路的示意图;

[0005] 图 2 是适合于与根据本发明的一个实施例的图 1 的电压调节电路一起使用的增益调整过程的流程图;以及

[0006] 图 3 是适合于与根据本发明的一个实施例的图 1 的电压调节电路一起使用的电子系统的框图。

具体实施方式

[0007] 下面的详细描述实质上仅仅是例示性的,并非意图限制主题的实施例,或者该实施例的应用和用途。如本申请中所使用的,词语“示例性”意指“作为示例、例子或图例”。本申请中作为示例所描述的任何实施方式都不必被认为是优先于或者优于其他实施方式。此外,不意图受前面的技术领域、背景技术或者下面的详细描述中所提出的任何明示或暗示的理论所约束。

[0008] 本申请中所讨论的技术和概念涉及能够在输出电流的宽范围上精确地对输出电压进行调节的电压调节电路。如以下更加详细描述,该电压调节电路包括相位补偿零点-极点对,所述相位补偿零点-极点对提高电压调节环路的相位裕量,并且从而改善了经调节的输出电压的稳定性。在示例性实施例中,相位补偿零点-极点对在低输出电流下被禁用,以提高电压调节环路的开环增益,并补偿低输出电流下的电压调节环路内的减小的跨导。鉴于此,当输出电流在阈值以下时,相位补偿零点-极点对被有效短路。否则,当输出电流在阈值以上时,相位补偿零点-极点对被启用,以提高电压调节环路的相位裕量。

[0009] 图 1 绘出了电压调节电路 100 的示例性实施例,其被配置为用以在输出节点 104 处产生与输入节点 102 处的输入电压基准成比例相关的经调节的输出电压。电压调节电

路 100 包括但不限于电压调节布置 105、电流镜布置 112、寄生补偿电路 114、低输出电流检测电路 116、和相位补偿布置 118。在示例性实施例中,电压调节电路 100 被配置为低压差 (LDO) 调节器,其能够在输出节点 104 处提供经调节的输出电压,并且在输入节点 102 处的输入电压基准和输出节点 104 处的经调节的输出电压之间的差值相对较小的情况下进行工作。应予以理解的是,图 1 是为了解释和描述方便而简化表示的电压调节电路 100,并且如将理解的,实际的实施例可以包括其他器件和部件,以提供额外的功能和特征,且 / 或电压调节电路 100 可以是更大的电子系统的一部分。因此,虽然图 1 绘出了电路元件和 / 或端子之间的直接电连接,但替代的实施例可以采用插入的电路元件和 / 或部件,而以基本上相似的方式起作用。

[0010] 在示例性实施例中,电压调节电路 100 的输出节点 104 被耦接至电负载,诸如处理器、控制器或另外的集成电路。在一些实施例中,能够使电负载在多个不同工作状态之间切换,其中电负载所消耗的电流随其当前选择的工作状态而改变。例如,根据一个实施例,能够使电负载在其中电负载基本上不消耗电流的浮置状态和具有较大电流消耗的其他工作状态之间切换。在示例性实施例中,输入节点 102 被配置为例如从带隙电压基准电路或齐纳二极管接收稳定且精确的直流 (DC) 电压基准。能够调整输入电压基准,以在输出节点 104 处提供经调节的输出电压,该经调节的输出电压对应于耦接至输出节点 104 的电负载的期望的经调节的电源电压。

[0011] 在示例性实施例中,电压调节布置 105 被配置为负反馈电压调节环路,所述环路将输出节点 104 处的电压调节到与输入节点 102 处的输入电压基准成比例相关的电压。电压调节布置 105 的例示实施例包括放大器布置 106、通过器件 (pass device) 108、和分压器布置 110。放大器布置 106 被配置为调整电压的误差放大器,所述电压基于分压器布置 110 的节点 122 处的反馈电压和输入节点 102 处的输入电压基准之间的差来控制节点 120 处流经通过器件 108 的电流。鉴于此,如以下更加详细描述,放大器布置 106 被配置为,当反馈电压节点 122 处的反馈电压大于输入节点 102 处的输入电压基准时,增大控制电压节点 120 处的控制电压,并且当反馈电压节点 122 处的反馈电压小于输入节点 102 处的输入电压基准时,减小控制电压节点 120 处的控制电压。

[0012] 通过器件 108 被耦接在第一节点 124 和输出节点 104 之间,所述第一节点 124 被配置为接收电压调节电路 100 的正电源电压,并且通过器件 108 被配置成使得输出节点 104 处的输出电流 (i_{OUT}) 从电源电压节点 124 经过通过器件 108 而流至输出节点 104。在例示实施例中,通过器件 108 被实现为 P 型晶体管 (例如, P 型金属 - 氧化物 - 半导体场效应晶体管 (PMOSFET 或 PMOS)), 其具有连接至电源电压节点 124 的源极端子、连接至输出节点 104 的漏极端子、和连接至放大器布置 106 的控制电压节点 120 的栅极端子 (或控制端子)。为了方便而非限制,通过器件 108 在本申请中可以被替代地称为 PMOS 晶体管。在示例性实施例中,分压器布置 110 被实现为被连接在输出节点 104 和反馈电压节点 122 之间的第一电阻性元件 126, 和被连接在反馈电压节点 122 和第二节点 130 之间的第二电阻性元件 128, 所述第二节点 130 被配置为接收电压调节电路 100 的地基准电压。结果是,当节点 120 处的控制电压增大 (例如,因为反馈电压大于输入电压基准) 时, PMOS 晶体管 108 的有效电阻增大,而这又使经过 PMOS 晶体管 108 的电流减小,并使 PMOS 晶体管 108 上的电压降 (例如,漏极和源极端子之间的电压) 增大,并且从而使输出节点 104 处的输出电压和节点 122

处的反馈电压减小。相反地,当节点 120 处的控制电压减小时(例如,当反馈电压小于输入电压基准时),PMOS 晶体管 108 的有效电阻减小,而这又使 PMOS 晶体管 108 上的电压降减小,并使输出节点 104 处的输出电压和节点 122 处的反馈电压增大。因此,当节点 124 处的电源电压和输出节点 104 处的输出电流(i_{OUT})(例如,流至被耦接至输出节点 104 的负载的电流)恒定不变时,由放大器布置 106、PMOS 晶体管 108 和分压器布置 110 生成的负反馈环路将迫使节点 122 处的反馈电压等于输入节点 102 处的输入电压基准,从而将输出节点 104 处的输出电压调节到一常数值(假设输入电压基准被保持恒定不变)。在例示实施例中,输出节点 104 处的输出电压等于 $V_{REF} \times \frac{R_1 + R_2}{R_2}$, 其中 V_{REF} 是节点 102 处的输入电源基准, R_1 是

第一电阻性元件 126 的电阻且 R_2 是第二电阻性元件 128 的电阻。实际上,电阻性元件 126、128 的电阻相对较小,使得流经通过器件 108 的电流基本上等于输出节点 104 处的输出电流(i_{OUT})。在示例性实施例中,电容性元件 127 被连接在输出节点 104 和反馈电压节点 122 之间,以稳定输出节点 104 和反馈电压节点 122 之间的电压差。

[0013] 如图 1 所示,在示例性实施例中,放大器布置 106 包括输入晶体管堆叠(stack) 和反馈晶体管堆叠,所述输入晶体管堆叠包括晶体管 132、134、136,且所述反馈晶体管堆叠包括晶体管 138、140、142。如本申请中所使用的,“晶体管堆叠”、“堆叠的晶体管”、“被堆叠的晶体管”或者其等同物应当被理解为描述其中一个晶体管器件的端子被耦接至另一晶体管器件的端子,使得电流顺次通过这些晶体管器件(例如,相同电流经过每个晶体管器件)的配置。输入晶体管堆叠包括第一 N 型晶体管 132(例如,N 型金属-氧化物-半导体场效应晶体管(NMOSFET 或 NMOS)),其具有连接至地电压节点 130 的源极端子、耦接至第二 N 型晶体管 134 的源极端子的漏极端子。第一晶体管 132 的栅极端子被连接至节点 144,该节点 144 被配置为接收如下偏置电压,所述偏置电压使第一晶体管 132 偏置在饱和区内,并且控制流经晶体管 132、134 的电流。第二晶体管 134 的漏极端子在控制电压节点 120 处被连接至 P 型晶体管 136 的漏极端子,且 P 型晶体管 136 的源极端子被连接至电源电压节点 124。反馈晶体管堆叠包括 N 型晶体管 138,其具有连接至地电压节点 130 的源极端子和耦接至另一 N 型晶体管 140 的源极端子的漏极端子。晶体管 138 的栅极端子在偏置电压节点 144 处被耦接至晶体管 132 的栅极端子,使得晶体管 138 被偏置在饱和区内并镜像经过晶体管 132 的电流。晶体管 140 的漏极端子被连接至 P 型晶体管 142 的漏极端子,且 P 型晶体管 142 的源极端子被连接至电源电压节点 124。

[0014] 在示例性实施例中,P 型晶体管 136、142 的栅极端子在被连接至晶体管 140 的漏极端子的节点 146 处被连接。晶体管 140 的栅极端子被连接至反馈电压节点 122,使得反馈电压节点 122 处的反馈电压影响晶体管 140 的漏极端子处的电压(例如,通过影响晶体管 140 的有效电阻),而这又影响晶体管 136、142 的栅极端子处的电压。晶体管 134 的栅极端子被连接至输入电压基准节点 102,使得输入电压基准节点 102 处的输入基准电压影响晶体管 134 的漏极端子处的电压,并且从而影响晶体管 136 的漏极端子处的电压。因此,当反馈电压节点 122 处的反馈电压大于输入电压基准节点 102 处的输入电压基准时,晶体管 140 的源极端子处的电压增大,而这又导致晶体管 134 的源极端子处的电压增大且从而使晶体管 134 的栅极-源极电压减小。晶体管 134 的栅极-源极电压的减小导致经过晶体管 134、136 的电流减小,而这又导致节点 120 处的电压增大,从而使通过器件 108 的沟道电

阻增大并使输出节点 104 处的电压减小,直至反馈电压节点 122 处的反馈电压基本上等于输入电压基准节点 102 处的输入电压基准为止。类似地,当反馈电压节点 122 处的电压小于输入电压基准时,节点 120 处的电压减小,从而使通过器件 108 的沟道电阻减小并使输出节点 104 处的电压增大,直至反馈电压节点 122 处的反馈电压基本上等于输入电压基准节点 102 处的输入电压基准为止。

[0015] 如图 1 所示,在示例性实施例中,相位补偿布置 118 包括电容性元件 148、电阻性元件 150、和开关元件 152,所述电容性元件 148 被连接在晶体管 134、140 的源极端子(或者晶体管 132、138 的漏极端子)之间,所述电阻性元件 150 被连接在晶体管 134、140 的源极端子之间、其与电容性元件 148 电性并联,且所述开关元件 152 被连接在晶体管 134、140 的源极端子之间、其与电容性元件 148 和电阻性元件 150 电性并联。鉴于此,当开关元件 152 被激活或者以其他方式导通时,电容性元件 148 和电阻性元件 150 被有效短路,并且晶体管 134、140 的源极端子(或者晶体管 132、138 的漏极端子)彼此被有效连接。在例示实施例中,开关元件 152 被实现为 N 型晶体管,其漏极端子被耦接至晶体管 134 的源极端子(或者晶体管 132 的漏极端子),且其源极端子被耦接至晶体管 140 的源极端子(或者晶体管 138 的漏极端子)。为了方便而非限制,开关元件 152 在本申请中被替代地称为晶体管。

[0016] 在示例性实施例中,选择电阻性元件 150 的电阻和电容性元件 148 的电容,以通过将额外的零点和极点引入放大器布置 106 的传递函数来最优化放大器布置 106 的单位增益频率处的相位裕量。如以下更加详细描述,开关元件 152 的栅极端子被耦接至低输出电流检测电路 116,并且低输出电流检测电路 116 被配置为,响应于检测到输出节点 104 处的输出电流小于阈值,而使开关元件 152 导通或以其他方式激活晶体管 152,并且使电容性元件 148 和电阻性元件 150 短路。照这样,低输出电流检测电路 116 禁用相位补偿布置 118,以使放大器布置 106 的开环增益增大,并且从而在被耦接至输出节点的电负载工作在浮置状态或低电流状态下时,提高放大器布置 106 对输出节点 104 处的输出电压进行调节的能力。如以下更加详细描述,响应于检测到输出节点 104 处的输出电流大于阈值,低输出电流检测电路 116 被配置为使开关元件 152 截止或以其他方式使开关元件 152 去活(deactive),以启用相位补偿布置 118,从而使开环增益减小并且使放大器布置 106 的相位裕量增大。

[0017] 如图 1 所示,第一电流镜布置 112 包括一对晶体管 154、156,该对晶体管 154、156 被配置为镜像经过通过器件 108 的电流,以得到与输出电流(i_{OUT})成比例的基准电流。鉴于此,第一晶体管 154 被实现为 P 型晶体管,其源极端子在电源电压节点 124 处被耦接至 PMOS 晶体管 108 的源极端子,并且其栅极端子在控制电压节点 120 处被耦接至 PMOS 晶体管 108 的栅极端子。照这样,通过 PMOS 晶体管 154 镜像经过 PMOS 晶体管 108 的电流。PMOS 晶体管 154 的漏极端子经由电阻元件 158 而被耦接至 N 型晶体管 156 的漏极端子,所述电阻元件 158 被电串联在晶体管 154、156 之间。选择电阻元件 158 的电阻,以在晶体管 156 的漏极端子处获得与晶体管 160 的漏极端子处的电压基本上相等的电压,所述晶体管 160 被配置为镜像经过电流镜布置 112 的基准电流,以便晶体管 156、160 将具有相同的栅极偏置和漏极偏置,并且作为结果而得到的经过晶体管 160 的电流更加精确地复制经过晶体管 156 和 / 或电流镜布置 112 的电流。NMOS 晶体管 156 的栅极端子被连接至 NMOS 晶体管 156 的漏极端子,并且 NMOS 晶体管 156 的源极端子被连接至地电压节点 130。

[0018] 在示例性实施例中,低输出电流检测电路 116 包括晶体管 160,其被配置为镜像经过电流镜布置 112 的基准电流,亦即,经过晶体管 156 的电流。鉴于此,晶体管 160 被实现为 N 型晶体管,其源极端子在地电压节点 130 处被耦接至晶体管 156 的源极端子,且其栅极端子被连接至晶体管 156 的栅极端子。照这样,NMOS 晶体管 160 上的电压(例如,NMOS 晶体管 160 的漏极端子和源极端子之间的电压)与基准电流成比例相关。NMOS 晶体管 160 的漏极端子经由电阻性元件 162 而被耦接至电源电压节点 124。低输出电流检测电路 116 包括比较器 164,所述比较器 164 具有被连接至晶体管 160 的漏极端子的非反相输入端、被连接至被配置为接收比较器 164 的阈值电压的节点 166 的反相输入端、以及被连接至 NMOS 晶体管 152 的栅极端子的输出端。如以下更加详细描述,选择电阻性元件 162 的电阻和节点 166 处的阈值电压,使得当输出节点 104 处的输出电流小于下限阈值电流值时,比较器 164 在其输出端产生逻辑高电压。在示例性实施例中,所述下限阈值电流值代表如下的输出节点 104 处输出电流的值,该值表示被耦接至输出节点 104 的电负载工作在浮置状态下或者以其他方式消耗相对较低的电流。在其他实施例中,可以将下限阈值电流值选择为代表流经通过器件 108 的电流,其可以减小电压调节布置 105 内的跨导,并且从而限制电压调节布置 105 的用于精确地对输出节点 104 处的输出电压进行调节的能力。比较器 164 的输出端处的逻辑高电压激活晶体管 152 或者以其他方式使晶体管 152 导通,以禁用相位补偿布置 118(例如,通过使电容性元件 148 和电阻性元件 150 短路)并且使放大器布置 106 的开环增益增大。在示例性实施例中,比较器 164 被实现为迟滞比较器,使得直至检测到输出节点 104 处的输出电流大于比下限阈值电流值大的上限阈值电流值之前,比较器 164 都不会在其输出端处产生逻辑低电压,以启用相位补偿布置 118,如以下更加详细描述。

[0019] 在例示实施例中,寄生补偿电路 114 被实现为第二电流镜布置,其被配置为镜像经过第一电流镜布置 112 的基准电流。寄生补偿电路 114 被耦接至反馈电压节点 122 和地电压节点 130 之间,并且被配置为使反馈电压节点 122 处的反馈电压增大,以补偿输出节点 104 和被耦接至输出节点 104 的电负载之间的寄生电阻,如以下更加详细描述。寄生补偿电路 114 包括晶体管 170,其被配置为镜像经过电流镜布置 112 的基准电流,亦即,经过晶体管 156 的电流。鉴于此,晶体管 170 被实现为 N 型晶体管,其源极端子在地电压节点 130 处被耦接至晶体管 156 的源极端子,且其栅极端子被连接至晶体管 156 的栅极端子。NMOS 晶体管 170 的漏极端子被连接至第二 NMOS 晶体管 172 的源极端子,且第二 NMOS 晶体管 172 的漏极端子被连接至反馈电压节点 122。第二 NMOS 晶体管 172 的栅极端子在控制电压节点 120 处被耦接至晶体管 108、154 的栅极端子。

[0020] 在示例性实施例中,为了补偿由输出节点 104 和电负载之间的寄生电阻而引起的电压降,选择 PMOS 晶体管 154 的尺寸(例如,宽度和/或长度),使得 PMOS 晶体管 108 的尺寸与 PMOS 晶体管 154 的尺寸之比等于 n ,其中 n 等于分压器布置 110 的第一电阻性元件 126 的电阻(例如, R_1)与输出节点 104 和被耦接至输出节点 104 的电负载之间的寄生电阻(例如, R_p)之比。照这样,流经电流镜布置 112 的电流等于输出节点 104 处的输出电流除以 n ,并且因此,寄生补偿电路 114 使流经通过器件 108 的电流(例如,流至反馈电压节点 122 的电流)增大 i_{OUT}/n 。结果是,输出节点 104 处的经调节的电压被增大基准电流和第一电阻性元件 126 的电阻的乘积(例如, $R_1 \times i_{OUT}/n$),由于 n 等于第一电阻性元件 126 的电阻与寄生电阻之比(例如, $n = R_1/R_p$),所以该乘积等于输出节点 104 和被耦接至输出节点 104 的

负载之间的寄生电阻两端的电压降。鉴于此,在示例性实施例中,PMOS 晶体管 154 的尺寸是可配置或以其他方式可调整的,从而允许比例 n 被调至期望量(例如, R_1/R_p)。

[0021] 如上所述,选择电阻性元件 162 的电阻和节点 166 处的阈值电压,使得比较器 164 响应于检测到输出节点 104 处的输出电流小于表示耦接至输出节点 104 的电负载工作在浮置状态下的下限阈值,而在其输出端处产生逻辑高电压。鉴于此,可以将下限阈值电流值选为在电负载在其工作于正常操作状态下时的最小的希望负载电流(或输出电流)和在被耦接至输出节点 104 的电负载处于浮置状态下时的希望负载电流(或输出电流)之间的值。例如,可以通过对能够由电负载在经调节的输出电压下所消耗的最小负载电流和电负载在经调节的输出电压下的浮置状态电流求平均值,来选择下限阈值电流值(i_{TH})。如上所述,晶体管 160 被配置为镜像经过电流镜布置 112 的基准电流,使得流经电阻性元件 162 的电流等于该基准电流(例如,经过通过器件 108 的输出电流除以 n)。鉴于此,选择节点 166 处的阈值电压和电阻性元件 162 的电阻,以满足等式 $V_{TH} = V_{DD} - (R_3 \times i_{TH}/n)$,其中 V_{TH} 是节点 166 处的阈值电压, V_{DD} 是节点 124 处的电源电压, i_{TH} 是下限阈值电流值, n 是晶体管 108 的尺寸与晶体管 154 的尺寸之比(例如, R_1/R_p),并且 R_3 是电阻性元件 162 的电阻。如上所述,当晶体管 160 的漏极端子处的电压上升到节点 166 处的阈值电压以上(例如,由于经过晶体管 160 的电流响应于输出节点 104 处的输出电流的相应的减小而减小)时,比较器 164 产生逻辑高输出电压,以使 NMOS 晶体管 152 导通并禁用相位补偿布置 118。直至晶体管 160 的漏极端子处的电压下降到节点 166 处的阈值电压以下之前,比较器 164 都不会产生逻辑低输出电压,以使 NMOS 晶体管 152 截止并启用相位补偿布置 118。如以上所阐述,并在下面更加详细描述,根据一个或多个实施例,比较器 164 被实现为迟滞比较器,其维持逻辑高电压输出,直至 NMOS 晶体管 160 的漏极端子处的电压下降到比节点 166 处的阈值电压小的第二阈值电压之下为止。在一些实施例中,可以将迟滞比较器 164 设计为使得第二阈值电压表示输出节点 104 处的输出电流大于经过通过器件 108 的电流的上限阈值电流值,该上限阈值电流值为通过器件 108 提供足够的跨导,以允许电压调节布置 105 在相位补偿布置 118 被启用时以期望的精确度来对输出节点 104 处的输出电压进行调节。

[0022] 现在参照图 2,在示例性实施例中,电压调节电路 100 被配置为执行如下所述的增益调整过程 200 以及额外的任务、功能和/或操作。为了例示目的,下面的描述会涉及上面结合图 1 所提及的元件。实际上,可以通过例如放大器布置 106、电流镜布置 112、低输出电流检测电路 116、和/或相位补偿布置 118 的所描述的系统的不同元件来执行这些任务、功能和操作。应予以理解的是,可以包括任何数目的额外的或者替代的任务,并且可以将其结合到具有本申请中没有详细描述的功能性的综合性更强的程序或过程中。

[0023] 现在参照图 2,并且继续参照图 1,可以执行增益调整过程 200,以基于输出节点 104 处的输出电流的大小,来动态地调整放大器布置 106 的增益和/或相位裕量,以便在输出电流足以允许放大器布置 106 将输出节点 104 处的输出电压充分地调节至稳定且精确的值时,提高放大器布置 106 在相对较低的输出电流下的开环增益,以及提高放大器布置 106 的相位裕量。在示例性实施例中,通过监视或以其他方式获得输出电流,并且将输出电流与下限阈值比较,以检测或以其他方式鉴别何时输出电流小于下限阈值(任务 202、204),增益调整过程 200 开始。如上所述,通过用电流镜布置 112 镜像输出电流而得到与输出电流成比例的基准电流,来监视流经通过器件 108 的输出节点 104 处的输出电流。低输出电流检

测电路 116 的晶体管 160 镜像经过电流镜布置 112 的基准电流,并且比较器 164 监视结果得到的晶体管 160 上的电压,该电压受流经晶体管 160 的基准电流的大小影响,如上所述。比较器 164 将结果得到的晶体管 160 上的电压与节点 166 处的阈值电压比较,该阈值电压表示输出节点 104 处的输出电流的大小的下限阈值。如上所述,在示例性实施例中,基于表示被耦接至输出节点 104 的负载工作在浮置状态下、或者以其他方式表示可以减小电压调节布置 105 内的跨导并限制电压调节布置 105 以期望的精确度对输出节点 104 处的输出电压进行调节的能力的输出电流的阈值电流值,来选择节点 166 处的阈值电压。

[0024] 在示例性实施例中,通过响应于检测到输出电流在下限阈值电流值以下而禁用对放大器布置的相位补偿、或者在输出电流在下限阈值电流值以上时以其他方式启用相位补偿布置(任务 206、210),来继续增益调整过程 200。鉴于此,响应于检测到晶体管 160 上的电压大于节点 166 处的阈值电压,比较器 164 产生逻辑高输出电压,以激活或以其他方式使开关元件 152 导通,且从而通过使电容性元件 148 和电阻性元件 150 被有效短路来禁用相位补偿布置 118。如以上所阐述的,当相位补偿布置 118 被禁用时,放大器布置 106 的开环增益被增大,从而当被耦接至输出节点 104 的电负载处于浮置状态或以其他方式消耗少量或不消耗电流时,补偿由于输出电流的减小而导致的通过器件 108 的跨导的减小,并允许电压调节布置 105 更加精确地对输出节点 104 处的输出电压进行调节。否则,当晶体管 160 上的电压小于节点 166 处的阈值电压时,比较器 164 产生逻辑低输出电压,以去活或以其他方式使开关元件 152 截止,并从而启用相位补偿布置 118。

[0025] 在禁用相位补偿布置之后,在示例性实施例中,增益调整过程 200 继续监视或以其他方式获得输出电流,并检测或以其他方式鉴别何时输出电流大于上限阈值(任务 208)。鉴于此,低输出电流检测电路 116 的晶体管 160 继续监视或以其他方式获得经过电流镜布置 112 的基准电流,且当相位补偿布置 118 被禁用时,比较器 164 继续监视结果得到的晶体管 160 上的电压。如以上所阐述的,比较器 164 优选被实现为迟滞比较器,使得比较器 164 维持逻辑高电压输出(从而维持开关元件 152 导通),直至晶体管 160 上的电压(即,晶体管 160 的漏极端子处的电压)下降到比节点 166 处的阈值电压小的第二阈值电压以下为止。鉴于此,比较器 164 可以被设计为,使得下限阈值电压表示输出节点 104 处的输出电流大于用于为通过器件 108 提供跨导所需要的输出电流的上限阈值量,该上限阈值量大于允许电压调节布置 105 在相位补偿布置 118 被启用时以期望的精确度对输出节点 104 处的输出电压进行调节的阈值量。在一些实施例中,比较器 164 可以被设计为,使得下限阈值电压表示耦接至输出节点 104 的负载与工作在浮置状态下相反地、工作在其中负载消耗电流的正常工作状态下。

[0026] 响应于检测到输出电流在上限阈值电流值以上,通过启用对放大器布置的相位补偿(任务 210),来继续增益调整过程 200。鉴于此,响应于检测到晶体管 160 上的电压小于比较器 164 所提供的下限阈值电压,比较器 164 产生逻辑低输出电压,以去活或以其他方式使开关元件 152 截止,并从而启用相位补偿布置 118。当相位补偿布置 118 被启用时,放大器布置 106 的开环增益被减小并且放大器布置 106 的相位裕量被增大,从而改善输出节点 104 处的输出电压的稳定性。在示例性实施例中,在由任务 202、204、206、208、210 所定义的循环在电压调节电路 100 的整个工作过程中重复,使得每当耦接至输出节点 104 的负载工作在浮置状态下时(即,当输出电流下降到下限阈值之下时),相位补偿布置 118 被禁

用,并且每当耦接至输出节点 104 的负载工作在消耗电流的正常工作状态下时便相位补偿布置 118 被启用。

[0027] 现在参照图 3,并且继续参照图 1-2,在示例性实施例中,图 1 的电压调节电路 100 可以被用在电子系统 300 中,以向例如集成电路、处理器、微处理器、控制器、微控制器、数字信号处理器、传感器、放大器、收发器或者另外的合适的电子部件的电子设备 304 提供经调节的电压。应予以理解的是,图 3 是为了解释和描述方便而简化表示的电子系统 300,并且如将理解的,实际的实施例可以包括其他器件和部件,以提供额外的功能和特征,且 / 或电子系统 300 可以是更大的电子系统的一部分。因此,应当认识到,并非意图将主题限制到任何具体电子设备 304。

[0028] 在示例性实施例中,电子系统 300 包括电压基准布置 302,所述电压基准布置 302 被配置为向电压调节电路 100 的输入节点 102 提供稳定且精确的 DC 输入电压基准,如上所述。电压基准布置 302 被配置为允许该输入电压基准被调整成使得电压调节电路 100 在输出节点 104 处产生经调节的电压,该经调节的电压对应于用于电子设备 304 的期望的经调节的电源电压。在示例性实施例中,电子设备 304 包括输入端,该输入端被配置为接收耦接到电压调节电路 100 的输出节点 104 的经调节的电源电压,从而从电压调节电路 100 接收经调节的电源电压。照这样,电压调节电路 100 为电子设备 304 提供经调节的电源电压。如上所述,当电子设备 304 工作在浮置状态下或以其他方式消耗基本上为零的电流时,低输出电流检测电路 116 禁用相位补偿布置 118,以增大放大器布置 106 的开环增益,并从而提高电压调节电路 100 对被提供给电子设备 304 的电源电压进行调节的能力。

[0029] 为了简短起见,本申请中不会描述与调节器、线性调节器、低压差调节器、模拟电路设计、场效应晶体管 (FET) 以及系统的其他功能方面 (以及系统的单独的工作部件) 相关的常规技术。此外,本申请中所包含的各图中示出的连线旨在表现各元件之间的示例性功能关系和 / 或物理耦接。应予以注意的是,在主题的实施例中可以存在许多替代的或额外的功能关系或物理连接。另外,也可以在本申请中使用一定的术语,这只是为了引用的目的,因而并非意图进行限制,并且指代结构的术语“第一”、“第二”以及其他用数字表示的术语并非暗示顺序或次序,除非上下文中清楚指出。

[0030] 如本申请中所使用的,“节点”意指任何内部或外部的基准点、连接点、结点、信号线、导电性元件等,在这些点处存在给定的信号、逻辑电平、电压、数据图案、电流或参量。此外,可以通过一个物理元件来实现两个或更多个节点 (并且即便是在公共节点处接收或输出的两个或更多个信号也都可以被多路复用、调制或以其他方式区分)。

[0031] 前面的描述涉及“被连接”或者“被耦接”在一起的元件或节点或特征。如本申请中所使用的,除非另外明确声明,否则“被连接”意指一个元件被直接结合到另一元件 (或者直接与另一元件通信),并且不必是以机械方式。同样,除非另外明确声明,否则“被耦接”意指一个元件被直接或间接地结合到另一元件 (或者直接或间接地或另一元件通信),并且不必是以机械方式。因此,尽管图中所示的示意性结构描绘了元件的一个示意性布置,但在所描绘的主题的实施例中可以存在额外的插入元件、器件、特征或部件。

[0032] 总之,根据本发明的示例性实施例而配置的系统、设备和方法涉及:

[0033] 在一个示例性实施例中,提供一种用于电压调节电路的装置。所述电压调节电路包括电压调节布置、被耦接至所述电压调节布置的相位补偿布置、和被耦接至所述相位补

偿布置的检测电路,其中,所述电压调节布置被配置为,基于输入节点处的输入电压基准而在输出节点处提供经调节的输出电压。所述相位补偿布置被配置为使所述电压调节布置的相位裕量增大,并且所述检测电路被配置为,响应于检测到输出节点处的输出电流小于阈值而禁用所述相位补偿布置。根据一个实施例,所述电压调节布置包括被耦接在所述输出节点和第一节点之间的第一晶体管,并且所述检测电路被配置为,以受从所述第一节点经过所述第一晶体管而流至所述输出节点的电流影响的方式,禁用所述相位补偿布置。在另一实施例中,所述电压调节电路包括被耦接至所述第一晶体管的第一电流镜布置,所述第一电流镜布置被配置为,镜像从所述第一节点经过所述第一晶体管而流至所述输出节点的电流,以得到流经所述第一电流镜布置的基准电流,其中,所述检测电路被耦接至所述第一电流镜布置,并且被配置为响应于检测到所述基准电流表示所述输出节点处的输出电流小于所述阈值,而禁用所述相位补偿布置。在又一实施例中,所述检测电路包括第二晶体管和比较器,所述第二晶体管被配置为,镜像流经所述第一电流镜布置的基准电流,使得所述第二晶体管上的电压受该基准电流的影响,并且所述比较器被配置为,当所述第二晶体管上的电压大于阈值电压时,产生第一信号以禁用所述相位补偿布置,其中,所述阈值电压表示所述输出节点处的输出电流小于所述阈值。在又一实施例中,所述电压调节电路包括被配置为与所述相位补偿布置电性并联的开关元件,其中,由所述比较器产生的所述第一信号激活所述开关元件,以禁用所述相位补偿布置。在另一实施例中,所述比较器被配置为,当所述第二晶体管上的电压小于所述阈值电压时,产生第二信号以启用所述相位补偿布置。在又一实施例中,所述电压调节电路包括被配置为镜像流经所述第一电流镜布置的基准电流的第二电流镜布置,其中,所述第二电流镜布置被耦接至所述电压调节布置,并被配置为以受所述基准电流影响的方式来增大所述经调节的输出电压。根据另一实施例,所述电压调节布置包括:通过器件,所述通过器件被耦接在所述输出节点和第一节点之间,所述输出电流包括从所述第一节点经过所述通过器件而流至所述输出节点的电流的至少一部分;分压布置,所述分压布置被耦接在所述输出节点和第二节点之间,所述分压布置被配置为在反馈电压节点处建立反馈电压;和放大器布置,所述放大器布置被耦接至所述输入节点、所述反馈电压节点、和所述通过器件,其中,所述放大器布置被配置为,基于所述反馈电压和所述输入电压基准之间的差来调整流经所述通过器件的电流。在又一实施例中,所述检测电路被配置为,响应于检测到所述输出节点处的所述输出电流大于阈值而启用所述相位补偿布置。根据又一实施例,包括所述电压调节电路的系统进一步包括电子设备,所述电子设备被耦接至所述电压调节电路的所述输出节点,以接收所述经调节的输出电压。

[0034] 根据另一实施例,提供一种用于电压调节电路的装置,所述电压调节电路包括:输入节点,所述输入节点被配置为接收输入电压基准;输出节点;第一节点;第二节点;被耦接在所述第一节点和所述输出节点之间的第一晶体管,所述第一晶体管被配置为允许所述输出节点处的输出电流从所述第一节点经过所述第一晶体管而流至所述输出节点;被耦接在所述输出节点和所述第二节点之间的分压器布置,所述分压器布置被配置为在反馈电压节点处建立反馈电压;被耦接至所述输入节点、所述反馈电压节点、和所述第一晶体管的放大器布置,其中,所述放大器布置和所述第一晶体管以合作方式被配置为,基于所述反馈电压和所述输入电压基准之间的差来调整所述输出节点处的输出电压;被耦接至所述放大器布置的相位补偿布置;和被耦接至所述相位补偿布置的检测电路,其中,所述检测电路被配

置为,响应于检测到所述输出电流小于阈值而禁用所述相位补偿布置。在一个实施例中,所述相位补偿布置被配置为使所述放大器布置的单位增益频率处的相位裕量最优化。在另一实施例中,所述电压调节电路进一步包括被配置为与所述相位补偿布置电性并联的第二晶体管,其中,所述检测电路被配置为,响应于检测到所述输出电流小于所述阈值而使第二晶体管导通。在又一实施例中,所述电压调节电路包括第一电流镜布置,所述第一电流镜布置被配置为镜像经过所述第一晶体管的输出电流,以得到基准电流,其中,所述检测电路包括第三晶体管和比较器,所述第三晶体管被配置为镜像经过所述第一电流镜布置的基准电流,所述第三晶体管上的电压受所述基准电流影响,所述比较器具有第一输入端、第二输入端、和输出端,所述第一输入端被配置为接收所述第三晶体管上的电压,所述第二输入端被配置为接收表示所述输出电流小于所述阈值的比较器基准电压,且所述输出端被耦接至所述第二晶体管的栅极端子,并且所述比较器被配置为,当所述第三晶体管上的电压大于所述比较器基准电压时,在所述输出端产生输出信号,以使所述第二晶体管导通。根据另一实施例,所述第一节点被配置为接收电源电压,所述第二节点被配置为接收地电压,所述第一晶体管包括被连接至所述第一节点的源极端子和被连接至所述输出节点的漏极端子,并且所述放大器布置包括:第二晶体管,所述第二晶体管具有被连接至所述输入节点的栅极端子和被连接至所述第一晶体管的栅极端子的漏极端子;第三晶体管,所述第三晶体管具有被连接至所述第二晶体管的漏极端子的漏极端子和被连接至所述第一节点的源极端子;和第四晶体管,所述第四晶体管具有被连接至所述反馈电压节点的栅极端子和被连接至所述第三晶体管的栅极端子的漏极端子。所述相位补偿布置包括:电容性元件,所述电容性元件被连接在所述第二晶体管的源极端子和所述第四晶体管的源极端子之间;和电阻性元件,所述电阻性元件被连接在所述第二晶体管的源极端子和所述第四晶体管的源极端子之间。在又一实施例中,所述电压调节电路进一步包括第五晶体管,所述第五晶体管具有被连接至所述第二晶体管的源极端子的漏极端子和被连接至所述第四晶体管的源极端子的源极端子,其中,所述的检测电路被配置为,响应于检测到所述输出电流小于所述阈值而使所述第五晶体管导通,以禁用所述相位补偿布置。在又一实施例中,所述电压调节电路包括第一电流镜布置,所述第一电流镜布置被配置为镜像流经所述第一晶体管的输出电流,以得到基准电流,其中,所述检测电路包括:第六晶体管,所述第六晶体管具有被连接至所述第二节点的源极端子和被连接至所述第一电流镜布置的栅极端子,以镜像所述基准电流;和比较器,所述比较器具有被连接至所述第六晶体管的漏极端子的非反相输入端、被配置为接收表示所述输出电流小于所述阈值的电压的反相输入端、和被连接至所述第五晶体管的栅极端子的输出端。

[0035] 在另一示例性实施例中,提供一种用于操作电压调节电路的方法,所述电压调节电路包括电压调节布置,所述电压调节布置被配置为,基于输入电压基准来调节输出节点处的输出电压。所述方法包括:监视所述输出节点处的输出电流;将所述输出电流与阈值相比较;并且响应于检测到所述输出电流小于所述阈值,禁用被耦接至所述电压调节布置的相位补偿布置,所述相位补偿布置被配置为,当被启用时,使所述电压调节布置的相位裕量增大。在一个实施例中,监视所述输出电流包括,监视所述输出电流以得到基准电流;将所述输出电流与所述阈值相比较包括,用第一晶体管镜像所述基准电流,以及将所述第一晶体管上的电压与表示所述输出电流小于或等于所述阈值的基准电压相比较,所述第一晶

晶体管上的所述电压受所述基准电流影响；并且禁用所述相位补偿布置包括，当所述第一晶体管上的所述电压大于所述基准电压时，禁用所述相位补偿布置。在另一实施例中，禁用所述相位补偿布置包括，激活被配置为与所述相位补偿布置电性并联的开关元件。

[0036] 尽管在前面的详细描述中展现了至少一个示例性实施例，但应当认识到，存在大量的变型。还应予以认识到，本申请中所描述的一个或多个示例性实施例并非意图以任何方式限制所要求保护的的主题的范围、应用或配置。而是，以上的详细描述将向本领域技术人员提供用于实现所描述的一个或多个实施例的便利的指导方针。应予以理解的是，在不脱离由权利要求所限定的、包括提交本专利申请时的已知等同物和可预见的等同物的范围的情况下，可以对元件的功能和布置做出各种改变。

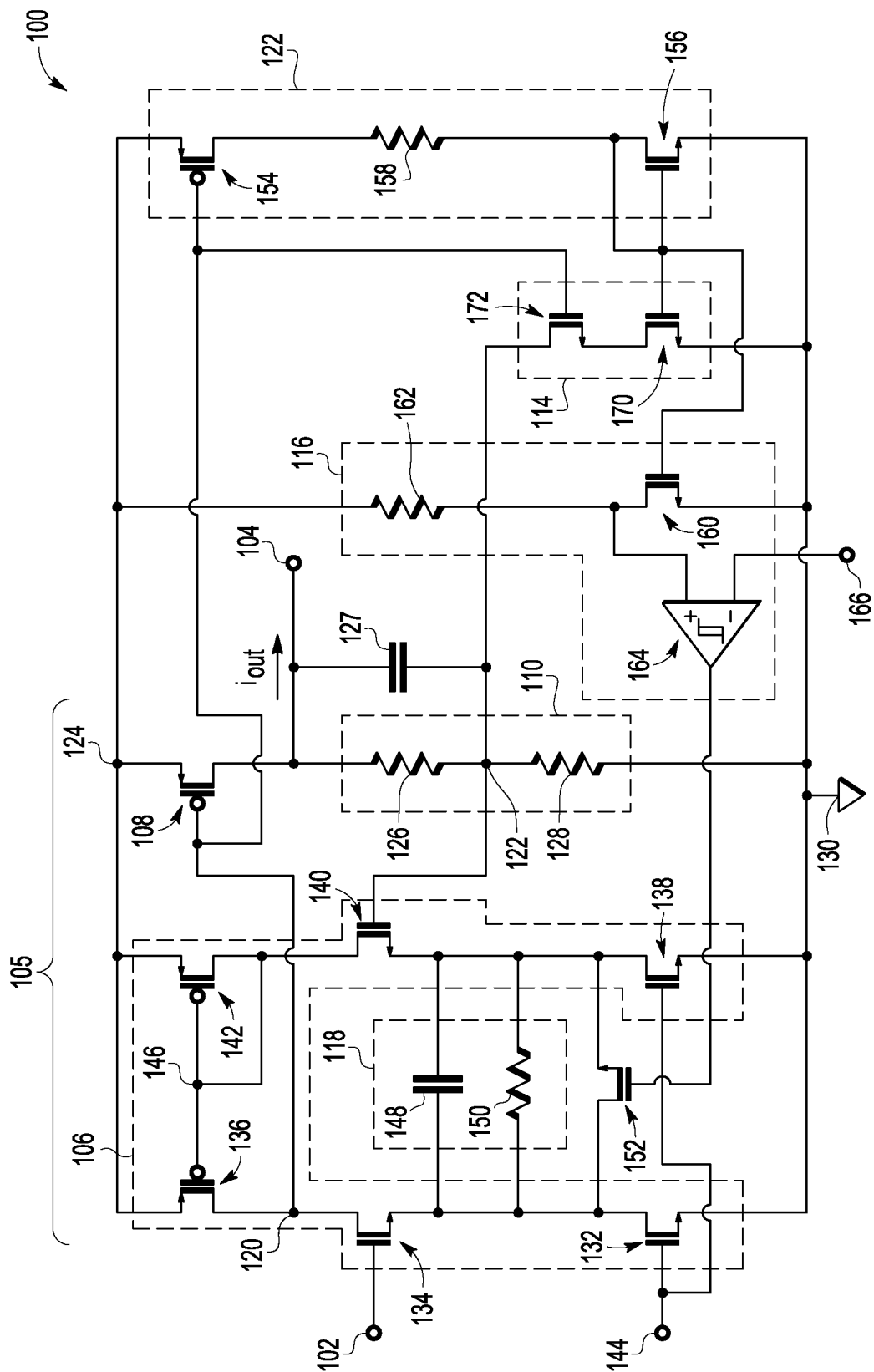


图 1

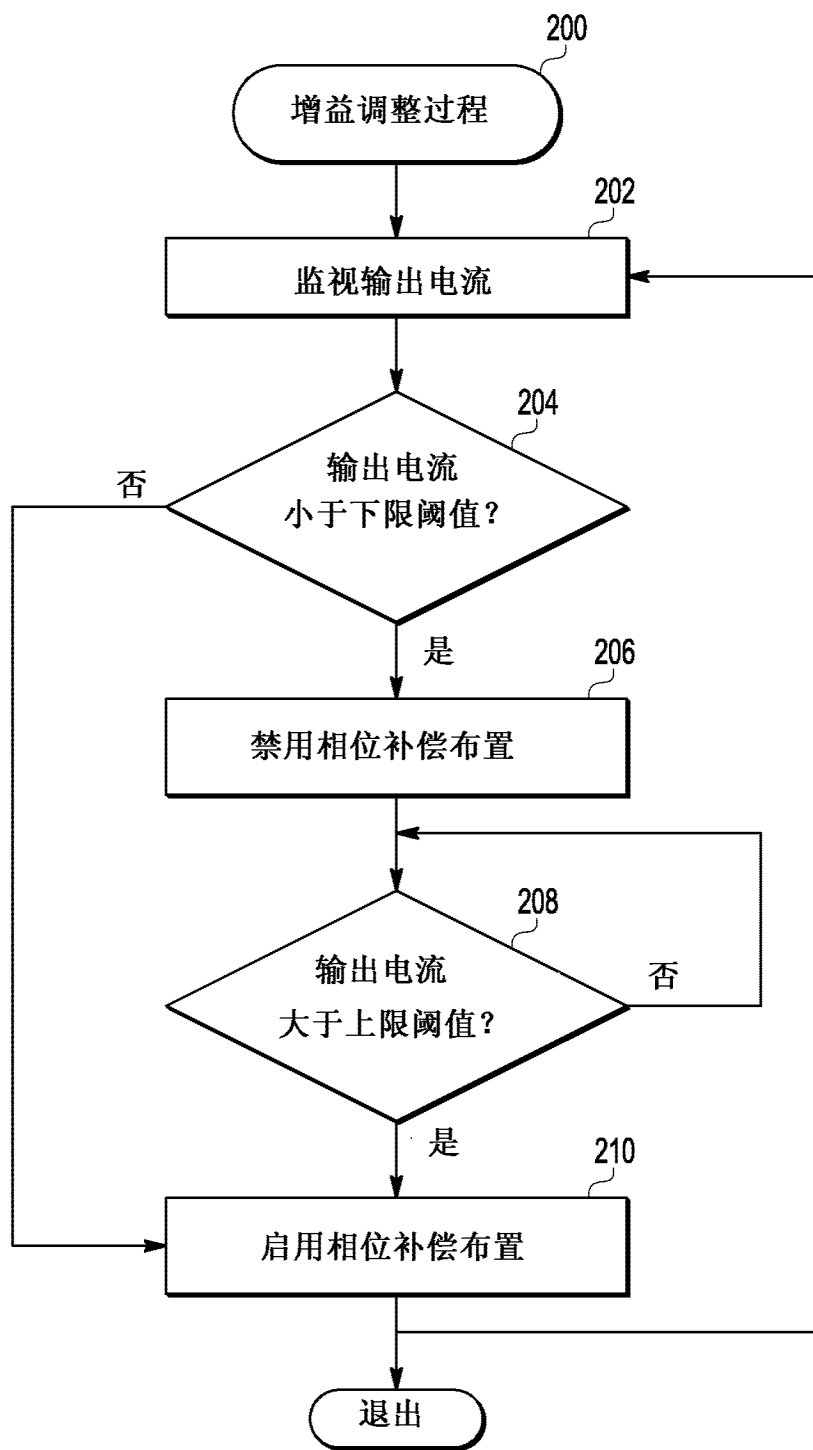


图 2

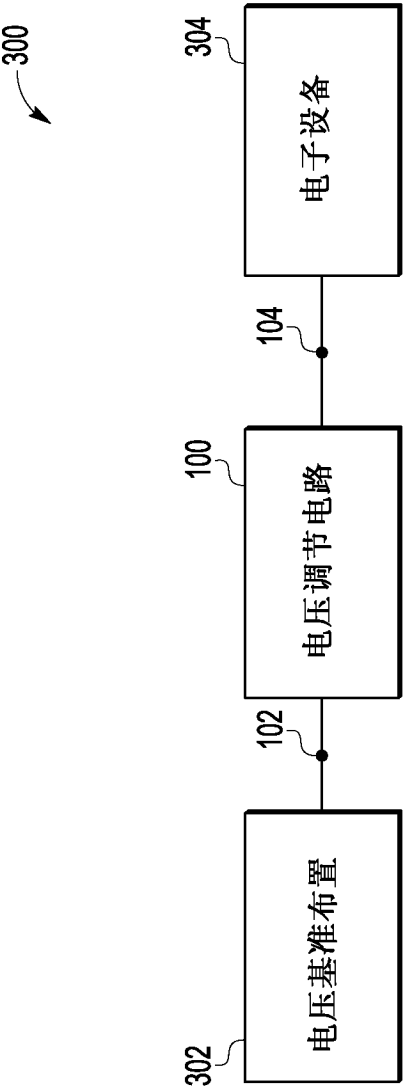


图 3