(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 104867464 B
(45)授权公告日 2019.04.23

(21)申请号 201510087445.2

(22)申请日 2015.02.25

(65)同一申请的已公布的文献号
申请公布号 CN 104867464 A

(43)申请公布日 2015.08.26

(30)优先权数据
2014-031501 2014.02.21 JP

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 梅崎敦司

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 张鑫

(51)Int.Cl.
G09G 3/36(2006.01)
G11C 19/28(2006.01)

(56)对比文件
US 2004/0227718 A1,2004.11.18,说明书0064-0070段和图6.
US 2004/0227718 A1,2004.11.18,说明书0064-0070段和图6.
CN 102222480 A,2011.10.19,说明书第0057段.
CN 101154343 A,2008.04.02,全文.
CN 102637745 A,2012.08.15,全文.
CN 103035192 A,2013.04.10,全文.

审查员 凤艳艳

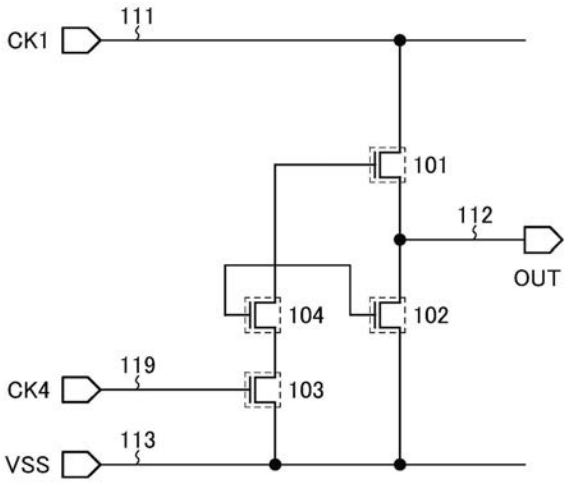
权利要求书3页 说明书25页 附图23页

(54)发明名称

半导体装置及电子设备

(57)摘要

本发明的一个方式提供一种新颖的移位寄存器。本发明的一个方式包括晶体管101、晶体管102、晶体管103及晶体管104。晶体管101的第一端子与布线111连接，且晶体管101的第二端子与布线112连接。晶体管102的第一端子与布线113连接，且晶体管102的第二端子与布线112连接。晶体管103的第一端子与布线113连接，且晶体管103的栅极与布线111或布线119连接。晶体管104的第一端子与晶体管103的第二端子连接，且晶体管104的第二端子与晶体管101的栅极连接，且晶体管104的栅极与晶体管102的栅极连接。



CN 104867464 B

1.一种半导体装置,包括:

第一晶体管、第二晶体管、第三晶体管及第四晶体管;以及

第一布线及第二布线,

其中,所述第一晶体管、所述第二晶体管、所述第三晶体管及所述第四晶体管具有相同的导电类型,

所述第一晶体管的源极和漏极中的一个与所述第二晶体管的源极和漏极中的一个电连接,

所述第一晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的栅极与所述第一布线电连接,

所述第一晶体管的栅极与所述第四晶体管的源极和漏极中的一个电连接,

所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的源极和漏极中的一个与所述第二布线电连接,

所述第二晶体管的栅极与所述第四晶体管的栅极电连接,

并且,所述第三晶体管的所述源极和所述漏极中的另一个与所述第四晶体管的所述源极和所述漏极中的另一个电连接。

2.根据权利要求1所述的半导体装置,其中所述第四晶体管的沟道宽度与沟道长度之比高于所述第三晶体管的沟道宽度与沟道长度之比。

3.根据权利要求1所述的半导体装置,

其中所述第三晶体管包括第一半导体层及第一栅电极,

所述第四晶体管包括第二半导体层及第二栅电极,

并且所述第二半导体层与所述第二栅电极彼此重叠的区域大于所述第一半导体层与所述第一栅电极彼此重叠的区域。

4.根据权利要求1所述的半导体装置,其中所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管中的至少一个的沟道形成区域包含氧化物半导体。

5.根据权利要求1所述的半导体装置,

其中所述第一布线将时钟信号供应给所述第一晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的所述栅极,

并且所述第二布线将电压供应给所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的所述源极和所述漏极中的一个。

6.一种半导体装置,包括:

第一晶体管、第二晶体管、第三晶体管及第四晶体管;以及

第一布线、第二布线及第三布线,

其中,所述第一晶体管、所述第二晶体管、所述第三晶体管及所述第四晶体管具有相同的导电类型,

所述第一晶体管的源极和漏极中的一个与所述第二晶体管的源极和漏极中的一个电连接,

所述第一晶体管的所述源极和所述漏极中的另一个与所述第一布线电连接,

所述第一晶体管的栅极与所述第四晶体管的源极和漏极中的一个电连接,

所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的源极和漏极

中的一个与所述第二布线电连接，

所述第二晶体管的栅极与所述第四晶体管的栅极电连接，

所述第三晶体管的所述源极和所述漏极中的另一个与所述第四晶体管的所述源极和所述漏极中的另一个电连接，

所述第三晶体管的栅极与所述第三布线电连接，且

所述第三晶体管的所述栅极不与所述第四晶体管的所述栅极电连接。

7.根据权利要求6所述的半导体装置，其中所述第四晶体管的沟道宽度与沟道长度之比高于所述第三晶体管的沟道宽度与沟道长度之比。

8.根据权利要求6所述的半导体装置，

其中所述第三晶体管包括第一半导体层及第一栅电极，

所述第四晶体管包括第二半导体层及第二栅电极，

并且所述第二半导体层与所述第二栅电极彼此重叠的区域大于所述第一半导体层与所述第一栅电极彼此重叠的区域。

9.根据权利要求6所述的半导体装置，其中所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管中的至少一个的沟道形成区域包含氧化物半导体。

10.根据权利要求6所述的半导体装置，

其中所述第一布线将第一时钟信号供应给所述第一晶体管的所述源极和所述漏极中的另一个，

所述第二布线将电压供应给所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的所述源极和所述漏极中的一个，

并且所述第三布线将第二时钟信号供应给所述第三晶体管的所述栅极。

11.一种半导体装置，包括：

第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管及第七晶体管；以及

第一布线、第二布线、第三布线及第四布线，

其中，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管及所述第七晶体管具有相同的导电类型，

所述第一晶体管的源极和漏极中的一个与所述第二晶体管的源极和漏极中的一个电连接，

所述第一晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的栅极与所述第一布线电连接，

所述第一晶体管的栅极与所述第四晶体管的源极和漏极中的一个电连接，

所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的源极和漏极中的一个与所述第二布线电连接，

所述第二晶体管的栅极与所述第四晶体管的栅极、所述第六晶体管的源极和漏极中的一个及所述第七晶体管的源极和漏极中的一个电连接，

所述第三晶体管的所述源极和所述漏极中的另一个与所述第四晶体管的所述源极和所述漏极中的另一个电连接，

所述第五晶体管的源极和漏极中的一个与所述第七晶体管的栅极电连接，

所述第五晶体管的所述源极和所述漏极中的另一个与所述第四布线电连接，

并且，所述第六晶体管的栅极与所述第三布线电连接。

12.根据权利要求11所述的半导体装置，其中所述第四晶体管的沟道宽度与沟道长度之比高于所述第三晶体管的沟道宽度与沟道长度之比。

13.根据权利要求11所述的半导体装置，

其中所述第三晶体管包括第一半导体层及第一栅电极，

所述第四晶体管包括第二半导体层及第二栅电极，

并且所述第二半导体层与所述第二栅电极彼此重叠的区域大于所述第一半导体层与所述第一栅电极彼此重叠的区域。

14.根据权利要求11所述的半导体装置，其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管和所述第七晶体管中的至少一个的沟道形成区域包含氧化物半导体。

15.根据权利要求11所述的半导体装置，

其中所述第一布线将第一时钟信号供应给所述第一晶体管的所述源极和所述漏极中的另一个，

所述第二布线将电压供应给所述第二晶体管的所述源极和所述漏极中的另一个及所述第三晶体管的所述源极和所述漏极中的一个，

所述第三布线将第二时钟信号供应给所述第六晶体管的所述栅极，

并且所述第四布线将起始脉冲供应给所述第四晶体管的所述源极和所述漏极中的另一个。

16.根据权利要求11所述的半导体装置，其中所述第五晶体管的栅极与所述第三布线电连接。

17.根据权利要求11所述的半导体装置，其中所述第五晶体管的栅极与所述第四布线电连接。

18.根据权利要求11所述的半导体装置，其中所述第六晶体管的所述源极和所述漏极中的另一个与所述第三布线电连接。

19.根据权利要求11所述的半导体装置，还包括第五布线，

其中所述第六晶体管的所述源极和所述漏极中的另一个与所述第五布线电连接。

20.根据权利要求11所述的半导体装置，其中所述第七晶体管的所述源极和所述漏极中的另一个与所述第二布线电连接。

21.根据权利要求11所述的半导体装置，其中所述第七晶体管的所述源极和所述漏极中的另一个与所述第三布线电连接。

半导体装置及电子设备

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、显示装置、显示模块及电子设备。

[0002] 注意，本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。另外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。由此，更具体地，作为本说明书所公开的本发明的一个方式的技术领域的一个例子，可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、这些装置的驱动方法或者这些装置的制造方法。

背景技术

[0003] 近年来，对由具有相同极性的晶体管构成的移位寄存器的开发得到积极地开展。专利文献1及专利文献2公开了上述那样的移位寄存器的技术。

[0004] [专利文献1]日本专利申请公开2004-103226号公报

[0005] [专利文献2]日本专利申请公开2005-050502号公报

[0006] 在专利文献1的图7所示的移位寄存器中，通过晶体管M2开启，输出电压VOFF。但是，由于在GOUT[N-1]为高电平的期间，晶体管M2关闭，所以输出电压VOFF的期间较短。此外，由于晶体管M2的栅极与晶体管M4的栅极连接，所以在晶体管M2开启时晶体管M4也开启。因此，在GOUT[N-1]为高电平的期间，在晶体管M2开启时，移位寄存器不发挥作用。

[0007] 在专利文献2的图7所示的移位寄存器中，通过晶体管Q53或晶体管Q56开启，输出电压VOFF。在信号IN1为高电平的期间，晶体管Q53关闭，但晶体管Q56开启，由此输出电压VOFF。但是，为了实现上述晶体管的工作，需要两个晶体管，即晶体管Q53及晶体管Q56，所以晶体管数量较多。

发明内容

[0008] 本发明的一个方式的目的之一是提供一种新颖的电路结构。尤其是提供一种能够应用于移位寄存器的一部分或该移位寄存器所包括的时序电路的一部分的新颖的电路结构。本发明的一个方式的目的之一是提供一种延长输出电压的期间或能够实现该情况的电路结构。本发明的一个方式的目的之一是提供一种延长用来输出电压的晶体管开启的期间或能够实现该情况的电路结构。本发明的一个方式的目的之一是减少晶体管数量。本发明的一个方式的目的之一是降低耗电量。本发明的一个方式的目的之一是缩小布局面积。本发明的一个方式的目的之一是减少制造工序。本发明的一个方式的目的之一是降低成本。

[0009] 注意，这些目的的记载不妨碍其他目的的存在。此外，本发明的一个方式并不需要实现所有上述目的。另外，可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的目的。

[0010] 本发明的一个方式是包括第一晶体管至第四晶体管的半导体装置。第一晶体管的源极和漏极中的一个与第一布线电连接。第一晶体管的源极和漏极中的另一个与第二布线

电连接。第二晶体管的源极和漏极中的一个与第三布线电连接。第二晶体管的源极和漏极中的另一个与第二布线电连接。第三晶体管的源极和漏极中的一个与第三布线电连接。第四晶体管的源极和漏极中的一个与第三晶体管的源极和漏极中的另一个电连接。第四晶体管的源极和漏极中的另一个与第一晶体管的栅极电连接。第四晶体管的栅极与第二晶体管的栅极电连接。

[0011] 在上述半导体装置中，第三晶体管的栅极也可以与第一布线电连接。

[0012] 在上述半导体装置中，第三晶体管的栅极也可以与第四布线电连接。

[0013] 在上述半导体装置中，第四晶体管的W(沟道宽度)/L(沟道长度)也可以比第三晶体管的W/L大。

[0014] 在上述半导体装置中，第四晶体管的半导体层与栅电极重叠的面积也可以比第三晶体管的半导体层与栅电极重叠的面积大。

[0015] 在上述半导体装置中，第一晶体管至第四晶体管中的至少一个也可以在氧化物半导体中包括沟道形成区域。

[0016] 本发明的一个方式可以提供一种新颖的电路结构。

附图说明

[0017] 图1是时序电路的电路图；

[0018] 图2是时序电路的时序图；

[0019] 图3A及图3B是时序电路的电路图；

[0020] 图4A及图4B是时序电路的电路图；

[0021] 图5A至图5D是时序电路的电路图；

[0022] 图6A至图6E是时序电路的电路图；

[0023] 图7A至图7C是时序电路的电路图；

[0024] 图8A及图8B是时序电路的电路图；

[0025] 图9A及图9B是时序电路的电路图；

[0026] 图10A及图10B是时序电路的电路图；

[0027] 图11是移位寄存器的电路图；

[0028] 图12是移位寄存器的时序图；

[0029] 图13A至图13C是示出半导体显示装置的结构的图；

[0030] 图14是像素的俯视图；

[0031] 图15是像素的截面图；

[0032] 图16A及图16B是示出晶体管的截面结构的图；

[0033] 图17是液晶显示装置的俯视图；

[0034] 图18是液晶显示装置的截面图；

[0035] 图19A至图19F是电子设备的图。

具体实施方式

[0036] 下面，参照附图对本发明的实施方式进行详细说明。但是，本发明不局限于以下说明，而所属技术领域的普通技术人员可以很容易地理解一个事实就是本发明的方式及详细

内容在不脱离其宗旨及其范围的情况下可以被变换为各种各样的形式。因此，本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0037] 本发明的一个方式在其范畴内包括所有利用晶体管的半导体装置，例如，集成电路、RF标签以及半导体显示装置等。集成电路在其范畴内包括：LSI(Large Scale Integrated Circuit：大规模集成电路)，诸如微处理器、图像处理电路、DSP(Digital Signal Processor：数字信号处理器)或微控制器等；以及可编程逻辑器件(PLD：Programmable Logic Device)，诸如FPGA(Field Programmable Gate Array：现场可编程门阵列)和CPLD(Complex PLD：复杂可编程逻辑器件)等。此外，半导体显示装置在其范畴内包括液晶显示装置、在每个像素中具备以有机发光元件(OLED)为代表的发光元件的发光装置、电子纸、DMD(Digital Micromirror Device：数字微镜装置)、PDP(Plasma Display Panel：等离子体显示面板)、FED(Field Emission Display：场致发射显示器)等在驱动电路中具有使用半导体膜的电路元件的半导体显示装置。

[0038] 在本说明书中，半导体显示装置在其范畴内还包括在各像素中形成有液晶元件或发光元件等显示元件的面板及对该面板安装了包括控制器的IC等的模块。

[0039] 例如，在本说明书等中，当明确地记载“X与Y连接”时，包括：X与Y电连接的情况；X与Y在功能上连接的情况；以及X与Y直接连接的情况。因此，还包括附图或文章所示的连接关系以外的连接关系，而不局限于指定的连接关系，例如附图或文章所示的连接关系。

[0040] 在此，X、Y为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜和层等)。

[0041] 作为X与Y电连接时的一个例子，可以在X与Y之间连接一个以上的能够电连接X与Y的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管、显示元件、发光元件和负载等)。另外，开关具有控制开启和关闭的功能。换言之，通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制为是否使电流流过。或者，开关具有选择并切换电流路径的功能。

[0042] 作为X与Y在功能上连接时的一个例子，可以在X与Y之间连接一个以上的能够在功能上连接X与Y的电路(例如，逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(DA转换电路、AD转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意，例如，即使在X与Y之间夹有其他电路，当从X输出的信号传送到Y时，也可以说X与Y在功能上是连接着的。

[0043] 此外，当明确地记载“X与Y连接”时，包括如下情况：X与Y电连接的情况(换言之，以中间夹有其他元件或其他电路的方式连接X与Y的情况)；X与Y在功能上连接的情况(换言之，以中间夹有其他元件或其他电路的方式在功能上连接X与Y的情况)；以及X与Y直接连接的情况(换言之，以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。换言之，当明确地记载“电连接”时，与简单地明确记载“连接”的情况相同。

[0044] 注意，例如，在晶体管的源极(或第一端子等)通过Z1(或没有通过Z1)与X电连接、晶体管的漏极(或第二端子等)通过Z2(或没有通过Z2)与Y电连接的情况下以及在晶体管的源极(或第一端子等)与Z1的一部分直接连接、Z1的另一部分与X直接连接、晶体管的漏极(或第二端子等)与Z2的一部分直接连接、Z2的另一部分与Y直接连接的情况下，可以表达为

如下。

[0045] 例如，可以表达为“X、Y、晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)互相电连接，并按X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y的顺序电连接”。或者，可以表达为“晶体管的源极(或第一端子等)与X电连接，晶体管的漏极(或第二端子等)与Y电连接，并按X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)及Y的顺序电连接”。或者，可以表达为“X通过晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)与Y电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置为相互连接”。通过使用与这些例子相同的表达方法规定电路结构中的连接顺序，可以区别晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)而决定技术范围。注意，这些表达方法是一个例子，不局限于上述表达方法。在此，X、Y、Z1及Z2为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜及层等)。

[0046] 晶体管的源极是指用作活性层的半导体膜的一部分的源区域或与上述半导体膜电连接的源电极。同样地，晶体管的漏极是指用作活性层的半导体膜的一部分的漏区域或与上述半导体膜电连接的漏电极。此外，栅极是指栅电极。

[0047] 晶体管所包括的“源极”和“漏极”的术语可根据晶体管的沟道类型及施加到各端子的电位的高低互换使用。一般而言，在n沟道型晶体管中，将被施加低电位的端子称为源极，而将被施加高电位的端子称为漏极。在p沟道型晶体管中，将被施加低电位的端子称为漏极，而将被施加高电位的端子称为源极。在本说明书中，尽管为方便起见在一些情况下假设源极和漏极是固定的来描述晶体管的连接关系，但是实际上源极和漏极的名称可根据上述电位关系而互换。

[0048] 实施方式1

[0049] 在本实施方式中，对时序电路(也被称为半导体装置)进行说明。

[0050] 参照图1说明时序电路的结构的一个例子。图1是时序电路的电路图的一个例子。图1的时序电路包括晶体管101至晶体管107及布线111至布线115。

[0051] 图1所示的晶体管101至晶体管107为N沟道型晶体管。注意，不局限于此，晶体管101至晶体管107也可以为P沟道型晶体管。通过使晶体管101至晶体管107具有相同的导电型，与CMOS电路相比，可以使制造工序简化，由此可以降低成本。

[0052] 在晶体管101至晶体管107为N沟道型晶体管时，可以在沟道形成区域中采用氧化物半导体、非晶硅或微晶硅。由此，与在沟道形成区域中采用多晶硅的情况相比，可以使制造工序简化，由此可以降低成本。尤其是，由于当在沟道形成区域中采用氧化物半导体时，晶体管101至晶体管107的关态电流(off-state current)能够变得极小，所以可以降低耗电量。

[0053] 对各晶体管的连接关系进行说明。晶体管101的第一端子与布线111连接，第二端子与布线112连接。晶体管102的第一端子与布线113连接，第二端子与布线112连接。晶体管103的第一端子与布线113连接，栅极与布线111连接。晶体管104的第一端子与晶体管103的第二端子连接，第二端子与晶体管101的栅极连接，栅极与晶体管102的栅极连接。晶体管105的第一端子与布线114连接，第二端子与晶体管101的栅极连接，栅极与布线115连接。晶体管106的第一端子与布线115连接，第二端子与晶体管102的栅极连接，栅极与布线115连接。晶体管107的第一端子与布线113连接，第二端子与晶体管102的栅极连接，栅极与晶体

管101的栅极连接。如此，可以提供一种新颖的电路结构。

[0054] 将晶体管101的栅极称为节点N1，且将晶体管102的栅极称为节点N2。

[0055] 对输入到各布线的信号或电压的一个例子进行说明。对布线111输入信号CK1，对布线113输入电压VSS，对布线114输入信号SP，对布线115输入信号CK2。并且，基于信号CK1、信号CK2及信号SP将信号OUT输出至布线112。信号CK1及信号CK2可以是时钟信号。信号CK1的信号CK2的相位彼此不同。信号SP可以是起始脉冲(也称为置位信号)。电压VSS可以是电源电压或接地电压。信号OUT为时序电路的输出信号。

[0056] 此外，为了方便起见，在信号CK1、信号CK2及信号SP中，高电平电位为VDD(VDD＞VSS)，且低电平电位为VSS。

[0057] 注意，在本发明的一个方式的范畴内还包括不对各布线输入信号或电压等的情况。例如，各布线是上述信号或电压能够被输入的布线即可。

[0058] 对各晶体管所具有的功能进行说明。

[0059] 晶体管101根据节点N1的电位控制布线111与布线112的导通或非导通。并且，晶体管101根据节点N1的电位将信号CK1供应给布线112，来使信号OUT设定为高电平。

[0060] 晶体管102根据节点N2的电位控制布线113与布线112的导通或非导通。并且，晶体管102根据节点N2的电位将电压VSS供应给布线112，来使信号OUT设定为低电平。

[0061] 晶体管103根据信号CK1控制布线113与晶体管104的第一端子的导通或非导通。此外，晶体管104根据节点N2的电位控制晶体管103的第二端子与节点N1的导通或非导通。就是说，包括晶体管103及晶体管104的电路根据信号CK1及节点N2的电位控制布线113与节点N1的导通或非导通。并且，包括晶体管103及晶体管104的电路根据信号CK1及节点N2的电位将电压VSS供应给节点N1，来将节点N1的电位设定为使晶体管101关闭的值。

[0062] 晶体管105根据信号CK2控制布线114与节点N1的导通或非导通。并且，晶体管105根据信号CK2将信号SP供应给节点N1，来将节点N1的电位设定为使晶体管101开启的值。然后，晶体管105通过停止将信号SP供应给节点N1来使节点N1处于浮动状态。

[0063] 晶体管106根据信号CK2控制布线115与节点N2的导通或非导通。并且，晶体管106根据信号CK2将信号CK2供应给节点N2，来将节点N2的电位设定为使晶体管102及晶体管104开启的值。

[0064] 晶体管107根据节点N1的电位控制布线113与节点N2的导通或非导通。并且，晶体管107根据节点N1的电位将电压VSS供应给节点N2，来将节点N2的电位设定为使晶体管102及晶体管104关闭的值。

[0065] 参照图2至图4B说明图1的时序电路的工作的一个例子。图2是示出信号CK1、信号CK2、信号SP、节点N1的电位(V_{N1})、节点N2的电位(V_{N2})及信号OUT的一个例子的时序图，图3A是时刻t1至t2(也称为期间T1)的工作的示意图，图3B是时刻t2至t3(也称为期间T2)的工作的示意图，图4A是时刻t3至t4(也称为期间T3)的工作的示意图，图4B是时刻t4至t5(也称为期间T4)的工作的示意图。

[0066] 图2所示的信号CK1及信号CK2在一个周期中高电平的期间与低电平的期间长度相同，且相位差为180度。换言之，信号CK1为信号CK2的反转信号。此外，图2所示的信号SP的脉冲宽度为信号CK1或信号CK2的半周期。

[0067] 首先，在时刻t1，信号SP成为高电平，信号CK1成为低电平，信号CK2成为高电平。

[0068] 节点N1的电位成为如下电位。由于信号CK2成为高电平，所以晶体管105开启。此外，由于信号CK1成为低电平，所以晶体管103关闭。此外，如后面所述，由于将节点N2的电位设定为高值，所以晶体管104开启。因此，由于对节点N1通过晶体管105供应高电平的信号SP，所以节点N1的电位上升。然后，在节点N1的电位上升至从晶体管105的栅极的电位减去晶体管105的阈值电压所得到的值，即从信号CK2的高电平电位减去晶体管105的阈值电压所得到的值(VDD-Vth105)时，晶体管105关闭。然后，在节点N1处于浮动状态的同时，节点N1的电位保持为VDD-Vth105。

[0069] 节点N2的电位成为如下电位。由于信号CK2成为高电平，所以晶体管106开启。此外，由于节点N1的电位较高，所以晶体管107开启。因此，在对节点N1通过晶体管106供应高电平的信号CK2的同时通过晶体管107供应电压VSS。因此，节点N2的电位根据晶体管106及晶体管107的电阻比决定。这里，晶体管106的源极与漏极之间的电阻值比晶体管107小得多。并且，节点N2的电位比VSS充分高。具体而言，节点N2的电位比晶体管102的第一端子的电位与晶体管102的阈值电压之和高，且比晶体管104的第一端子的电位与晶体管104的阈值电压之和高，即比电压VSS与晶体管102的阈值电压之和(VSS+Vth102)高，且比电压VSS与晶体管104的阈值电压之和(VSS+Vth104)高。

[0070] 布线112的电位成为如下电位。由于节点N1的电位较高，所以晶体管101开启。此外，由于将节点N2的电位设定为高值，所以晶体管102开启。因此，在对布线112通过晶体管101供应低电平的信号CK1的同时通过晶体管102供应电压VSS，所以布线112的电位成为VSS。即，信号OUT成为低电平。

[0071] 接着，在时刻t2，信号SP成为低电平，信号CK1成为高电平，信号CK2成为低电平。

[0072] 节点N1的电位成为如下电位。由于信号CK2成为低电平，所以晶体管105仍关闭。由于信号CK1成为高电平，所以晶体管103开启。如后面所述，由于节点N2的电位成为VSS，所以晶体管104关闭。因此，节点N1仍处于浮动状态，节点N1的电位保持为VDD-Vth105。注意，如后面所述，随着布线112的电位的上升而节点N1的电位进一步上升。

[0073] 节点N2的电位成为如下电位。由于信号CK2成为低电平，所以晶体管106关闭。此外，由于节点N1的电位较高，所以晶体管107仍开启。因此，由于对节点N2通过晶体管107供应电压VSS，所以节点N2的电位成为VSS。

[0074] 布线112的电位成为如下电位。由于节点N1的电位仍较高，所以晶体管101仍开启。此外，由于节点N2的电位成为VSS，所以晶体管102关闭。因此，由于对布线112通过晶体管101供应高电平的信号CK1，所以布线112的电位上升。此时，由晶体管101的栅极与第二端子之间的寄生电容而保持节点N1与布线112的电位差。此外，节点N1处于浮动状态。因此，随着布线112的电位的上升节点N1的电位也上升。这里，节点N1的电位比晶体管101的第一端子的电位与晶体管101的阈值电压之和、即信号CK1的高电平电位与晶体管101的阈值电压之和(VDD+Vth101)高。由此，布线112的电位上升至VDD。即，信号OUT成为高电平。

[0075] 接着，在时刻t3，信号SP仍为低电平，信号CK1成为低电平，信号CK2成为高电平。

[0076] 节点N1的电位成为如下电位。由于信号CK2成为高电平，所以晶体管105开启。由于信号CK1成为低电平，所以晶体管103关闭。此外，如后面所述，由于节点N2的电位较高，所以晶体管104开启。由此，由于对节点N1输入低电平的信号SP，所以节点N1的电位成为VSS。

[0077] 节点N2的电位成为如下电位。由于信号CK2成为高电平，所以晶体管106开启。此

外，由于节点N1的电位成为VSS，所以晶体管107关闭。因此，由于对节点N2通过晶体管106供应高电平的信号CK2，所以节点N2的电位上升。然后，在节点N2的电位上升至从晶体管106的栅极的电位减去晶体管106的阈值电压所得到的值、即从信号CK2的高电平电位减去晶体管106的阈值电压所得到的值(VDD-Vth106)时，晶体管106关闭。并且，在节点N2处于浮动状态的同时，节点N2的电位保持为VDD-Vth106。

[0078] 布线112的电位成为如下电位。由于节点N1的电位成为VSS，所以晶体管101关闭。此外，由于将节点N2的电位设定为高值，所以晶体管102开启。因此，由于对布线112通过晶体管102供应电压VSS，所以布线112的电位成为VSS。即，信号OUT成为低电平。

[0079] 接着，在时刻t4，信号SP仍为低电平，信号CK1成为高电平，信号CK2成为低电平。

[0080] 节点N1的电位成为如下电位。由于信号CK2成为低电平，所以晶体管105关闭。此外，由于信号CK1成为高电平，所以晶体管103开启。另外，如后面所述，由于节点N2的电位仍较高，所以晶体管104开启。因此，由于对节点N1通过晶体管103及晶体管104供应电压VSS，所以节点N1的电位仍为VSS。

[0081] 节点N2的电位成为如下电位。由于信号CK2成为低电平，所以晶体管106关闭。此外，由于节点N1的电位成为VSS，所以晶体管107关闭。由此，由于节点N2处于浮动状态，所以节点N2的电位保持为VDD-Vth106。

[0082] 布线112的电位成为如下电位。由于节点N1的电位仍为VSS，所以晶体管101仍关闭。此外，由于节点N2的电位仍较高，所以晶体管102仍开启。因此，由于对布线112通过晶体管102仍供应电压VSS，所以布线112的电位仍为VSS。即，信号OUT仍为低电平。

[0083] 在时刻t5之后，直到信号SP重新成为高电平，在信号CK1及信号CK2每次反转时，反复进行时刻t3至t4的工作及时刻t4至t5的工作。

[0084] 对图1的时序电路所具有的效果的一个例子进行说明。

[0085] 本发明的一个方式可以提供一种新颖的电路结构。

[0086] 在期间T1，通过晶体管103关闭，在可以使晶体管102的栅极与晶体管104的栅极连接的同时，在期间T1、期间T3及期间T4，可以使晶体管102开启。因此，可以延长晶体管102开启的期间，且可以延长将电压VSS供应给布线112的期间。此外，由于不需要设置与晶体管102交替开启的晶体管，所以可以减少晶体管的数量。另外，由于可以由相同信号或相同电路控制晶体管102及晶体管104的开启或关闭，所以可以实现信号数量的减少或电路规模的缩小。

[0087] 通过在晶体管103与节点N1之间连接晶体管104，可以不容易对节点N1传输晶体管103的栅极的电位变动。因此，可以使节点N1的电位稳定，由此可以抑制误动作。

[0088] 本发明的一个方式可以提供能够具有上述效果的电路结构。

[0089] 对晶体管101至晶体管107的W(沟道宽度)及L(沟道长度)的一个例子进行说明。

[0090] 在很多情况下，布线112的负载大于节点N1的负载及节点N2的负载。因此，晶体管101的W/L优选大于晶体管103的W/L。晶体管101的W/L优选大于晶体管104的W/L。晶体管101的W/L优选大于晶体管105的W/L。晶体管101的W/L优选大于晶体管106的W/L。晶体管101的W/L优选大于晶体管107的W/L。晶体管102的W/L优选大于晶体管103的W/L。晶体管102的W/L优选大于晶体管104的W/L。晶体管102的W/L优选大于晶体管105的W/L。晶体管102的W/L优选大于晶体管106的W/L。晶体管102的W/L优选大于晶体管107的W/L。像这样，由于可以增大

晶体管101及晶体管102的电流供应能力，所以可以使信号OUT的变化陡峭。此外，可以增大布线112的负载。另一方面，由于可以缩小晶体管103至晶体管107的尺寸，所以可以缩小时序电路的布局面积。

[0091] 在很多情况下，节点N1的负载大于节点N2的负载。因此，晶体管105的W/L优选大于晶体管106的W/L。晶体管105的W/L优选大于晶体管107的W/L。因此，由于可以增大晶体管105的电流供应能力，所以可以使节点N1的电位迅速变化，由此可以加快时序电路的工作速度。另一方面，由于可以缩小晶体管106及晶体管107的尺寸，所以可以缩小时序电路的布局面积。

[0092] 为了改变节点N1的电位而晶体管105开启，而为了保持节点N1的电位而晶体管103及晶体管104开启。因此，晶体管105的W/L优选大于晶体管103的W/L。晶体管105的W/L优选大于晶体管104的W/L。如此，由于可以增大晶体管105的电流供应能力，所以可以使节点N1的电位迅速变化，由此可以加快时序电路的工作速度。另一方面，由于可以缩小晶体管103及晶体管104的尺寸，所以可以缩小时序电路的布局面积。

[0093] 在布线113与节点N1之间串联连接晶体管103及晶体管104，而在布线113与节点N2之间连接晶体管107。此外，在很多情况下，节点N1的负载大于节点N2的负载。因此，晶体管103的W/L优选大于晶体管107的W/L。此外，晶体管104的W/L优选大于晶体管107的W/L。因此，由于可以增大晶体管103及晶体管104的电流供应能力，所以可以迅速降低节点N1的电位，由此可以提高时序电路的工作速度。另外，节点N1的电位可以确实地保持为VSS，可以抑制误动作。另一方面，由于可以缩小晶体管107的尺寸，所以可以缩小时序电路的布局面积。

[0094] 晶体管103的半导体层与栅电极重叠的面积越小，晶体管103的栅极的电位越不容易传输至节点N1。注意，在缩小晶体管103的半导体层与栅电极重叠的面积时，有可能降低晶体管103的电流供应能力，因此优选提高晶体管104的电流供应能力。因此，晶体管104的半导体层与栅电极重叠的面积优选大于晶体管103的半导体层与栅电极重叠的面积。或者，晶体管104的W/L优选大于晶体管103的W/L。或者，晶体管104的W×L优选大于晶体管103的W×L。

[0095] 为了使晶体管106的源极与漏极之间的电阻值比晶体管107充分小，晶体管106的W/L优选大于晶体管107的W/L。

[0096] 对图1的时序电路的变形例子进行说明。注意，与图1相同的部分使用相同附图标记表示或未图示，省略其说明。

[0097] 如图5A所示，也可以使晶体管105的栅极与布线114连接。图5A所示的晶体管105根据信号SP将信号SP供应给节点N1。因此，可以防止因信号SP与信号CK2的时序的错开而导致的误动作。

[0098] 如图5B所示，也可以使晶体管105的第一端子与布线115连接，且使晶体管105的栅极与布线114连接。图5B所示的晶体管105根据信号SP将信号CK2供应给节点N1。因此，由于可以使节点N1的电位的变化陡峭，所以可以提高时序电路的工作速度。

[0099] 如图5C所示，也可以使晶体管105的第一端子与布线117连接，且使晶体管105的栅极与布线114连接。对布线117供应电压VDD。图5C所示晶体管105根据信号SP将电压VDD供应给节点N1。因此，由于可以使节点N1的电位的变化陡峭，所以可以提高时序电路的工作速度。

[0100] 此外，也可以将图1、图5A、图5B及图5C所示的晶体管105中的两个以上设置在时序电路中。例如，如图5D所示，也可以设置相当于图5A所示的晶体管105的晶体管105A及相当于图1所示的晶体管105的晶体管105B。

[0101] 如图6A所示，也可以使晶体管107的第一端子与布线115连接。图6A所示的晶体管107根据节点N1的电位将信号CK2供应给节点N2。信号CK2由于在期间T1成为高电平，所以可以防止在期间T1产生在晶体管106及晶体管107中的贯通电流。因此，可以降低耗电量。此外，由于不需要增大晶体管106的W/L，所以可以缩小时序电路的布局面积。

[0102] 如图6B所示，也可以使晶体管107的第一端子与布线114连接。图6B所示的晶体管107根据节点N1的电位将信号SP供应给节点N2。信号SP由于在期间T1成为高电平，所以可以防止在期间T1产生在晶体管106及晶体管107中的贯通电流。因此，可以降低耗电量。此外，由于不需要增大晶体管106的W/L，所以可以缩小时序电路的布局面积。

[0103] 如图6C所示，也可以使晶体管107的栅极与布线112连接。图6C所示的晶体管107根据信号OUT将电压VSS供应给节点N2。信号OUT由于在期间T1成为低电平，所以可以在期间T1使晶体管107关闭。因此，由于可以防止在期间T1产生在晶体管106及晶体管107中的贯通电流，所以可以降低耗电量。此外，由于不需要增大晶体管106的W/L，所以可以缩小时序电路的布局面积。

[0104] 如图6D所示，也可以使晶体管107的第一端子与布线115连接，且使晶体管107的栅极与布线112连接。图6D所示的晶体管107根据信号OUT将信号CK2供应给节点N2。信号OUT由于在期间T1成为低电平，所以可以在期间T1使晶体管107关闭。因此，由于可以防止在期间T1产生在晶体管106及晶体管107中的贯通电流，所以可以降低耗电量。此外，由于不需要增大晶体管106的W/L，所以可以缩小时序电路的布局面积。

[0105] 如图6E所示，也可以使晶体管107的第一端子与布线114连接，且使晶体管107的栅极与布线112连接。图6E所示的晶体管107根据信号OUT将信号SP供应给节点N2。信号OUT由于在期间T1成为低电平，所以可以在期间T1使晶体管107关闭。因此，由于可以防止在期间T1产生在晶体管106及晶体管107中的贯通电流，所以可以降低耗电量。此外，由于不需要增大晶体管106的W/L，所以可以缩小时序电路的布局面积。

[0106] 如图7A所示，也可以使晶体管106的第一端子与布线117连接。图7A所示的晶体管106根据信号CK2将电压VDD供应给节点N2。由此，可以防止因时序的错开等而对节点N2供应低电平的信号。

[0107] 如图7B所示，也可以使晶体管106的第一端子与布线118连接，且使晶体管106的栅极与布线118连接。对布线118输入信号CK3。信号CK3可以是时钟信号。注意，信号CK3的相位与信号CK1及信号CK2不同。图7B所示的晶体管106根据信号CK3将信号CK3供应给节点N2。

[0108] 如图7C所示，也可以使晶体管106的第一端子与布线117连接，且使晶体管107的栅极与布线118连接。图7C所示的晶体管106根据信号CK3将电压VDD供应给节点N2。由此，可以防止因时序的错开等而对节点N2供应低电平的信号。

[0109] 如图8A所示，也可以使晶体管104的第一端子与布线113连接，使晶体管103的第一端子与晶体管104的第二端子连接，且使晶体管103的第二端子与节点N1连接。

[0110] 如图8B所示，也可以使晶体管103的栅极与布线119连接。对布线119输入信号CK4，将信号CK4通过布线119供应给晶体管103的栅极。信号CK4可以是时钟信号。注意，信号CK4

的相位与信号CK1及信号CK2不同。

[0111] 虽然未图示，但是也可以使晶体管103的栅极与布线118连接。

[0112] 虽然未图示，但是也可以设置其第一端子与节点N1连接且其第二端子与布线112连接的电容元件。

[0113] 虽然未图示，但是也可以使晶体管102的第一端子连接于与布线113不同的布线。例如，通过对该布线供应高于电压VSS的电压，可以减少产生在晶体管101及晶体管102中的电流。

[0114] 虽然未图示，但是也可以使晶体管102的栅极与布线115、布线118或布线119连接。

[0115] 此外，也可以自由地组合图1、图5A至图8B等所示的上述时序电路。例如，也可以如图7A所示使晶体管106的第一端子与布线117连接且如图6A所示使晶体管107的第一端子与布线115连接(参照图9A)。作为其他例子，也可以如图7A所示使晶体管106的第一端子与布线117连接且如图8B所示使晶体管103的栅极与布线119连接(参照图9B)。

[0116] 在本发明的一个方式的范畴内包括下述结构。

[0117] 本发明的一个方式包括晶体管101、晶体管102、晶体管103及晶体管104。晶体管101的第一端子与布线111连接，且晶体管101的第二端子与布线112连接。晶体管102的第一端子与布线113连接，且晶体管102的第二端子与布线112连接。晶体管103的第一端子与布线113连接，且晶体管103的栅极与布线111连接。晶体管104的第一端子与晶体管103的第二端子连接，且晶体管104的第二端子与晶体管101的栅极连接，且晶体管104的栅极与晶体管102的栅极连接(参照图10A)。

[0118] 本发明的一个方式包括晶体管101、晶体管102、晶体管103及晶体管104。晶体管101的第一端子与布线111连接，且晶体管101的第二端子与布线112连接。晶体管102的第一端子与布线113连接，且晶体管102的第二端子与布线112连接。晶体管103的第一端子与布线113连接，且晶体管103的栅极与布线119连接。晶体管104的第一端子与晶体管103的第二端子连接，且晶体管104的第二端子与晶体管101的栅极连接，且晶体管104的栅极与晶体管102的栅极连接(参照图10B)。

[0119] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0120] 实施方式2

[0121] 在本实施方式中，说明使用实施方式1的时序电路的移位寄存器(也称为半导体装置)。

[0122] 参照图11说明移位寄存器的结构的一个例子。图11是移位寄存器的电路图的一个例子。

[0123] 图11的移位寄存器包括时序电路100[1]至时序电路100[N](N为2以上的自然数)。注意，图11仅示出时序电路100[1]至时序电路100[3]。作为时序电路100[1]至时序电路100[N]采用图1的时序电路。注意，时序电路100[1]至时序电路100[N]不局限于图11的时序电路，也可以采用实施方式1等的本说明书等所公开的其他时序电路。

[0124] 图11的移位寄存器与布线121[1]至布线121[N]、布线122、布线123、布线124及布线125连接。在时序电路100[i](i为2至N中的任一个)中，布线111与布线123和布线124中的一个连接，布线112与布线121[i]连接，布线113与布线125连接，布线114与布线121[i-1]连

接，布线115与布线123和布线124中的另一个连接。时序电路100[1]与时序电路100[i]不同之处在于布线114与布线122连接。此外，在奇数级的时序电路及偶数级的时序电路中，布线111及布线115的连接对象彼此相反。例如，在奇数级中，布线111与布线123连接，布线115与布线124连接，而在偶数级中，布线111与布线124连接，布线115与布线123连接。

[0125] 从布线121[1]至布线121[N]分别输出信号SOUT[1]至SOUT[N]。布线121[1]至布线121[N]的每一个相当于布线112，信号SOUT[1]至SOUT[N]的每一个相当于信号OUT。对布线122输入信号SSP。布线122相当于布线114，信号SSP相当于信号SP。尤其是，在时序电路100[i]中，布线121[i-1]相当于布线114，信号SOUT[i-1]相当于信号SP。对布线123输入信号SCK1，对布线124输入信号SCK2。布线123相当于布线111和布线115中的一个，信号SCK1相当于信号CK1和信号CK2中的一个。此外，布线124相当于布线111和布线115中的另一个，信号SCK2相当于信号CK1和信号CK2中的另一个。对布线125供应电压VSS。布线125相当于布线113。

[0126] 参照图12说明图11的移位寄存器的工作的一个例子。图12是示出信号SCK1、信号SCK2、信号SSP、时序电路100[1]的节点N1的电位(V_{N1})、时序电路100[1]的节点N2的电位(V_{N2})、信号SOUT[1]、信号SOUT[2]及信号SOUT[3]的一个例子的时序图。

[0127] 首先，在时刻t1，信号SCK1成为低电平，信号SCK2成为高电平，信号SSP成为高电平。由于时序电路100[1]进行在实施方式1中说明的期间T1中的工作，所以信号SOUT[1]成为低电平。由于时序电路100[2]进行在实施方式1中说明的期间T4中的工作，所以信号SOUT[2]成为低电平。由于时序电路100[3]进行在实施方式1中说明的期间T3中的工作，所以信号SOUT[3]成为低电平。

[0128] 接着，在时刻t2，信号SCK1成为高电平，信号SCK2成为低电平，信号SSP成为低电平。由于时序电路100[1]进行在实施方式1中说明的期间T2中的工作，所以信号SOUT[1]成为高电平。由于时序电路100[2]进行在实施方式1中说明的期间T1中的工作，信号SOUT[2]成为低电平。由于时序电路100[3]进行在实施方式1中说明的期间T4中的工作，所以信号SOUT[3]成为低电平。

[0129] 接着，在时刻t3，信号SCK1成为低电平，信号SCK2成为高电平，信号SSP成为低电平。由于时序电路100[1]进行在实施方式1中说明的期间T3中的工作，所以信号SOUT[1]成为低电平。由于时序电路100[2]进行在实施方式1中说明的期间T2中的工作，所以信号SOUT[2]成为高电平。由于时序电路100[3]进行在实施方式1中说明的期间T1中的工作，所以信号SOUT[3]成为低电平。

[0130] 接着，在时刻t4，信号SCK1成为高电平，信号SCK2成为低电平，信号SSP成为低电平。由于时序电路100[1]进行在实施方式1中说明的期间T4中的工作，所以信号SOUT[1]成为低电平。由于时序电路100[2]进行在实施方式1中说明的期间T3中的工作，所以信号SOUT[2]成为低电平。由于时序电路100[3]进行在实施方式1中说明的期间T2中的工作，所以信号SOUT[3]成为高电平。

[0131] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0132] 实施方式3

[0133] <半导体显示装置的结构实例>

[0134] 接着，对根据本发明的一个方式的半导体显示装置的结构实例进行说明。

[0135] 图13A所示的半导体显示装置70中的像素部71包括：多个像素55；相当于按行选择像素55的总线的、以布线GL1至布线GLy(y是自然数)表示的布线GL；以及对所选择的像素55供应图像信号的、以布线SL1至布线SLx(x是自然数)表示的布线SL。由驱动电路72控制信号向布线GL的输入。由驱动电路73控制图像信号向布线SL的输入。多个像素55的每一个与布线GL中的至少一个及布线SL中的至少一个连接。

[0136] 具体地说，驱动电路72具有产生用来依次选择布线GL1至布线GLy的信号的移位寄存器75，而驱动电路73具有依次产生脉冲信号的移位寄存器76及根据移位寄存器76所产生的信号控制对布线SL1至布线SLx供应图像信号的开关电路77。

[0137] 根据本发明的一个方式的时序电路或移位寄存器可以应用于移位寄存器75或移位寄存器76。此时，例如，布线GL1至布线GLy的每一个相当于布线112。

[0138] 另外，设置在像素部71中的布线的种类及个数可以根据像素55的结构、个数及配置而决定。具体而言，在图13A所示的像素部71中例示出x列×y行的像素55被配置为矩阵状，且布线SL1至布线SLx及布线GL1至布线GLy设置在像素部71中的情况。

[0139] 另外，虽然图13A例示出驱动电路72及驱动电路73与像素部71一起形成在同一个衬底上的情况，但是，驱动电路72及驱动电路73也可以形成在与像素部71不同的衬底上。

[0140] 另外，图13B示出像素55的结构的一个例子。各像素55包括：液晶元件60；控制对该液晶元件60供应图像信号的晶体管56；以及用来保持液晶元件60的像素电极与公共电极之间的电压的电容元件57。液晶元件60包括：像素电极；公共电极；以及被施加像素电极与公共电极之间的电压的包含液晶材料的液晶层。

[0141] 晶体管56控制是否对液晶元件60的像素电极供应布线SL的电位。规定的电位被施加到液晶元件60的公共电极。

[0142] 下面，对晶体管56与液晶元件60的具体连接结构进行说明。在图13B中，晶体管56的栅极连接到布线GL1至布线GLy中的任一个。晶体管56的源极和漏极中的一个连接到布线SL1至布线SLx中的任一个，晶体管56的源极和漏极中的另一个连接到液晶元件60的像素电极。

[0143] 在液晶元件60中，根据被施加到像素电极与公共电极之间的电压的值，包含在液晶层中的液晶分子的取向变化，且透过率也变化。因此，在液晶元件60中，根据被施加到像素电极的图像信号的电位控制其透过率，由此可以显示灰度。并且，在像素部71所具有的多个像素55的每一个中，根据具有图像信息的图像信号调整液晶元件60的灰度，由此可以在像素部71中显示图像。

[0144] 图13B示出，在像素55中，作为控制图像信号向像素55的输入的开关使用一个晶体管56的情况的例子。但是，也可以将用作一个开关的多个晶体管用于像素55。

[0145] 在本发明的一个方式中，优选将关态电流显著小的晶体管56用作控制对像素55输入图像信号的开关。在晶体管56的关态电流小时，能够防止电荷通过晶体管56泄漏。由此，能够确实地保持供应到液晶元件60及电容元件57的图像信号的电位，从而防止在一个帧期间内因电荷的泄漏而使液晶元件60的透过率发生变化，由此，能够提高所显示的图像的品质。此外，在晶体管56的关态电流小的情况下，能够防止电荷通过晶体管56泄漏，由此在显示静态图像的期间中，也可以停止对驱动电路72及驱动电路73供应电源电位或信号。通过

采用上述结构，可以减少向像素部71写入图像信号的次数，来减少半导体显示装置的功耗。

[0146] 例如，在半导体膜中包括氧化物半导体的晶体管中，关态电流显著小，所以优选将该晶体管用作晶体管56。

[0147] 另外，在图13B中，晶体管56也可以具有隔着半导体膜重叠的一对栅电极。该一对栅电极电连接。在本发明的一个方式中，通过采用上述结构，可以增大晶体管56的通态电流，并且可以提高晶体管56的可靠性。

[0148] 接着，图13C示出像素55的其他一个例子。像素55包括：控制对像素55输入图像信号的晶体管95；发光元件98；根据图像信号控制供应到发光元件98的电流值的晶体管96；用来保持图像信号的电位的电容元件97。

[0149] 发光元件98的例子包括LED(Light Emitting Diode：发光二极管)或OLED(Organic Light Emitting Diode：有机发光二极管)等由电流或电压控制亮度的元件。例如，OLED至少包括EL层、阳极及阴极。EL层由设置在阳极与阴极之间的单层或多层构成，这些层中至少包括含有发光物质的发光层。

[0150] 另外，在EL层中，当阴极与阳极之间的电位差为发光元件98的阈值电压以上时，电流被供应到发光元件98，由此可以得到电致发光。电致发光包括从单重激发态回到基态时的发光(荧光)以及从三重激发态回到基态时的发光(磷光)。

[0151] 发光元件98的阳极和阴极中的一个的电位由输入到像素55的图像信号控制。阳极和阴极中，以根据图像信号控制其电位的一个电极为像素电极，以另一个电极为公共电极。规定的电位被供应到发光元件98的公共电极，发光元件98的亮度由像素电极与公共电极之间的电位差决定。因此，通过根据图像信号的电位来控制发光元件98的亮度，从而发光元件98可以显示灰度。并且，通过根据具有图像数据的图像信号调整像素部所包含的多个像素55的每一个中的发光元件98的灰度，在像素部71中显示图像。

[0152] 接着，对像素55所包括的晶体管95、晶体管96、电容元件97、以及发光元件98的连接结构进行说明。

[0153] 晶体管95的源极和漏极中的一个与布线SL连接，而源极和漏极中的另一个与晶体管96的栅极连接。晶体管95的栅极与布线GL连接。晶体管96的源极和漏极中的一个与电源线VL连接，而源极和漏极中的另一个与发光元件98连接。具体而言，晶体管96的源极和漏极中的另一个与发光元件98的阳极和阴极中的一个连接。规定的电位施加到发光元件98的阳极和阴极中的另一个。

[0154] 在图13C中，晶体管96也可以具有隔着半导体膜重叠的一对栅电极。该一对栅电极电连接。在本发明的一个方式中，通过采用上述结构，可以增大晶体管96的通态电流，并且可以提高晶体管96的可靠性。

[0155] 例如，在本说明书等中，显示元件、作为包括显示元件的装置的显示装置、发光元件、作为包括发光元件的装置的发光装置可以使用各种各样的方式或包括各种各样的元件。作为显示元件、显示装置、发光元件或发光装置，例如包括EL(电致发光)元件(包含有机和无机材料的EL元件、有机EL元件或无机EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、等离子体显示器(PDP)、使用微机电系统(MEMS)的显示元件、数字微镜设备(DMD)、数字微快门(DMS)、干涉测量调节(IMOD)元件、快门方式的MEMS显示元件、光干

涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器或使用碳纳米管的显示元件等中的至少一个。除此以外，还可以包括对比度、亮度、反射率、透射率等因电作用或磁作用而产生变化的显示媒体。作为使用EL元件的显示装置的一个例子，有EL显示器等。作为使用电子发射元件的显示装置的一个例子，可以举出场发射显示器(FED)或SED方式平面型显示器(SED:Surface-conduction Electron-emitter Display:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子，有液晶显示器(透过型液晶显示器、半透过型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水、电子粉流体(在日本注册的商标)或电泳元件的显示装置的一个例子，有电子纸等。注意，当实现半透过型液晶显示器或反射型液晶显示器时，可以使像素电极的一部分或全部具有反射电极的功能。例如，可以使像素电极的一部分或全部包含铝、银等。此时，也可以将SRAM等存储电路设置在反射电极下。由此，可以进一步降低耗电量。

[0156] 例如在本说明书等中，可以使用各种衬底形成晶体管。对衬底的种类没有特别的限制。作为该衬底的一个例子，例如可以使用半导体衬底(例如，单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、金属衬底、不锈钢衬底、具有不锈钢箔的衬底、钨衬底、具有钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状的材料的纸或者基材薄膜等。作为玻璃衬底的一个例子，有钡硼硅酸盐玻璃、铝硼硅酸盐玻璃、钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等，可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)为代表的塑料。或者，作为一个例子，可以举出丙烯酸树脂等合成树脂等。或者，作为一个例子，可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作为一个例子，可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。尤其是，通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管，可以制造特性、尺寸或形状等的不均匀性小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时，可以实现电路的低功耗化或电路的高集成化。

[0157] 另外，作为衬底也可以使用柔性衬底，在该柔性衬底上直接形成晶体管。或者，也可以在衬底与晶体管之间设置剥离层。剥离层可以在如下情况下使用，即在剥离层上制造半导体装置的一部分或全部，然后将其从衬底分离并转置到其他衬底上的情况。此时，也可以将晶体管转置到耐热性低的衬底或柔性衬底上。另外，作为上述剥离层，例如可以使用钨膜与氧化硅膜的无机膜的层叠结构或衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0158] 换言之，也可以使用一个衬底来形成晶体管，然后将晶体管转置并配置到另一个衬底上。作为晶体管被转置的衬底的一个例子，不仅可以使用上述可以形成晶体管的衬底，还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡胶衬底等。通过使用上述衬底，可以形成特性良好的晶体管或功耗低的晶体管，可以制造不容易发生故障并具有耐热性的装置，可以实现轻量化或薄型化。

[0159] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0160] 实施方式4

[0161] <像素的结构>

[0162] 下面，对像素55的结构实例进行说明，该像素55包括在作为图13A所示的半导体显示装置70之一个例子的液晶显示装置中。图14示出像素55的俯视图的一个例子。另外，在图14中，为了明确表示像素55的布局，省略各种绝缘膜。此外，图15示出使用具有图14所示的像素55的元件衬底形成的液晶显示装置的截面图。图15所示的液晶显示装置中的包括衬底31的元件衬底相当于沿着图14的虚线B1-B2的截面图。

[0163] 图14及图15所示的像素55包括晶体管56和电容元件57。再者，图15所示的像素55包括液晶元件60。

[0164] 晶体管56在具有绝缘表面的衬底31上包括：用作栅电极的导电膜40；用作栅极绝缘膜且位于导电膜40上的绝缘膜22；在绝缘膜22上与导电膜40重叠的氧化物半导体膜41；以及与氧化物半导体膜41电连接且用作源电极或漏电极的导电膜43及导电膜44。导电膜40用作图13B所示的布线GL。另外，导电膜43用作图13B所示的布线SL。

[0165] 此外，像素55在绝缘膜22上具有金属氧化物膜42。金属氧化物膜42是使可见光透过的导电膜。并且，在金属氧化物膜42上设置有与金属氧化物膜42电连接的导电膜61，该导电膜61具有对金属氧化物膜42供应规定的电位的布线的功能。

[0166] 作为绝缘膜22，可以使用含有氧化铝、氧化镁、氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪和氧化钽中的一种以上的绝缘膜，并以单层或叠层形成。注意，在本说明书中，“氧氮化物”是指在其组成中氧含量多于氮含量的材料，而“氮氧化物”是指在其组成中氮含量多于氧含量的材料。

[0167] 另外，在图15中，在氧化物半导体膜41、导电膜43和导电膜44上以及在金属氧化物膜42和导电膜61上依次层叠有绝缘膜26及绝缘膜27。晶体管56也可以包括绝缘膜26及绝缘膜27作为其构成要素。另外，虽然图15例示出依次层叠的绝缘膜26及绝缘膜27，但是也可以使用单层的绝缘膜或三层以上的绝缘膜的叠层代替绝缘膜26及绝缘膜27。

[0168] 并且，绝缘膜26及绝缘膜27具有与金属氧化物膜42重叠的开口部58。开口部58设置在与形成有氧化物半导体膜41、导电膜43及导电膜44的区域不同且重叠于金属氧化物膜42的区域中。

[0169] 另外，在图15中，在绝缘膜26和绝缘膜27上以及在开口部58中的金属氧化物膜42上依次层叠有氮化物绝缘膜28和绝缘膜29。

[0170] 另外，通过在绝缘膜22上形成氧化物半导体膜，且以与该氧化物半导体膜接触的方式形成氮化物绝缘膜28，可以提高上述氧化物半导体膜的导电性。并且，可以将导电性得到提高的氧化物半导体膜用作金属氧化物膜42。氧化物半导体膜的导电性得到提高可以认为是因为如下缘故：在形成开口部58时，或者，在形成氮化物绝缘膜28时，在氧化物半导体膜中形成氧缺陷，从氮化物绝缘膜28扩散而来的氢与该氧缺陷键合，由此产生供体。具体而言，金属氧化物膜42的电阻率典型地为$1\times10^{-3}\Omega$cm以上且低于$1\times10^{4}\Omega$cm，优选为$1\times10^{-3}\Omega$cm以上且低于$1\times10^{-1}\Omega$cm。

[0171] 金属氧化物膜42的氢浓度优选比氧化物半导体膜41高。在金属氧化物膜42中，通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)得到的氢浓度为8×10^{19}atoms/cm^{3}以上，优选为1×10^{20}atoms/cm^{3}以上，更优选为5×10^{20}atoms/cm^{3}以上。在氧化物半导体膜41中，通过二次离子质谱分析法得到的氢浓度为低于5×10^{19}atoms/cm^3，优选为低于5×10^{18}atoms/cm^3，更优选为1×10^{18}atoms/cm^{3}以下，进一步优选为5×10^{17}atoms/cm^{3}以

下，更进一步优选为1×10^{16}atoms/cm^3以下。

[0172] 作为氮化物绝缘膜28，例如可以使用氮化硅、氮氧化硅、氮化铝、氮氧化铝等。与氧化硅或氧化铝等氧化物绝缘膜相比，使用上述材料的氮化物绝缘膜28可以防止来自外部的杂质诸如水、碱金属、碱土金属等扩散到氧化物半导体膜41中。

[0173] 另外，在氮化物绝缘膜28及绝缘膜29中设置有与导电膜44重叠的开口部62。并且，在氮化物绝缘膜28及绝缘膜29上设置有使可见光透过且用作像素电极的导电膜45。导电膜45在开口部62中与导电膜44电连接。此外，导电膜45在开口部58中与金属氧化物膜42重叠。导电膜45与金属氧化物膜42隔着氮化物绝缘膜28及绝缘膜29相重叠的部分用作电容元件57。

[0174] 在电容元件57中，用作一对电极的金属氧化物膜42和导电膜45以及用作介电膜的氮化物绝缘膜28和绝缘膜29使可见光透过。因此，电容元件57使可见光透过，与电容元件对可见光的透光性低的像素相比，可以提高像素55的开口率。因此，可以在确保为了得到高图像质量所需要的电容值的同时，降低面板内的光损失而降低半导体装置的耗电量。

[0175] 另外，如上所述，不一定必须要设置绝缘膜29，但是通过将使用相对介电常数比氮化物绝缘膜28低的绝缘物的绝缘膜29与氮化物绝缘膜28一起用作介电膜，可以将电容元件57的介电膜的介电常数设定为所希望的值，而不增大氮化物绝缘膜28的厚度。

[0176] 在导电膜45上设置有取向膜52。

[0177] 另外，以与衬底31对置的方式设置有衬底46。在衬底46上设置有具有遮蔽可见光的功能的遮蔽膜47以及透过特定的波长范围的可见光的着色层48。在遮蔽膜47及着色层48上设置有树脂膜50，在树脂膜50上设置有用作公共电极的导电膜59。此外，在导电膜59上设置有取向膜51。

[0178] 并且，在衬底31与衬底46之间，以夹在取向膜52与取向膜51之间的方式设置有包含液晶材料的液晶层53。液晶元件60包括导电膜45、导电膜59及液晶层53。

[0179] 此外，在图14及图15中，虽然例示出作为液晶的驱动方法采用TN(Twisted Nematic:扭转向列)模式的情况，但是也可以采用FFS(Fringe Field Switching:边缘场切换)模式、STN(Super Twisted Nematic:超扭曲向列)模式、VA(Vertical Alignment:垂直取向)模式、MVA(Multi-domain Vertical Alignment:多畴垂直取向)模式、IPS(In-Plane Switching:平面内切换)模式、OCB(Optically Compensated Birefringence:光学补偿双折射)模式、蓝相模式、TBA(Transverse Bend Alignment:横向弯曲取向)模式、VA-IPS模式、ECB(Electrically Controlled Birefringence:电控双折射)模式、FLC(Ferroelectric Liquid Crystal:铁电液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网路型液晶)模式、宾主模式、ASV(Advanced Super View:高级超视觉)模式等。

[0180] 另外，在根据本发明的一个方式的液晶显示装置中，作为液晶层，例如可以使用被分类为热致液晶或溶致液晶的液晶材料。或者，作为液晶层，例如可以使用被分类为向列型液晶、层列型液晶、胆固醇型液晶或盘状液晶的液晶材料。或者，作为液晶层，例如可以使用被分类为铁电液晶、反铁电液晶的液晶材料。或者，作为液晶层，例如可以使用被分类为主链型高分子液晶、侧链型高分子液晶或复合型高分子液晶等的高分子液晶或者低分子液晶

的液晶材料。或者，作为液晶层，例如可以使用被分类为高分子分散型液晶(PDLC)的液晶材料。

[0181] 另外，也可以将不使用取向膜的呈现蓝相的液晶用于液晶层。蓝相是液晶相的一种，是指当使胆固醇型液晶的温度上升时即将从胆固醇相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内，所以添加手性试剂或紫外线固化树脂来改善温度范围。由于包含呈现蓝相的液晶和手性试剂的液晶组成物的响应速度快，为1msec以下，并且其具有光学各向同性，所以不需要取向处理且视角依赖性小，因此是优选的。

[0182] 另外，虽然在图15中例示出通过利用滤色片显示彩色图像的液晶显示装置，但是根据本发明的一个方式的液晶显示装置也可以具有通过依次使发射不同颜色的多个光源点亮来显示彩色图像的结构。

[0183] 晶体管56的氧化物半导体膜41不局限于由单膜的氧化物半导体膜构成，也可以由多个氧化物半导体膜的叠层构成。图16A例示出氧化物半导体膜41由三层的氧化物半导体膜的叠层构成的情况。具体而言，在图16A所示的晶体管56中，作为氧化物半导体膜41，从绝缘膜22一侧依次层叠有氧化物半导体膜41a至氧化物半导体膜41c。

[0184] 并且，氧化物半导体膜41a及氧化物半导体膜41c是如下氧化物膜：包含构成氧化物半导体膜41b的金属元素中的至少一种作为其构成要素，并且是其导带底能量比氧化物半导体膜41b近于真空能级0.05eV以上、0.07eV以上、0.1eV以上或0.15eV以上，且2eV以下、1eV以下、0.5eV以下或0.4eV以下的氧化物膜。此外，氧化物半导体膜41b优选至少包含铟，因为载流子迁移率得到提高。

[0185] 另外，如图16B所示，氧化物半导体膜41c也可以以在导电膜43及导电膜44上与绝缘膜22重叠的方式设置。

[0186] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0187] 实施方式5

[0188] <半导体显示装置的俯视图和截面图>

[0189] 下面，以液晶显示装置为例，参照图17说明根据本发明的一个方式的半导体显示装置的外观。图17是利用密封材料4005粘合衬底4001和衬底4006而成的液晶显示装置的俯视图。此外，图18相当于图17的虚线C1-C2的截面图。

[0190] 以围绕设置在衬底4001上的像素部4002和一对驱动电路4004的方式设置有密封材料4005。此外，在像素部4002和驱动电路4004上设置有衬底4006。因此，像素部4002和驱动电路4004由衬底4001、密封材料4005和衬底4006密封。

[0191] 另外，在衬底4001上的与由密封材料4005围绕的区域不同的区域中安装有驱动电路4003。

[0192] 此外，设置在衬底4001上的像素部4002和驱动电路4004包括多个晶体管。图18例示出像素部4002所包括的晶体管4010。在晶体管4010上设置有由包括氮化物绝缘膜的各种绝缘膜构成的绝缘膜4020，晶体管4010在设置于绝缘膜4020中的开口部中与绝缘膜4020上的像素电极4021连接。

[0193] 另外，在衬底4006上设置有树脂膜4059，在树脂膜4059上设置有公共电极4060。另外，在衬底4001与衬底4006之间，以夹在像素电极4021与公共电极4060之间的方式设置有

液晶层4028。液晶元件4023包括像素电极4021、公共电极4060及液晶层4028。

[0194] 在液晶元件4023中，包含在液晶层4028中的液晶分子的取向根据供应到像素电极4021与公共电极4060之间的电压的值而发生变化，使透过率发生变化。因此，通过根据输入到像素电极4021的图像信号的电位控制液晶元件4023的透过率，液晶元件4023可以显示灰度。

[0195] 如图18所示，在本发明的一个方式中，绝缘膜4020在面板边缘被去除。另外，在被去除绝缘膜4020的区域中形成有导电膜4050。可以通过对一个导电膜进行蚀刻来形成导电膜4050和用作晶体管4010的源极或漏极的导电膜。

[0196] 并且，在衬底4001与衬底4006之间设置有分散具有导电性的导电粒子4061而成的树脂膜4062。导电膜4050隔着导电粒子4061与公共电极4060电连接。换言之，在面板的边缘，公共电极4060通过导电粒子4061与导电膜4050电连接。树脂膜4062可以使用热固化树脂或紫外线固化树脂。另外，导电粒子4061例如可以使用由薄膜状的金属诸如Au、Ni、Co等覆盖球状的有机树脂而成的粒子。

[0197] 另外，虽然在图18中未图示取向膜，但是在像素电极4021、公共电极4060上设置取向膜的情况下，为了将公共电极4060、导电粒子4061与导电膜4050电连接，在与公共电极4060重叠的部分去除取向膜的一部分，在与导电膜4050重叠的部分去除取向膜的一部分即可。

[0198] 另外，在根据本发明的一个方式的液晶显示装置中，既可以利用滤色片显示彩色图像，又可以通过依次使发射不同颜色的光的多个光源点亮来显示彩色图像。

[0199] 另外，来自驱动电路4003的图像信号或来自FPC4018的各种控制信号及电位通过引线4030及引线4031被供应到驱动电路4004或像素部4002。

[0200] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0201] 实施方式6

[0202] 在本实施方式中，对能够用于上述实施方式所说明的晶体管的半导体层的氧化物半导体层进行说明。

[0203] 用于晶体管的半导体层中的沟道形成区域的氧化物半导体优选至少包含铟(In)或锌(Zn)。尤其优选包含In及Zn。此外，除了上述元素以外，优选还包含使氧坚固地结合的稳定剂(stabilizer)。作为稳定剂，包含镓(Ga)、锡(Sn)、锆(Zr)、铪(Hf)和铝(Al)中的至少一种即可。

[0204] 另外，作为其他稳定剂，也可以包含镧系元素的镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)、镥(Lu)中的一种或多种。

[0205] 例如，作为用于晶体管的半导体层的氧化物半导体，例如可以使用氧化铟、氧化锡、氧化锌、In-Zn类氧化物、Sn-Zn类氧化物、Al-Zn类氧化物、Zn-Mg类氧化物、Sn-Mg类氧化物、In-Mg类氧化物、In-Ga类氧化物、In-Ga-Zn类氧化物(也称为IGZO)、In-Al-Zn类氧化物、In-Sn-Zn类氧化物、Sn-Ga-Zn类氧化物、Al-Ga-Zn类氧化物、Sn-Al-Zn类氧化物、In-Hf-Zn类氧化物、In-Zr-Zn类氧化物、In-Ti-Zn类氧化物、In-Sc-Zn类氧化物、In-Y-Zn类氧化物、In-La-Zn类氧化物、In-Ce-Zn类氧化物、In-Pr-Zn类氧化物、In-Nd-Zn类氧化物、In-Sm-Zn

类氧化物、In-Eu-Zn类氧化物、In-Gd-Zn类氧化物、In-Tb-Zn类氧化物、In-Dy-Zn类氧化物、In-Ho-Zn类氧化物、In-Er-Zn类氧化物、In-Tm-Zn类氧化物、In-Yb-Zn类氧化物、In-Lu-Zn类氧化物、In-Sn-Ga-Zn类氧化物、In-Hf-Ga-Zn类氧化物、In-Al-Ga-Zn类氧化物、In-Sn-Al-Zn类氧化物、In-Sn-Hf-Zn类氧化物、In-Hf-Al-Zn类氧化物等。

[0206] 例如，可以使用其原子个数比为In:Ga:Zn＝1:1:1、In:Ga:Zn＝3:1:2或In:Ga:Zn＝2:1:3的In-Ga-Zn类氧化物或具有与其类似的组成的氧化物。

[0207] 当构成半导体层的氧化物半导体膜含有大量的氢时，该氢与氧化物半导体键合而使该氢的一部分成为供体，因此产生作为载流子的电子。其结果是，导致晶体管的阈值电压向负方向漂移。因此，优选通过在形成氧化物半导体膜之后进行脱水化处理(脱氢化处理)，从氧化物半导体膜中去除氢或水分以使其尽量不包含杂质来实现高度纯化。

[0208] 另外，有时在对氧化物半导体膜进行脱水化处理(脱氢化处理)时，氧也同时减少。因此，优选的是为了填补因脱水化处理(脱氢化处理)而增加的氧缺陷而进行将氧添加到氧化物半导体膜的处理。在本说明书等中，有时将对氧化物半导体膜供应氧的处理称为加氧化处理，或者，有时将使氧化物半导体膜的氧含量超过化学计量组成的处理称为过氧化处理。

[0209] 如上所述，通过进行脱水化处理(脱氢化处理)从氧化物半导体膜中去除氢或水分，并进行加氧化处理以填补氧缺陷，可以实现i型(本征)化的氧化物半导体膜或无限趋近于i型而实质上呈i型(本征)的氧化物半导体膜。注意，“实质上本征”是指：在氧化物半导体膜中，来自于供体的载流子极少(近于零)，载流子密度为$1\times10^{17}/cm^3$以下，$1\times10^{16}/cm^3$以下，$1\times10^{15}/cm^3$以下，$1\times10^{14}/cm^3$以下，$1\times10^{13}/cm^3$以下。

[0210] 如此，具备i型或实质上呈i型的氧化物半导体膜的晶体管可以实现极为优良的关态电流特性。例如，可以将使用氧化物半导体膜的晶体管处于关闭状态时的漏极电流在室温(25℃左右)下设定为1×10^{-18}A以下，优选为1×10^{-21}A以下，更优选为1×10^{-24}A以下，或者，可以将漏极电流在85℃的温度下设定为1×10^{-15}A以下，优选为1×10^{-18}A以下，更优选为1×10^{-21}A以下。注意，“晶体管处于关闭状态”是指：在采用n沟道晶体管的情况下，栅极电压充分小于阈值电压的状态。具体而言，在栅极电压比阈值电压小1V以上、2V以上或3V以上时，晶体管成为关闭状态。

[0211] 下面，对氧化物半导体膜的结构进行说明。

[0212] 氧化物半导体膜可以分为非单晶氧化物半导体膜和单晶氧化物半导体膜。或者，氧化物半导体例如可以分为结晶氧化物半导体和非晶氧化物半导体。

[0213] 作为非单晶氧化物半导体可以举出CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor:c轴取向结晶氧化物半导体)、多晶氧化物半导体、微晶氧化物半导体和非晶氧化物半导体等。作为结晶氧化物半导体，可以举出单晶氧化物半导体、CAAC-OS、多晶氧化物半导体以及微晶氧化物半导体等。

[0214] 首先，对CAAC-OS膜进行说明。

[0215] CAAC-OS膜是包含呈c轴取向的多个结晶部的氧化物半导体膜之一。

[0216] 通过利用透射电子显微镜(TEM:Transmission Electron Microscope)观察CAAC-OS膜的亮视场像及衍射图案的复合分析图像(也称为高分辨率TEM图像)，可以确认到多个结晶部。另一方面，在高分辨率TEM图像中，观察不到结晶部与结晶部之间的明确的边界，即

晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生起因于晶界的电子迁移率的降低。

[0217] 当从大致平行于样品面的方向观察的CAAC-OS膜的高分辨率截面TEM图像时,可以确认到在结晶部中金属原子排列为层状。各金属原子层具有反映形成CAAC-OS膜的面(也称为被形成面)或CAAC-OS膜的顶面的凸凹的形状,并以平行于CAAC-OS膜的被形成面或顶面的方式排列。

[0218] 另一方面,当从大致垂直于样品面的方向观察CAAC-OS膜的高分辨率平面TEM图像时,可以确认到在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间金属原子的排列没有规律性。

[0219] 使用X射线衍射(XRD:X-Ray Diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析包括$InGaZnO_4$结晶的CAAC-OS膜时,在衍射角(2θ)为31°附近有时出现峰值。由于该峰值来源于$InGaZnO_4$结晶的(009)面,由此可知CAAC-OS膜的结晶具有c轴取向性,并且c轴朝向大致垂直于被形成面或顶面的方向。

[0220] 注意,当利用out-of-plane法分析包括$InGaZnO_4$结晶的CAAC-OS膜时,除了在2θ为31°附近的峰值之外,有时还在2θ为36°附近也观察到峰值。2θ为36°附近的峰值意味着CAAC-OS膜的一部分中含有不具有c轴取向的结晶。优选的是,在CAAC-OS膜中在2θ为31°附近时出现峰值而在2θ为36°附近时不出现峰值。

[0221] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是指氢、碳、硅、过渡金属元素等氧化物半导体膜的主要成分以外的元素。尤其是,某一种元素如硅等与氧的键合力比构成氧化物半导体膜的金属元素与氧的键合力强,该元素会夺取氧化物半导体膜中的氧,从而打乱氧化物半导体膜的原子排列,导致结晶性下降。另外,由于铁或镍等的重金属、氩、二氧化碳等的原子半径(或分子半径)大,所以若包含在氧化物半导体膜内,则会打乱氧化物半导体膜的原子排列,导致结晶性下降。注意,包含在氧化物半导体膜中的杂质有时成为载流子陷阱或载流子发生源。

[0222] 此外,CAAC-OS膜是缺陷态密度低的氧化物半导体膜。例如,氧化物半导体膜中的氧缺损有时成为载流子陷阱,或因俘获氢而成为载流子发生源。

[0223] 将杂质浓度低且缺陷态密度低(氧缺损量少)的状态称为“高纯度本征”或“实质上高纯度本征”。在高纯度本征或实质上高纯度本征的氧化物半导体膜中载流子发生源少,所以可以降低载流子密度。因此,使用该氧化物半导体膜的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。在高纯度本征或实质上高纯度本征的氧化物半导体膜中载流子陷阱少。因此,使用该氧化物半导体膜的晶体管的电特性变动小,于是成为高可靠性晶体管。此外,被氧化物半导体膜的载流子陷阱俘获的电荷直到被释放需要较长时间,有时像固定电荷那样动作。因此,使用杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管的电特性有时不稳定。

[0224] 此外,在使用CAAC-OS膜的晶体管中,由于照射可见光或紫外光而引起的电特性的变动小。

[0225] 接下来,说明微晶氧化物半导体膜。

[0226] 在微晶氧化物半导体膜的高分辨率TEM图像中有观察到结晶部及观察不到明确的结晶部的区域。微晶氧化物半导体膜中含有的结晶部的尺寸大多为1nm以上且100nm以下,

或1nm以上且10nm以下。尤其是，将具有尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶的纳米晶(nc:nanocrystal)的氧化物半导体膜称为nc-OS(nanocrystalline Oxide Semiconductor:纳米晶氧化物半导体)膜。另外，例如在nc-OS膜的高分辨率TEM图像中，有时观察不到明确的晶界。

[0227] nc-OS膜在微小区域(例如1nm以上且10nm以下的区域，特别是1nm以上且3nm以下的区域)中其原子排列具有周期性。另外，nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。因此，在膜整体上观察不到取向性。所以，有时nc-OS膜在某些分析方法中与非晶氧化物半导体膜没有差别。例如，在通过利用使用其束径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时，检测不出表示结晶面的峰值。此外，在对nc-OS膜进行使用其束径比结晶部大(例如，50nm以上)的电子射线的电子衍射(也称为选区域电子衍射)时，观察到类似光晕图案的衍射图案。另一方面，在对nc-OS膜进行使用其束径近于结晶部或者比结晶部小的电子射线的纳米束电子衍射时，观察到斑点。另外，在nc-OS膜的纳米束电子衍射图案中，有时观察到如圆圈那样的(环状的)亮度高的区域。而且，在nc-OS膜的纳米束电子衍射图案中，有时还观察到环状的区域内的多个斑点。

[0228] nc-OS膜是其规律性比非晶氧化物半导体膜高的氧化物半导体膜。因此，nc-OS膜的缺陷态密度比非晶氧化物半导体膜低。但是，nc-OS膜在不同的结晶部之间观察不到晶体取向的规律性。所以，nc-OS膜的缺陷态密度比CAAC-OS膜高。

[0229] 接着，对非晶氧化物半导体膜进行说明。

[0230] 非晶氧化物半导体膜是具有无序的原子排列并不具有结晶部的氧化物半导体膜。其一个例子为具有如石英那样的无定形状态的氧化物半导体膜。

[0231] 在使用高分辨率TEM观察的非晶氧化物半导体膜的图像中，观察不到结晶部。

[0232] 利用XRD装置对非晶氧化物半导体膜进行结构分析。当利用out-of-plane法分析时，检测不到表示结晶面的峰值。另外，在非晶氧化物半导体膜的电子衍射图案中，观察到光晕图案。另外，在非晶氧化物半导体膜的纳米束电子衍射图案中，观察不到斑点，而观察到光晕图案。

[0233] 此外，氧化物半导体膜有时具有呈现nc-OS膜与非晶氧化物半导体膜之间的物理特性的结构。将具有这种结构的氧化物半导体膜特别称为amorphous-like氧化物半导体(a-like OS:amorphous-like Oxide Semiconductor)膜。

[0234] 在使用高分辨率TEM观察的a-like OS膜的图像中，有时观察到空洞(也称为空隙)。此外，在使用高分辨率TEM观察的a-like OS膜的图像中，有明确地确认到结晶部的区域及确认不到结晶部的区域。a-like OS膜有时因TEM观察时的微量的电子照射而产生晶化，由此观察到结晶部的生长。另一方面，在良好的nc-OS膜中，几乎观察不到因TEM观察时的微量的电子照射而产生晶化。

[0235] 此外，a-like OS膜及nc-OS膜的结晶部的大小的测量可以使用高分辨率TEM图像进行。例如，$InGaZnO_4$的结晶具有层状结构，在In-O层之间具有两个Ga-Zn-O层。$InGaZnO_4$的结晶的单位晶格具有三个In-O层和六个Ga-Zn-O层的一共九个层在c轴方向上重叠为层状的结构。因此，这些彼此相邻的层之间的间隔与(009)面的晶格表面间隔(也称为d值)大致相等，从结晶结构分析求出其值，即0.29nm。因此，着眼于高分辨率TEM图像的晶格条纹，在晶格条纹的间隔为0.28nm以上且0.30nm以下的区域，每个晶格条纹对应于$InGaZnO_4$的结晶

的a-b面。

[0236] 另外，氧化物半导体膜的密度有时根据结构而不同。例如，当已知某个氧化物半导体膜的组成时，通过以与该组成相同的组成中的单晶氧化物半导体膜的密度与其进行比较，可以估计该氧化物半导体膜的结构。例如，相对于单晶氧化物半导体膜的密度，a-like OS膜的密度为78.6％以上且小于92.3％。例如，相对于单晶氧化物半导体膜的密度，nc-OS膜的密度和CAAC-OS膜的密度都为92.3％以上且小于100％。注意，难以形成其密度相对于单晶氧化物半导体膜的密度小于78％的氧化物半导体膜。

[0237] 使用具体例子对上述内容进行说明。例如，在原子数比满足In:Ga:Zn＝1:1:1的氧化物半导体膜中，具有菱方晶系结构的单晶$InGaZnO_4$的密度为6.357g/cm^3。因此，例如，在原子数比满足In:Ga:Zn＝1:1:1的氧化物半导体膜中，a-like OS膜的密度为5.0g/cm^3以上且小于5.9g/cm^3。另外，例如，在原子数比满足In:Ga:Zn＝1:1:1的氧化物半导体膜中，nc-OS膜的密度和CAAC-OS膜的密度为5.9g/cm^3以上且小于6.3g/cm^3。

[0238] 注意，有时不存在相同组成的单晶。此时，通过以任意比例组合不同组成的单晶，可以算出相当于所希望的组成的单晶氧化物半导体的密度。根据不同组成的单晶氧化物半导体的组合比例，使用加权平均计算所希望的组成的单晶氧化物半导体的密度即可。注意，优选尽可能减少所组合的单晶氧化物半导体的种类来计算密度。

[0239] 注意，氧化物半导体膜例如可以是包括非晶氧化物半导体膜、a-like OS膜、微晶氧化物半导体膜和CAAC-OS膜中的两种以上的叠层膜。

[0240] 在本说明书中，“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此，也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外，“垂直”是指两条直线形成的角度为80°以上且100°以下的状态。因此，也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0241] 在本说明书中，六方晶系包括三方晶系和菱方晶系。

[0242] 本实施方式可以与其他实施方式等的本说明书等所公开的结构适当地组合而实施。

[0243] 实施方式7

[0244] <使用半导体装置的电子设备的结构实例>

[0245] 根据本发明的一个方式的半导体装置可以用于显示设备、个人计算机、具备记录媒体的图像再现装置(典型地是，能够再现如DVD(Digital Versatile Disc:数字通用磁盘)等记录媒体并具有能够显示其图像的显示器的装置)。除此之外，作为能够使用本发明的一个方式的半导体装置的电子设备，可以举出移动电话、包括便携式游戏机在内的各种游戏机、个人数码助理、电子书阅读器、摄像机、数码相机等相机、护目镜型显示器(头戴式显示器)、导航系统、音频再现装置(车载音响、数字音频播放器等)、复印机、传真机、打印机、多功能打印机、自动柜员机(ATM)、自动售货机等。在图19A至图19F中示出这些电子设备的具体例子。

[0246] 图19A是一种便携式游戏机，该便携式游戏机包括框体5001、框体5002、显示部5003、显示部5004、麦克风5005、扬声器5006、操作键5007以及触屏笔5008等。可以将根据本发明的一个方式的半导体装置用于显示部5003、显示部5004或其他集成电路。注意，虽然图

19A所示的便携式游戏机包括两个显示部5003和显示部5004，但是便携式游戏机所包括的显示部的个数不限于两个。

[0247] 图19B是个人数码助理，该个人数码助理包括第一框体5601、第二框体5602、第一显示部5603、第二显示部5604、连接部5605以及操作键5606等。第一显示部5603设置在第一框体5601中，第二显示部5604设置在第二框体5602中。并且，第一框体5601与第二框体5602通过连接部5605连接，第一框体5601与第二框体5602之间的角度可以通过连接部5605改变。第一显示部5603中的映像也可以根据在连接部5605处的第一框体5601和第二框体5602之间的角度切换。可以将根据本发明的一个方式的半导体置用于第一显示部5603、第二显示部5604或其他集成电路。

[0248] 图19C是笔记本式个人计算机，该笔记本式个人计算机包括框体5401、显示部5402、键盘5403以及指向装置5404等。可以将根据本发明的一个方式的半导体装置用于显示部5402或其他集成电路。

[0249] 图19D是手表，该手表包括框体5201、显示部5202、操作按钮5203和手表带5204等。可以将根据本发明的一个方式的半导体装置用于显示部5202或其他集成电路。

[0250] 图19E是摄像机，该摄像机包括第一框体5801、第二框体5802、显示部5803、操作键5804、透镜5805以及连接部5806等。操作键5804及透镜5805设置在第一框体5801中，显示部5803设置在第二框体5802中。并且，第一框体5801与第二框体5802通过连接部5806连接，第一框体5801与第二框体5802之间的角度可以通过连接部5806改变。显示部5803的映像也可以根据在连接部5806处的第一框体5801和第二框体5802之间的角度切换。可以将根据本发明的一个方式的半导体装置用于显示部5803或其他集成电路。

[0251] 图19F是移动电话，在框体5901中设置有显示部5902、麦克风5907、扬声器5904、摄像头5903、外部连接部5906以及操作用的按钮5905。可以将根据本发明的一个方式的半导体装置用于显示部5902或其他集成电路。另外，在将根据本发明的一个方式的半导体装置形成在具有柔性的衬底上时，可以将该半导体装置应用于具有如图19F所示的具有曲面的显示部5902中。

[0252] 另外，在一个实施方式中描述的内容(也可以是其一部分的内容)可以应用于、组合于或者替换成在该实施方式中描述的其他内容(也可以是其一部分的内容)和/或在一个或多个其他实施方式中描述的内容(也可以是其一部分的内容)。

[0253] 注意，在实施方式中描述的内容是指在各实施方式中利用各种附图说明的内容或在说明书的文章中所记载的内容。

[0254] 另外，通过将在一个实施方式中示出的附图(也可以是其一部分)与该附图的其他部分、在该实施方式中示出的其他附图(也可以是其一部分)和/或在一个或多个其他实施方式中示出的附图(也可以是其一部分)组合，可以构成更多附图。

[0255] 另外，可以构成不包括说明书中的附图或文章所未规定的内容的发明的一个方式。另外，当有某一个值的数值范围的记载(上限值和下限值等)时，通过任意缩小该范围或者去除该范围的一部分，可以构成去除该范围的一部分的发明的一个方式。由此，例如，可以规定现有技术不包括在本发明的一个方式的技术范围内。

[0256] 作为具体例子，在记载有包括第一至第五晶体管的电路的电路图。在该情况下，可以将该电路不包括第六晶体管的情况规定为发明。也可以将该电路不包括电容元件的情况

规定为发明。再者，可以将该电路不包括具有特定连接结构的第六晶体管的情况规定为发明。还可以将该电路不包括具有特定连接结构的电容元件的情况规定为发明。例如，可以将不包括其栅极与第三晶体管的栅极连接的第六晶体管的情况规定为发明。例如，可以将不包括其第一电极与第三晶体管的栅极连接的电容元件的情况规定为发明。

[0257] 作为其他具体例子，在关于某一个值，例如记载有“某一个电压优选为3V以上且10V以下”。在该情况下，例如，可以将不包括该电压为-2V以上且1V以下的情况规定为发明的一个方式。例如，可以将不包括该电压为13V以上的情况规定为发明的一个方式。例如，可以将该电压为5V以上且8V以下的情况规定为发明。例如，可以将该电压大约为9V的情况规定为发明。例如，可以将该电压为3V以上且10V以下但不是9V的情况规定为发明。注意，即使记载有“某一个值优选为某个范围”、“某一个值最好满足某个条件”，也不局限于该记载。换而言之，“优选”、“最好”等的记载并不一定规定该值。

[0258] 作为其他具体例子，在关于某一个值，例如记载有“某一个电压优选为10V”。在该情况下，例如，可以将不包括该电压为-2V以上且1V以下的情况规定为发明的一个方式。例如，可以将不包括该电压为13V以上的情况规定为发明的一个方式。

[0259] 作为其他具体例子，在关于某一个物质的性质，例如记载有“某一个膜为绝缘膜”。在该情况下，例如，可以将不包括该绝缘膜为有机绝缘膜的情况规定为发明的一个方式。例如，可以将不包括该绝缘膜为无机绝缘膜的情况规定为发明的一个方式。例如，可以将不包括该膜为导电膜的情况规定为发明的一个方式。例如，可以将不包括该膜为半导体膜的情况规定为发明的一个方式。

[0260] 作为其他具体例子，在关于某一个层叠结构，例如记载有“在A膜与B膜之间设置有某一个膜”。在该情况下，例如，可以将不包括该膜为四层以上的叠层膜的情况规定为发明。例如，可以将不包括在A膜与该膜之间设置有导电膜的情况规定为发明。

[0261] 另外，在本说明书等中，即使未指定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的所有端子的连接对象，所属技术领域的普通技术人员有时也能够构成发明的一个方式。就是说，可以说，即使未指定连接对象，发明的一个方式也是明确的。而且，当指定了连接对象的内容记载于本说明书等中时，有时可以判断未指定连接对象的发明的一个方式记载于本说明书等中。尤其是在考虑端子连接对象有多个的情况下，该端子的连接对象不必限定在指定的部分。因此，有时通过仅指定有源元件(晶体管、二极管等)、无源元件(电容元件、电阻元件等)等所具有的一部分的端子的连接对象，能够构成发明的一个方式。

[0262] 另外，在本说明书等中，只要至少指定某一个电路的连接对象，所属技术领域的普通技术人员就有时可以指定发明。或者，只要至少指定某一个电路的功能，所属技术领域的普通技术人员就有时可以指定发明。就是说，可以说，只要指定功能，发明的一个方式就是明确的。另外，有时可以判断指定了功能的发明的一个方式记载于本说明书等中。因此，即使未指定某一个电路的功能，只要指定连接对象，就算是所公开的发明的一个方式，而可以构成发明的一个方式。另外，即使未指定某一个电路的连接对象，只要指定其功能，就算是所公开的发明的一个方式，而可以构成发明的一个方式。

[0263] 注意，在本说明书等中，可以在某一个实施方式中示出的附图或者文章中取出其一部分而构成发明的一个方式。从而，在记载有说明某一部分的附图或者文章的情况下，取

出附图或者文章的一部分的内容也算是所公开的发明的一个方式，所以能够构成发明的一个方式。并且，可以说该发明的一个方式是明确的。因此，例如，可以在记载有有源元件(晶体管、二极管等)、布线、无源元件(电容元件、电阻元件等)、导电层、绝缘层、半导体层、有机材料、无机材料、零部件、装置、工作方法、制造方法等中的一个或多个的附图或者文章中，可以取出其一部分而构成发明的一个方式。例如，可以从由N个(N是整数)电路元件(晶体管、电容元件等)构成的电路图中取出M个(M是整数，M＜N)电路元件(晶体管、电容元件等)来构成发明的一个方式。作为其他例子，可以从由N个(N是整数)层构成的截面图中取出M个(M是整数，M＜N)层来构成发明的一个方式。再者，作为其他例子，可以从由N个(N是整数)要素构成的流程图中取出M个(M是整数，M＜N)要素来构成发明的一个方式。作为其他的例子，当从“A包括B、C、D、E或F”的记载中任意抽出一部分的要素时，可以构成“A包括B和E”、“A包括E和F”、“A包括C、E和F”或者“A包括B、C、D和E”等的发明的一个方式。

[0264] 在本说明书等中，在某一个实施方式中示出的附图或文章示出至少一个具体例子的情况下，所属技术领域的普通技术人员可以很容易地理解一个事实就是由上述具体例子导出该具体例子的上位概念。从而，在某一个实施方式中示出的附图或文章示出至少一个具体例子的情况下，该具体例子的上位概念也是所公开的发明的一个方式，可以构成发明的一个方式。并且，可以说该发明的一个方式是明确的。

[0265] 另外，在本说明书等中，至少示于附图中的内容(也可以是其一部分)是所公开的发明的一个方式，而可以构成发明的一个方式。因此，即使在文章中没有某一个内容的描述，如果该内容示于附图中，就可以说该内容是所公开的发明的一个方式，而可以构成发明的一个方式。同样地，取出附图的一部分的附图也是所公开的发明的一个方式，而可以构成发明的一个方式。并且，可以说该发明的一个方式是明确的。

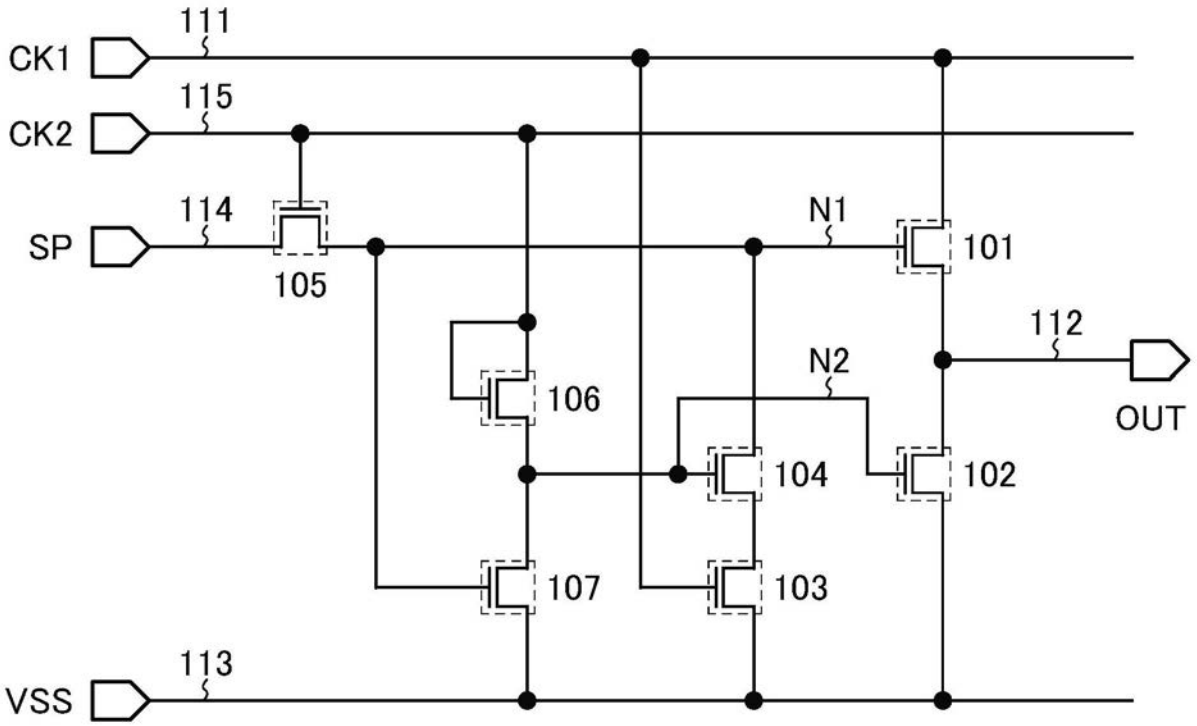

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图1

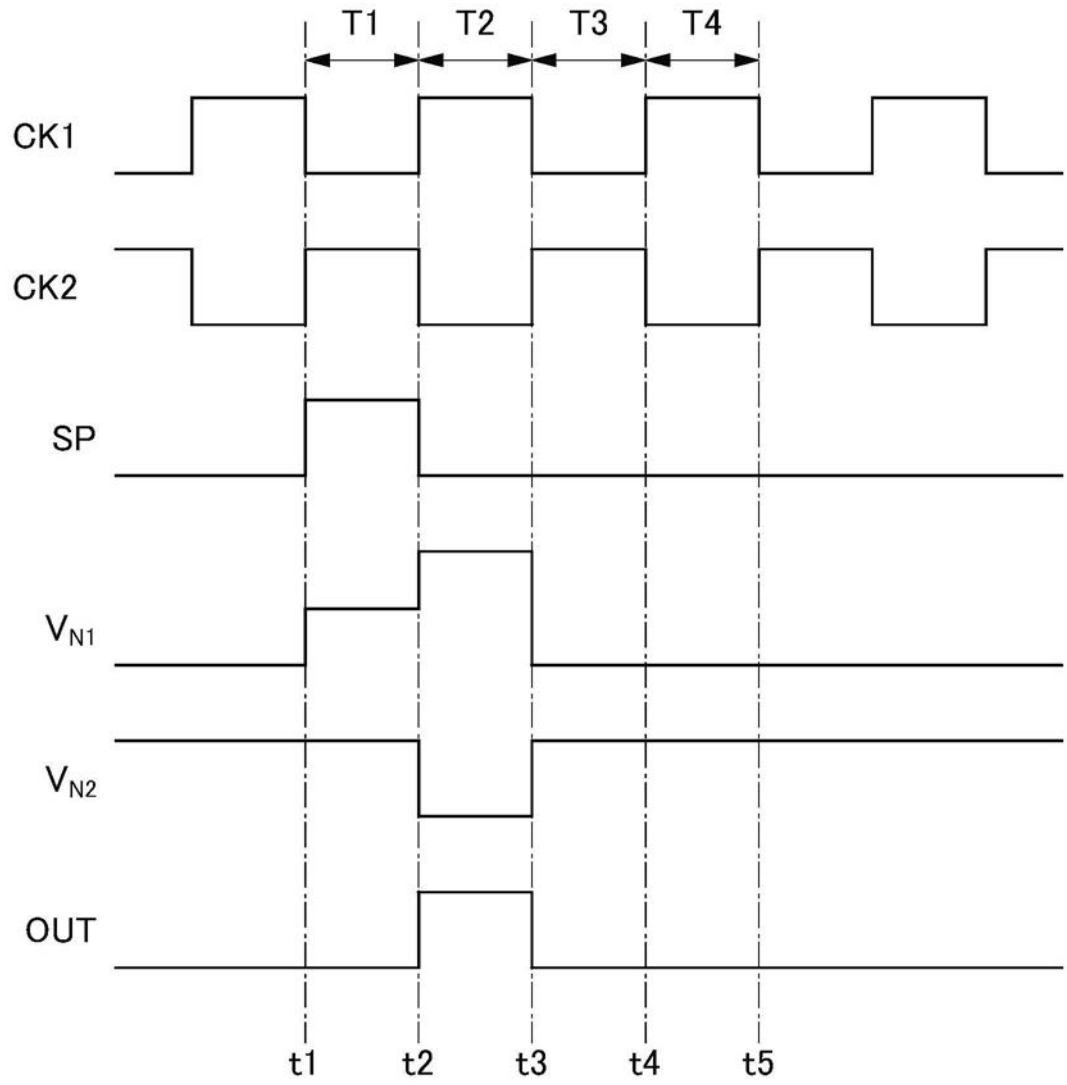


图2

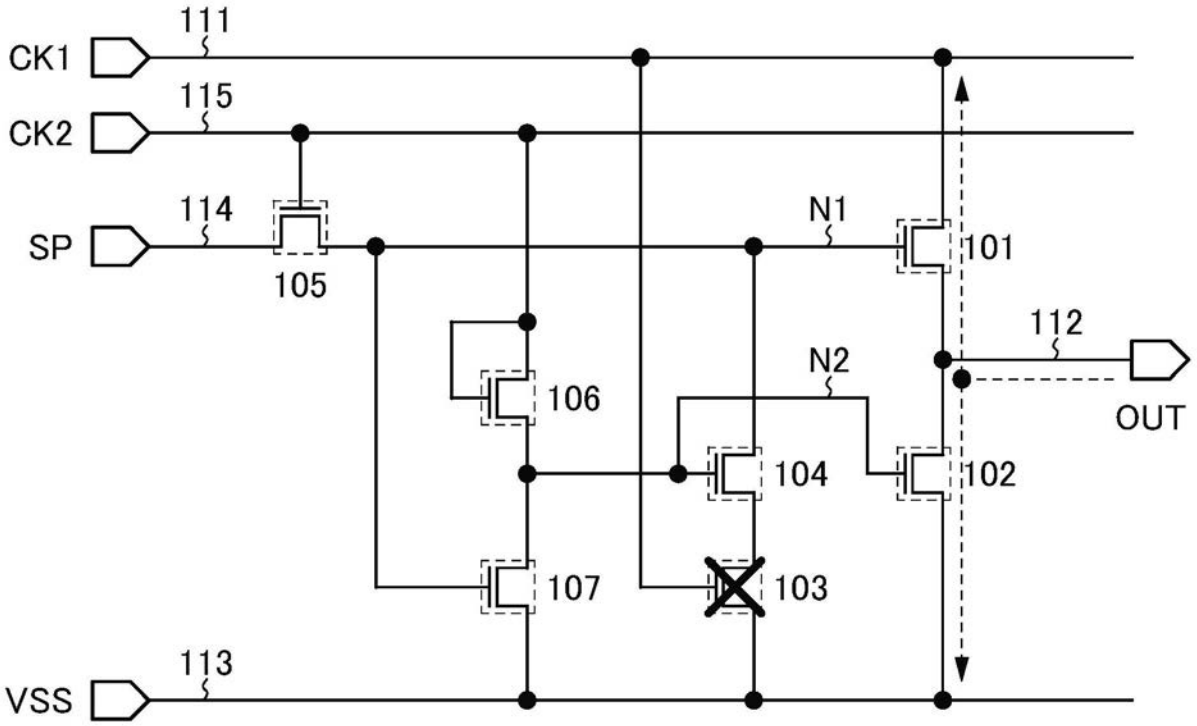

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图3A

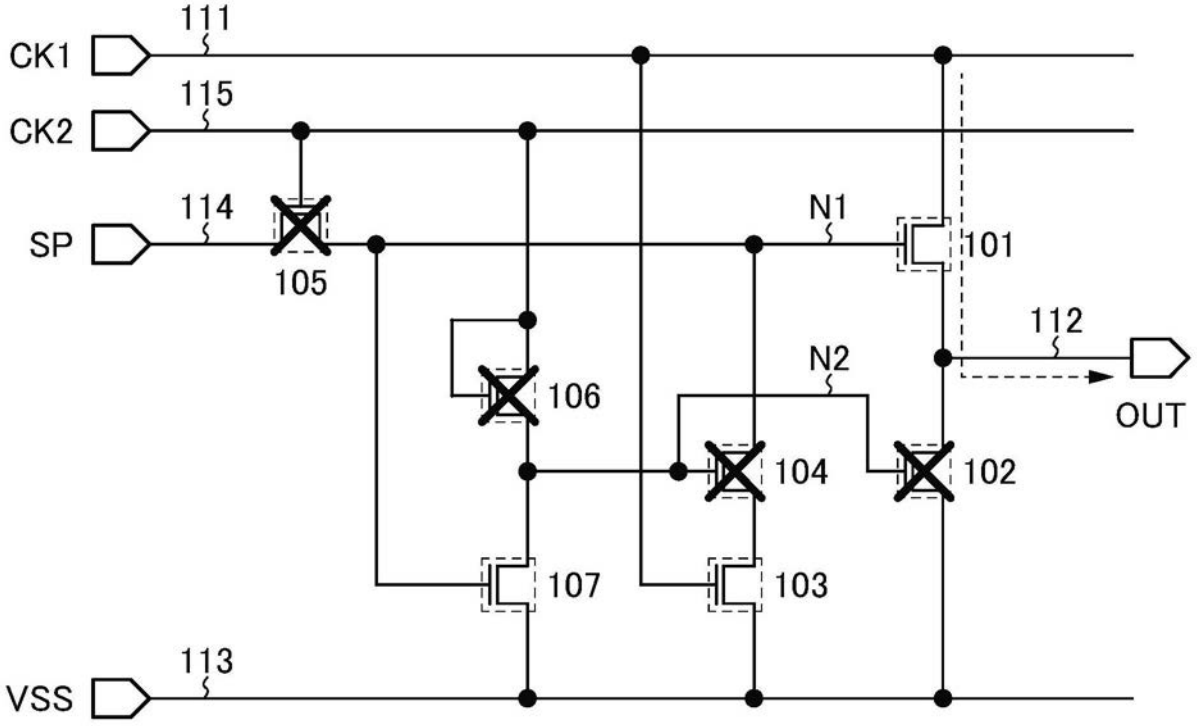

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图3B

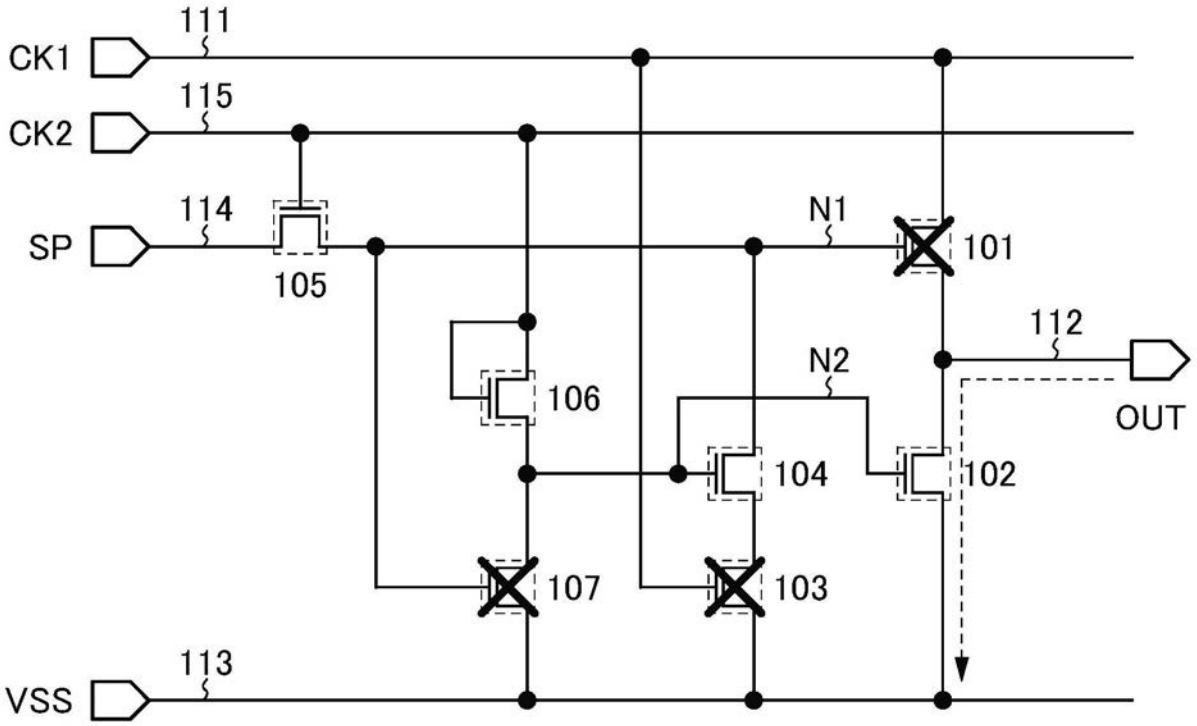

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图4A

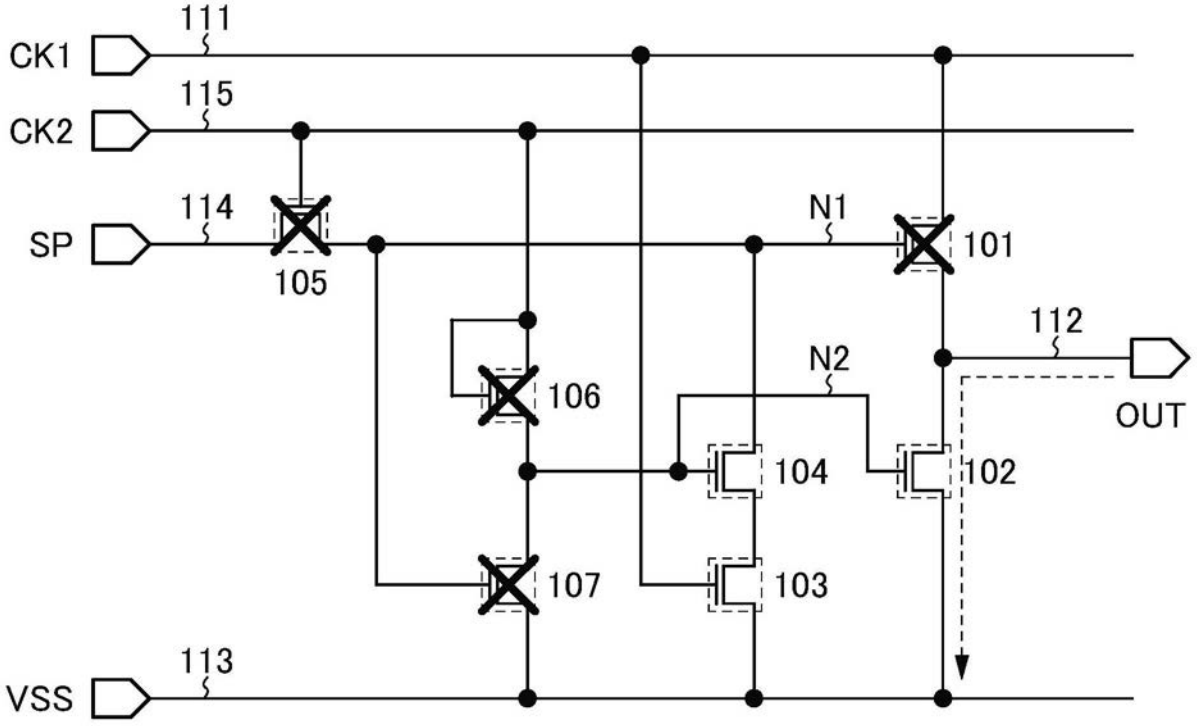

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图4B

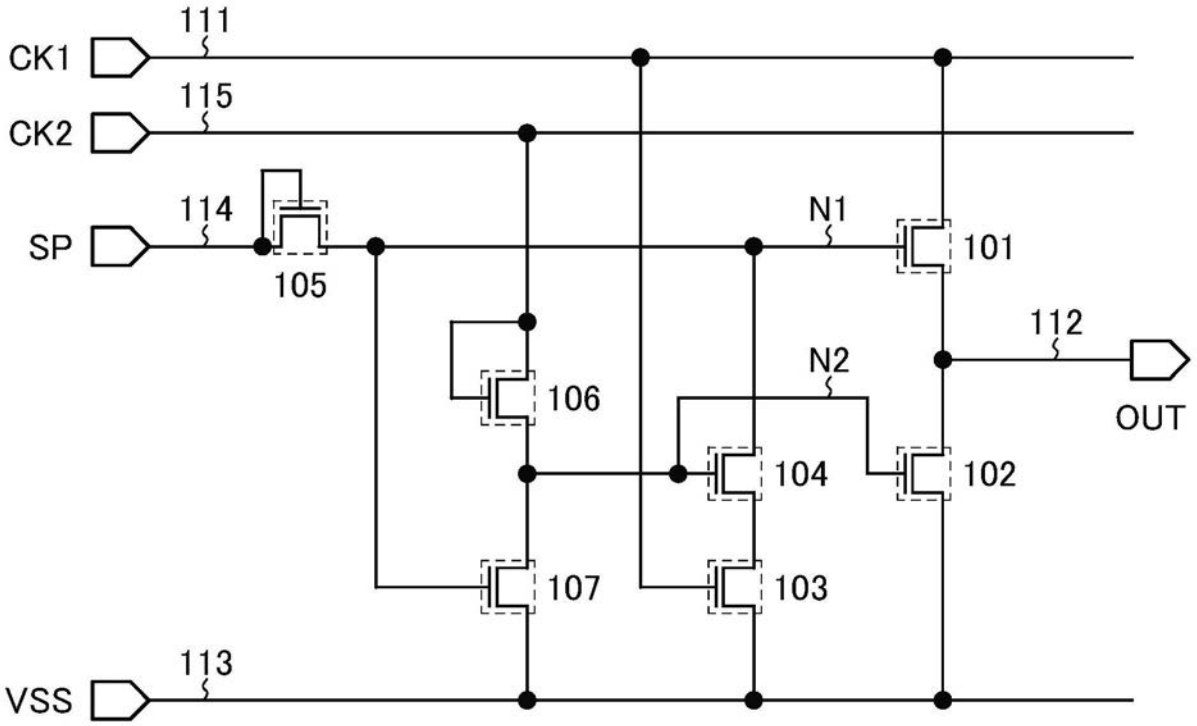

111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图5A

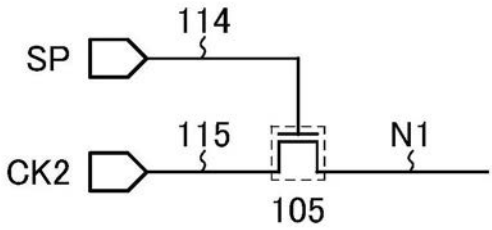

114
SP
115
CK2
105
N1

图5B

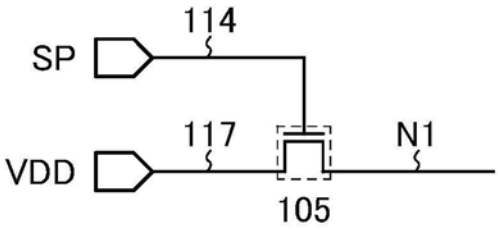

114
SP
117
VDD
105
N1

图5C

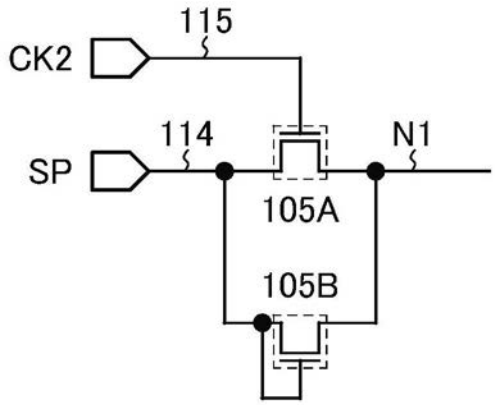

115
CK2
114
N1
SP
105A
105B

图5D

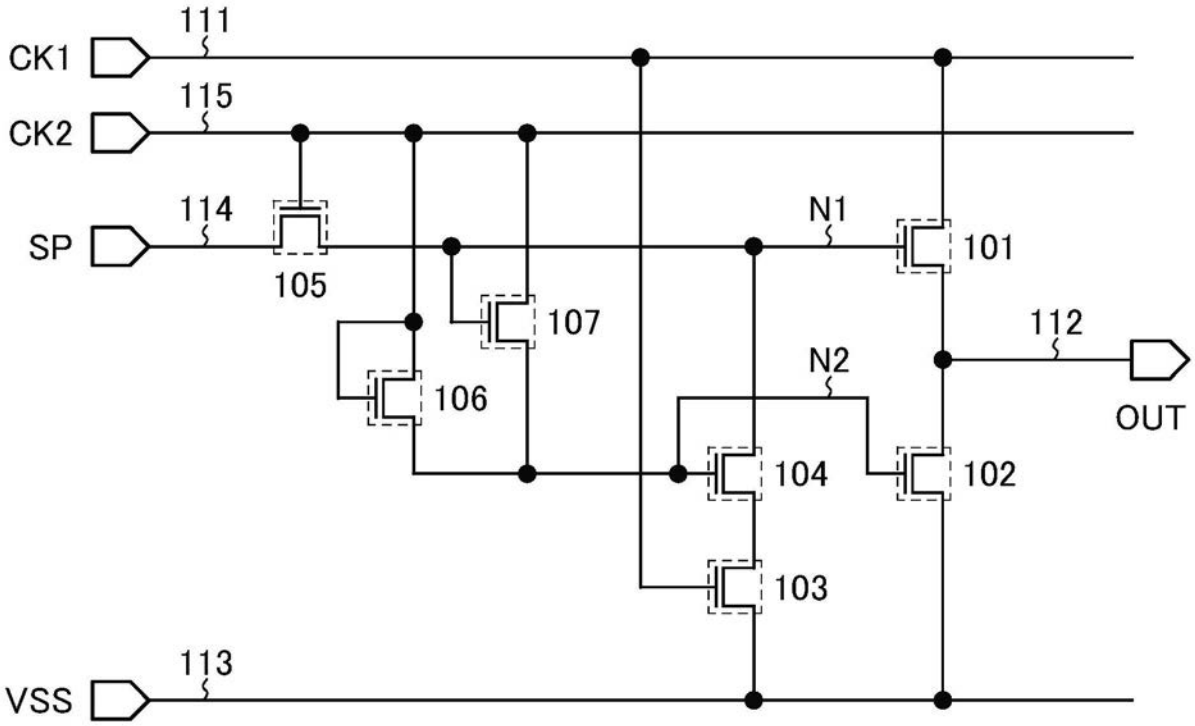

111
CK1
115
CK2
114
SP
105
N1
101
107
112
N2
106
OUT
104
102
103
113
VSS

图6A

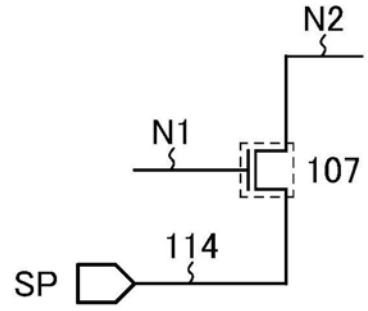


图6B

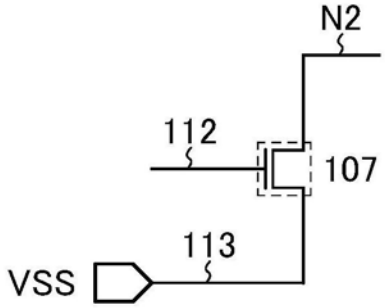


图6C

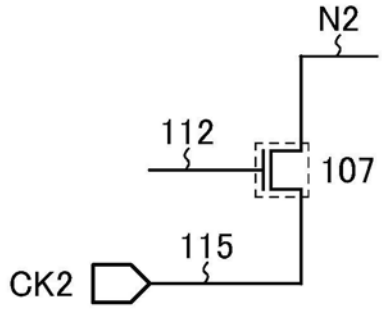


图6D

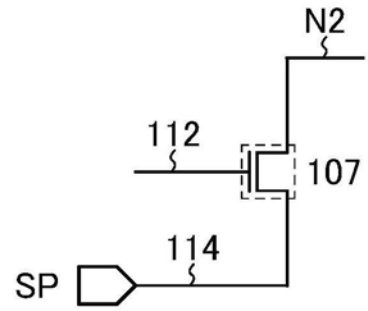


图6E

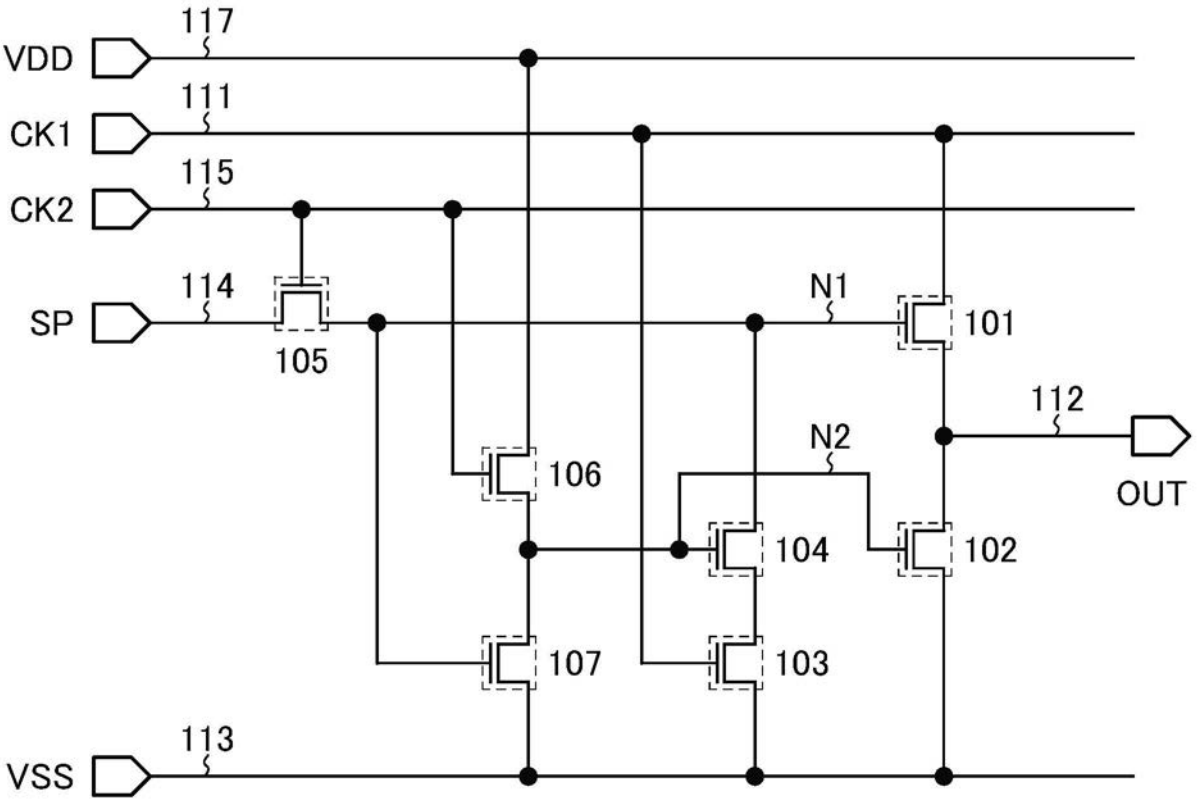

117
VDD
111
CK1
115
CK2
114
SP
105
N1
101
112
OUT
N2
106
104
102
107
103
113
VSS

图7A

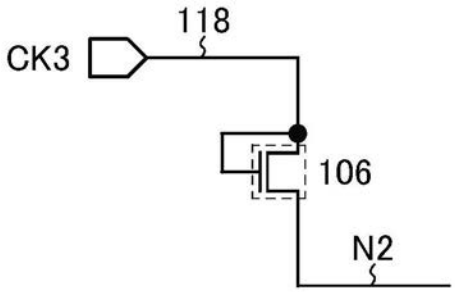

118
CK3
106
N2

图7B

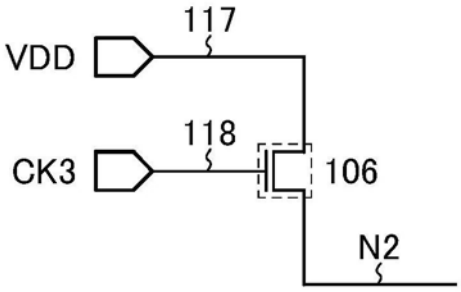

117
VDD
118
CK3
106
N2

图7C

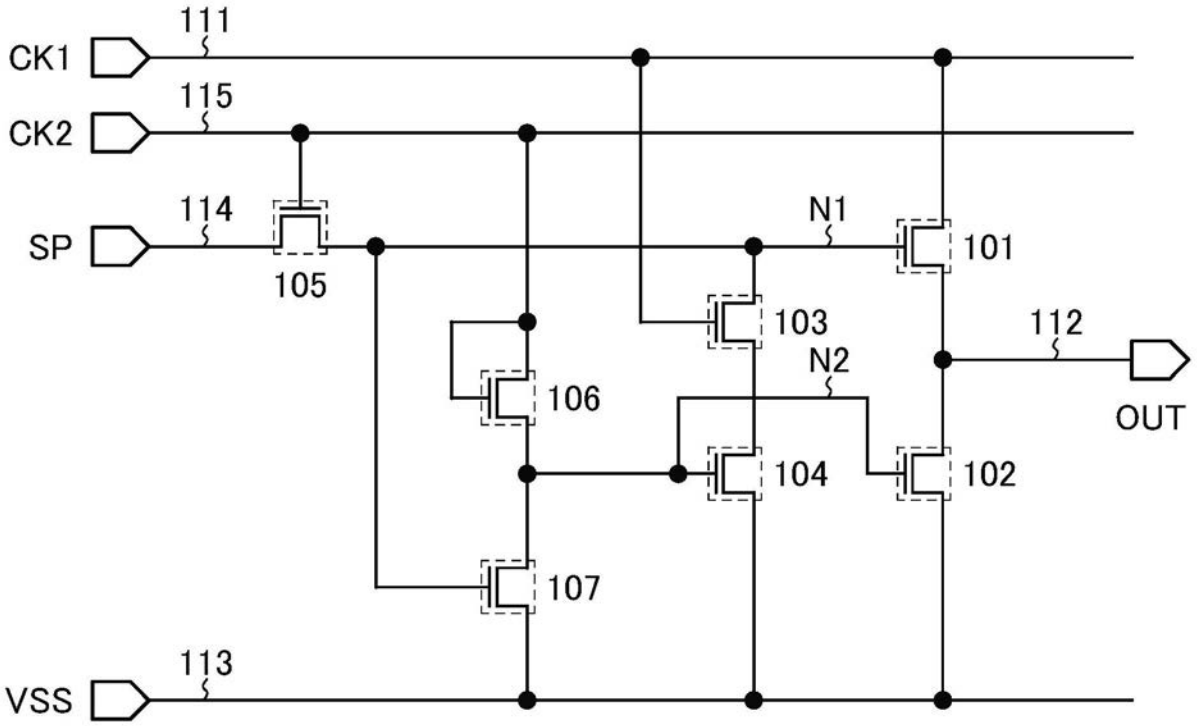

111
CK1
115
CK2
114
SP
105
N1
101
103
112
N2
106
OUT
104
102
107
113
VSS

图8A

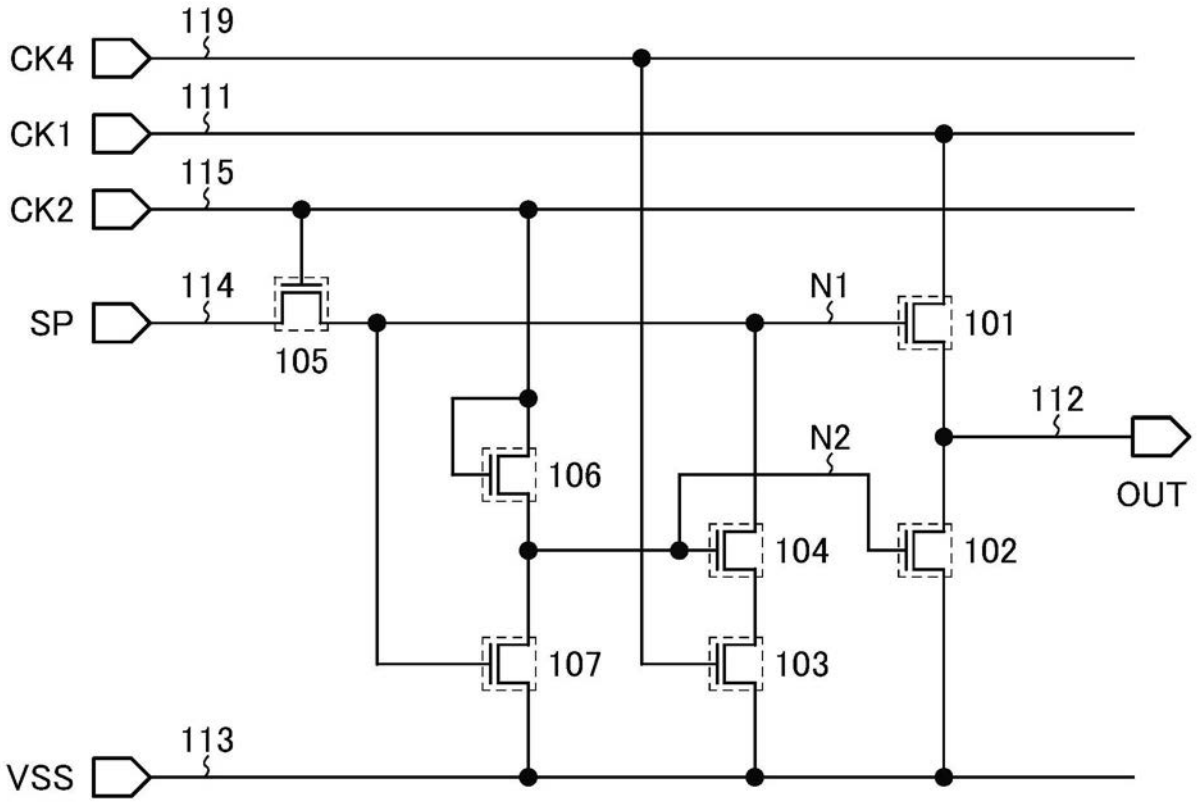

119
CK4
111
CK1
115
CK2
114
SP
105
N1
101
112
N2
106
OUT
104
102
107
103
113
VSS

图8B

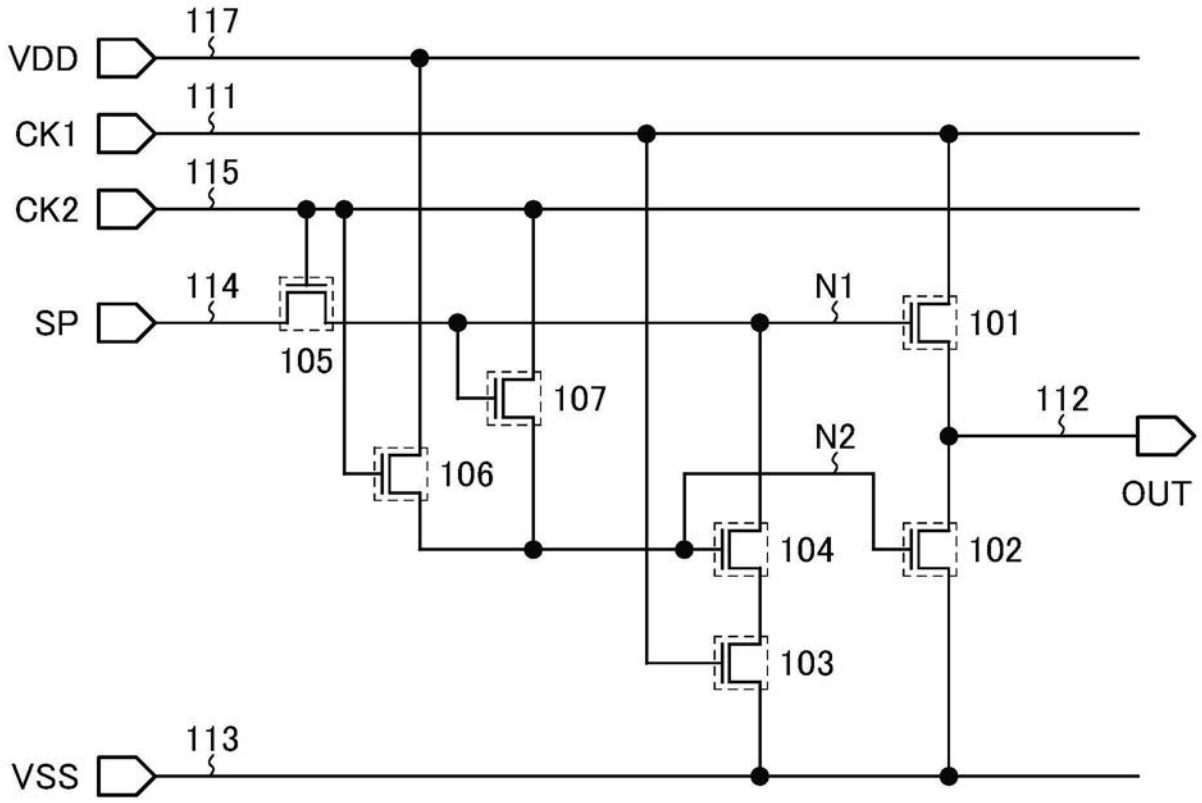

117
VDD
111
CK1
115
CK2
114
SP
105
106
107
N1
101
112
N2
OUT
104
102
103
113
VSS

图9A

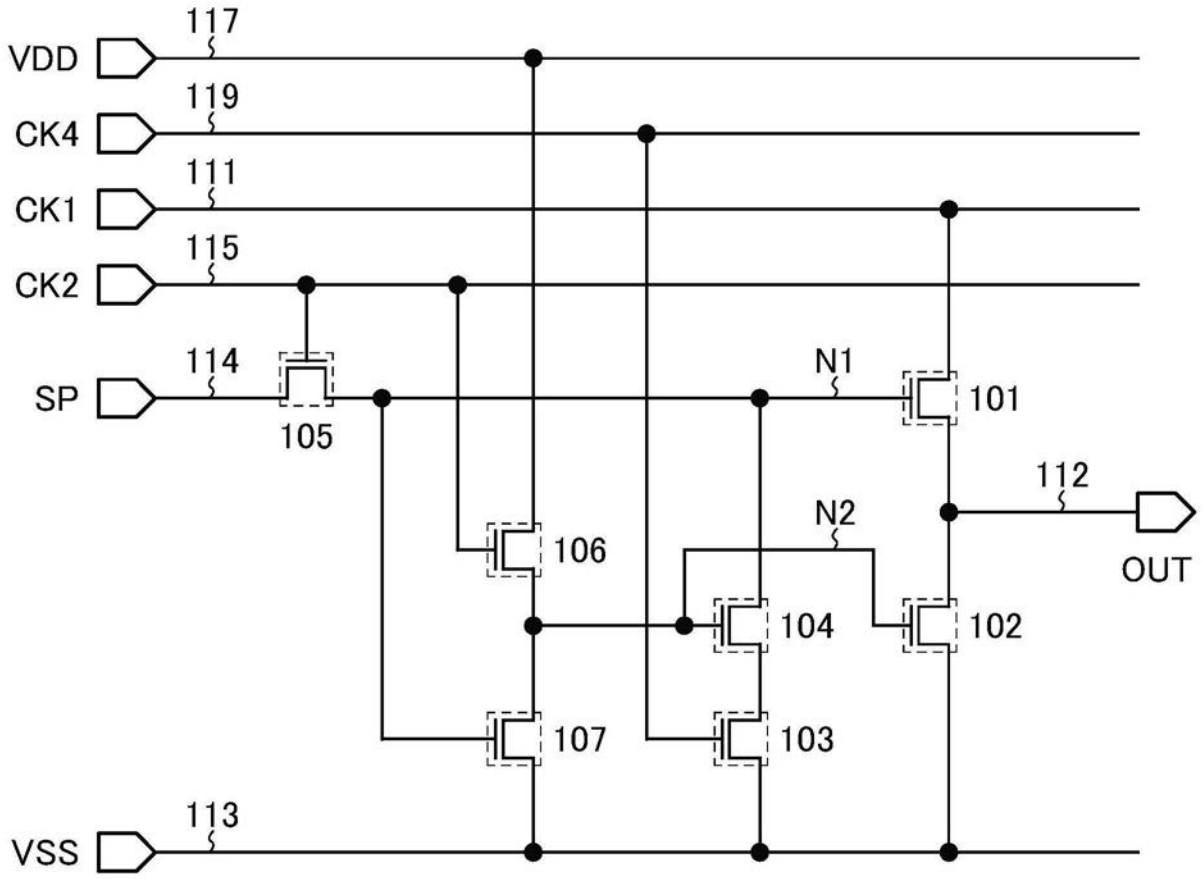

117
VDD
119
CK4
111
CK1
115
CK2
114
SP
105
N1
101
112
N2
OUT
106
104
102
107
103
113
VSS

图9B

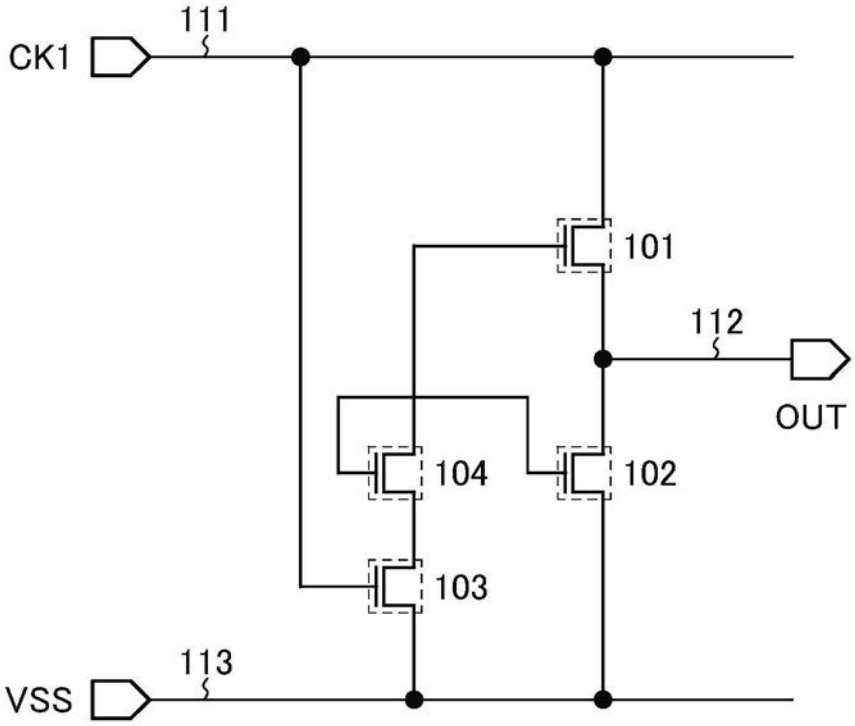

111
CK1
101
112
OUT
104
102
103
113
VSS

图10A

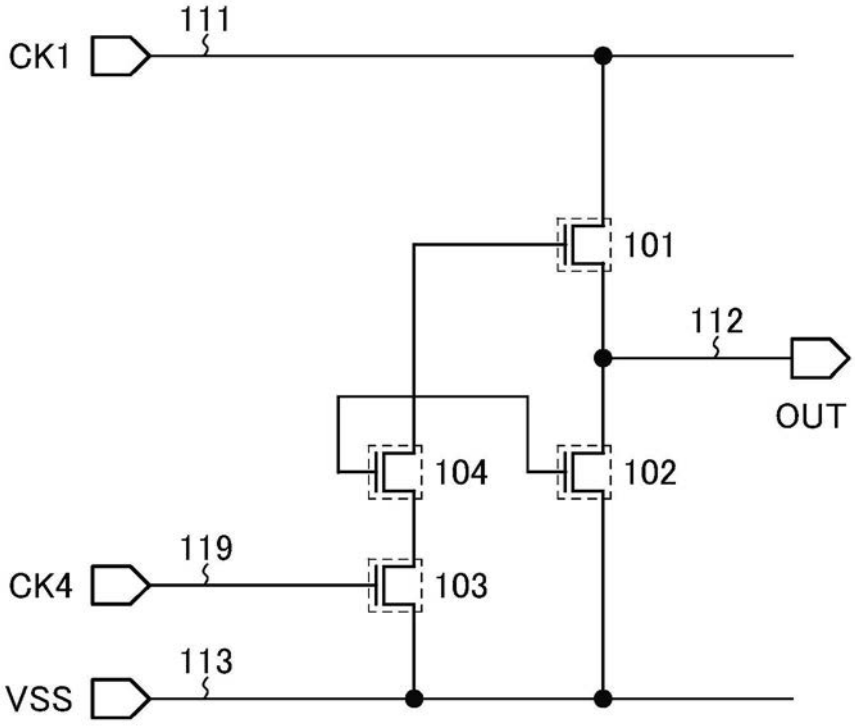

111
CK1
101
112
OUT
104
102
119
CK4
103
113
VSS

图10B

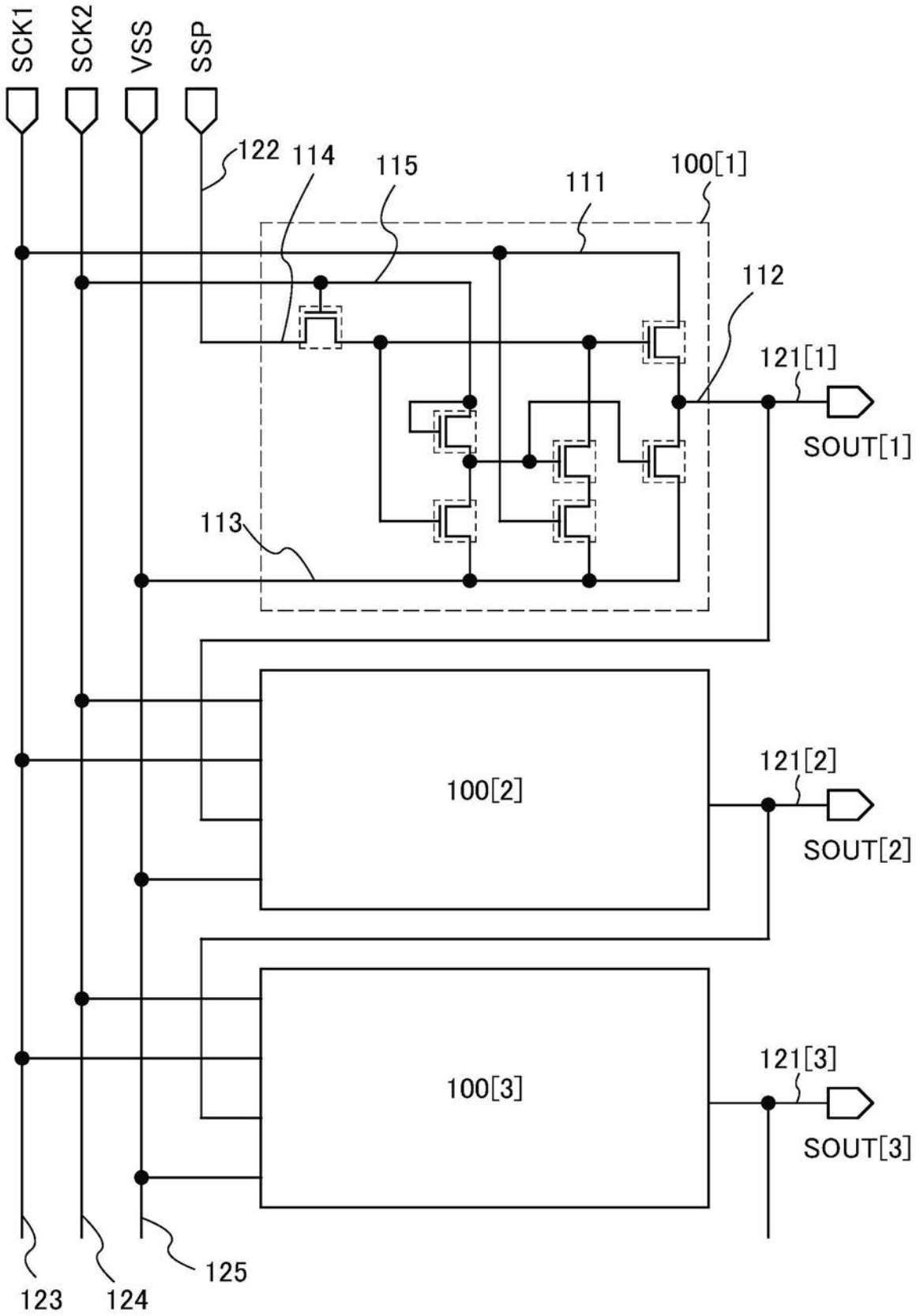

SCK1
SCK2
VSS
SSP
122
114
115
111
100[1]
112
121[1]
SOUT[1]
113
100[2]
121[2]
SOUT[2]
100[3]
121[3]
SOUT[3]
123
124
125

图11

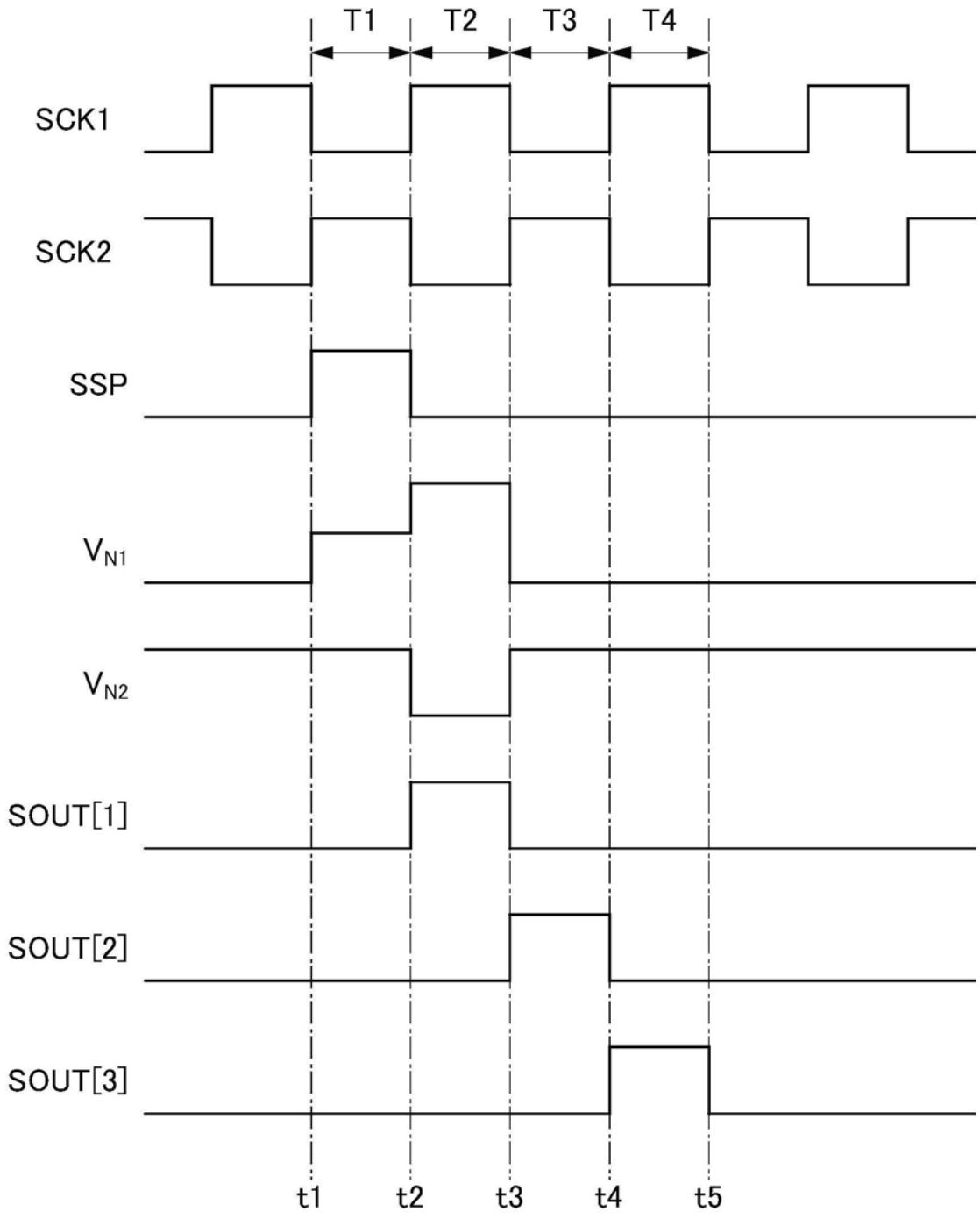

T1
T2
T3
T4
SCK1
SCK2
SSP
V_{N1}
V_{N2}
SOUT[1]
SOUT[2]
SOUT[3]
t1
t2
t3
t4
t5

图12

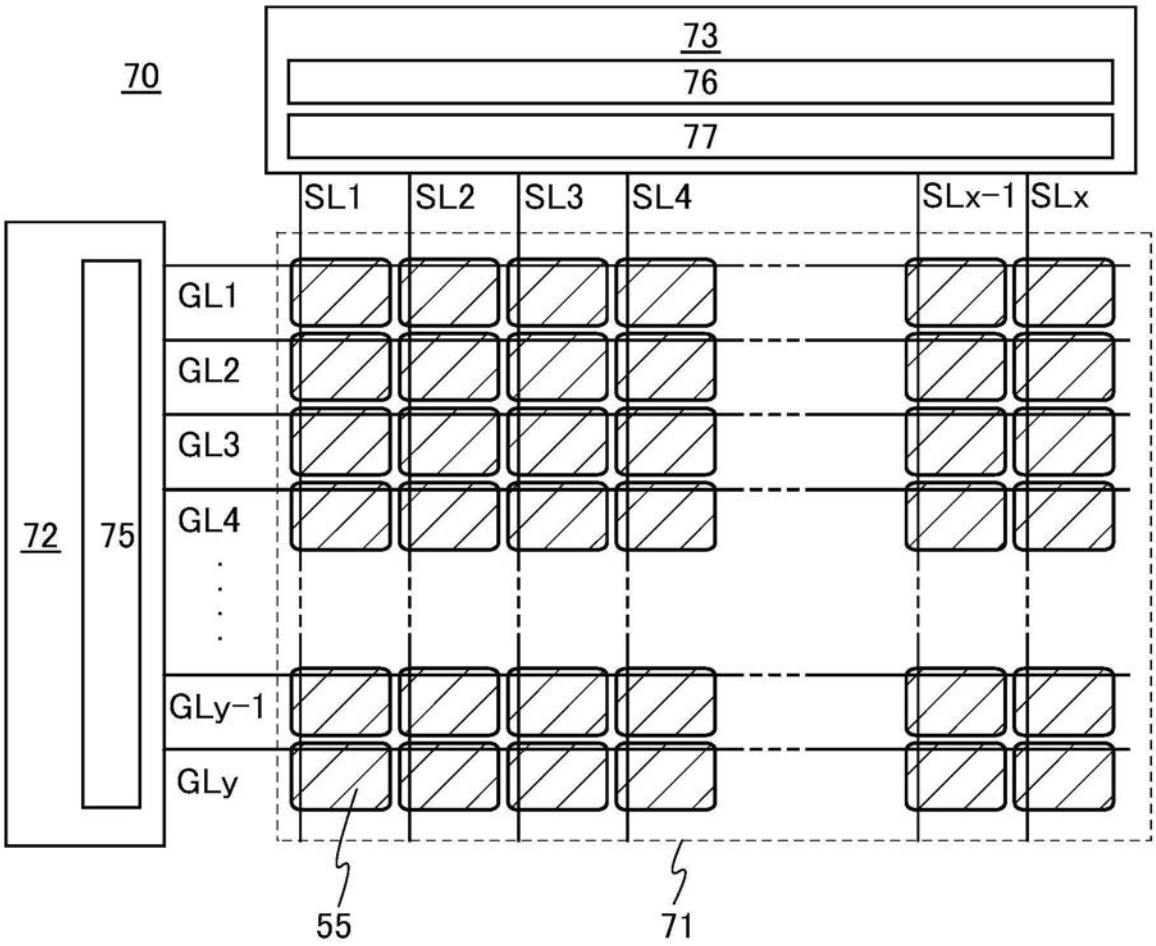

70
73
76
77
SL1
SL2
SL3
SL4
SLx-1
SLx
GL1
GL2
GL3
GL4
GLy-1
GLy
72
75
55
71

图13A

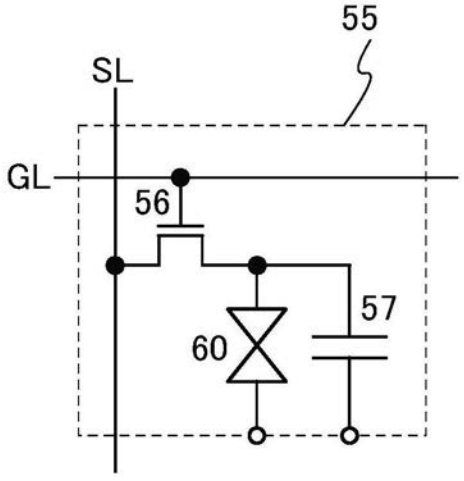

55
SL
GL
56
57
60

图13B

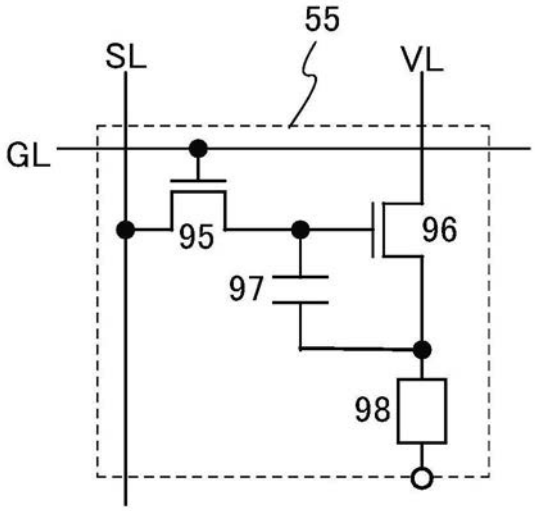


图13C

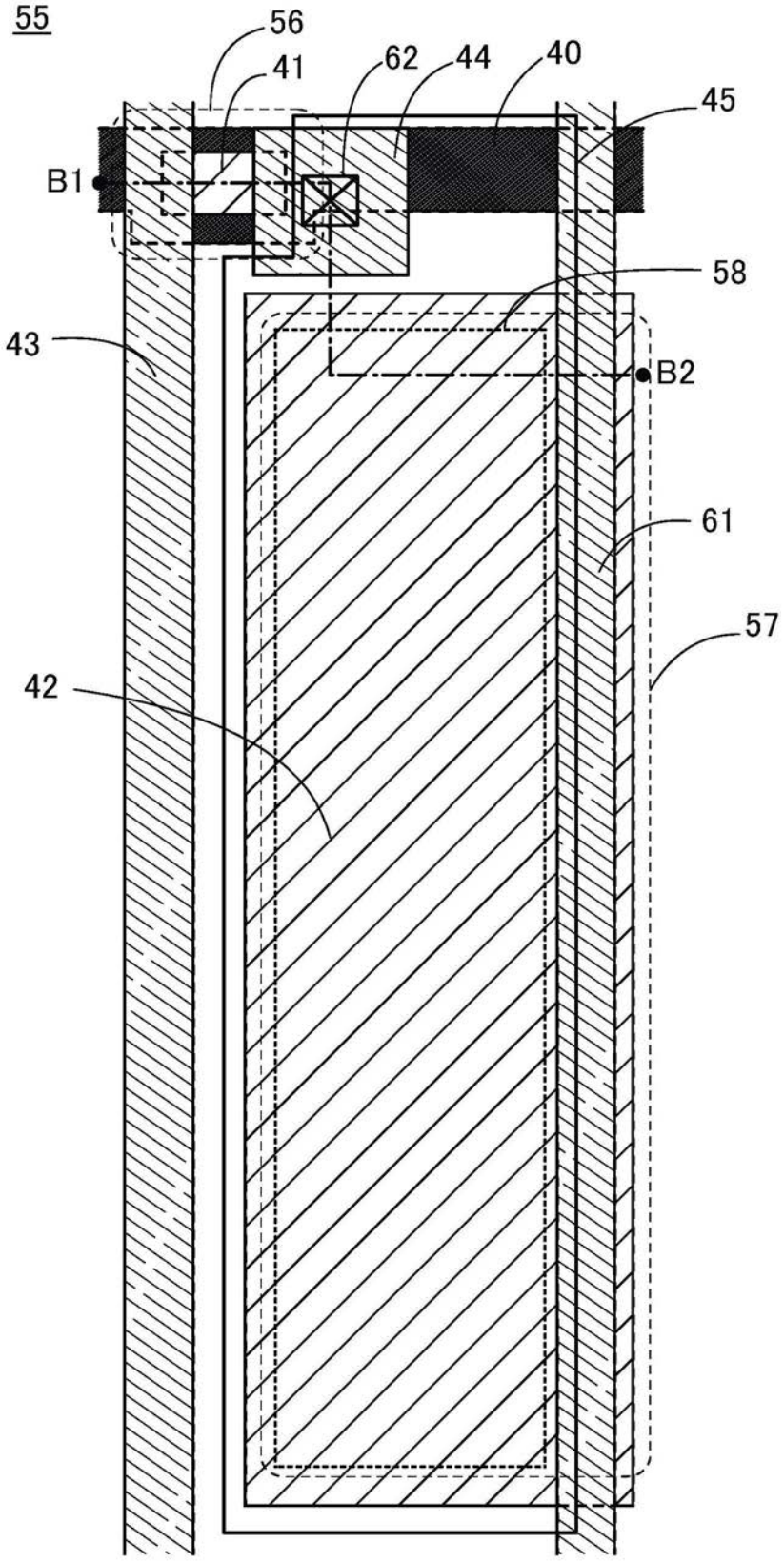


图14

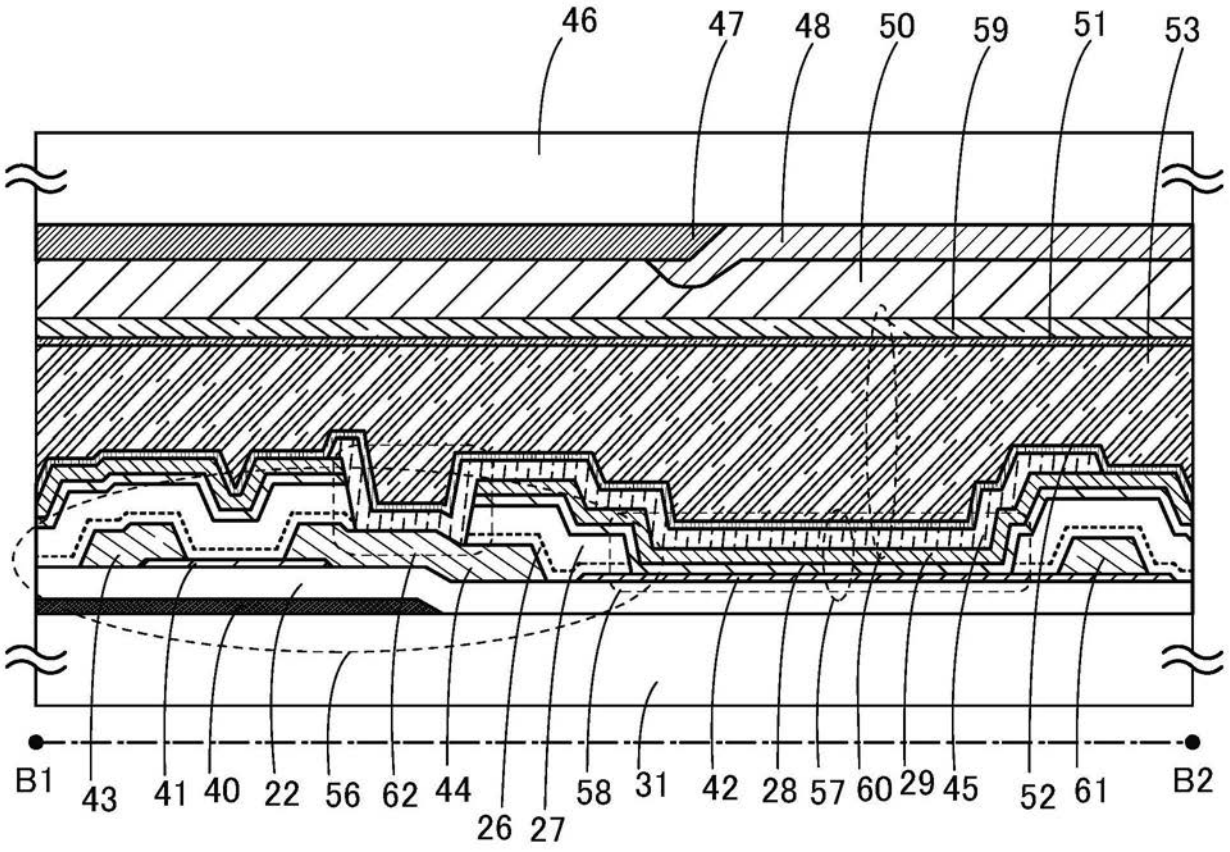

46
47
48
50
59
51
53
B1
43
41
40
22
56
62
44
26
27
58
31
42
28
57
60
29
45
52
61
B2

图15

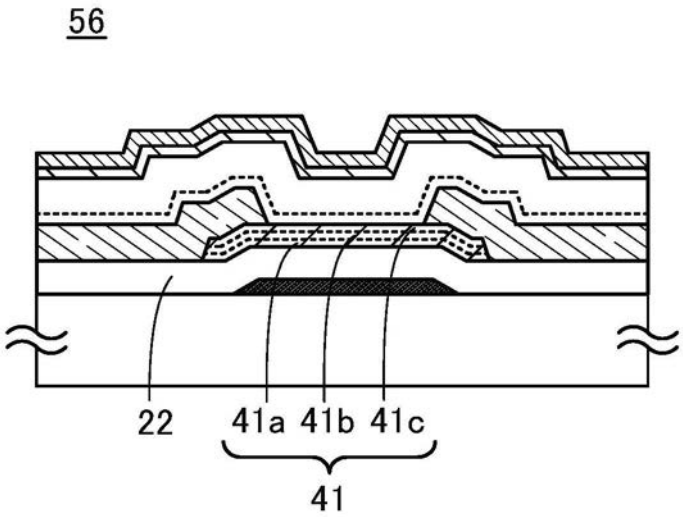

56
22
41a
41b
41c
41

图16A

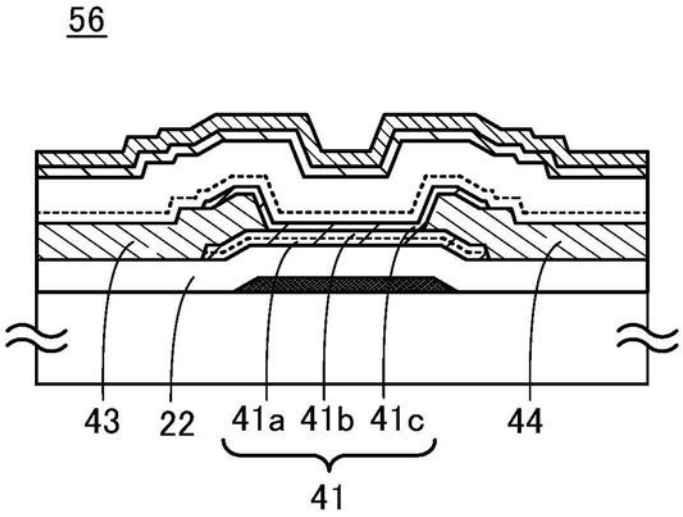

56
43
22
41a
41b
41c
44
41

图16B

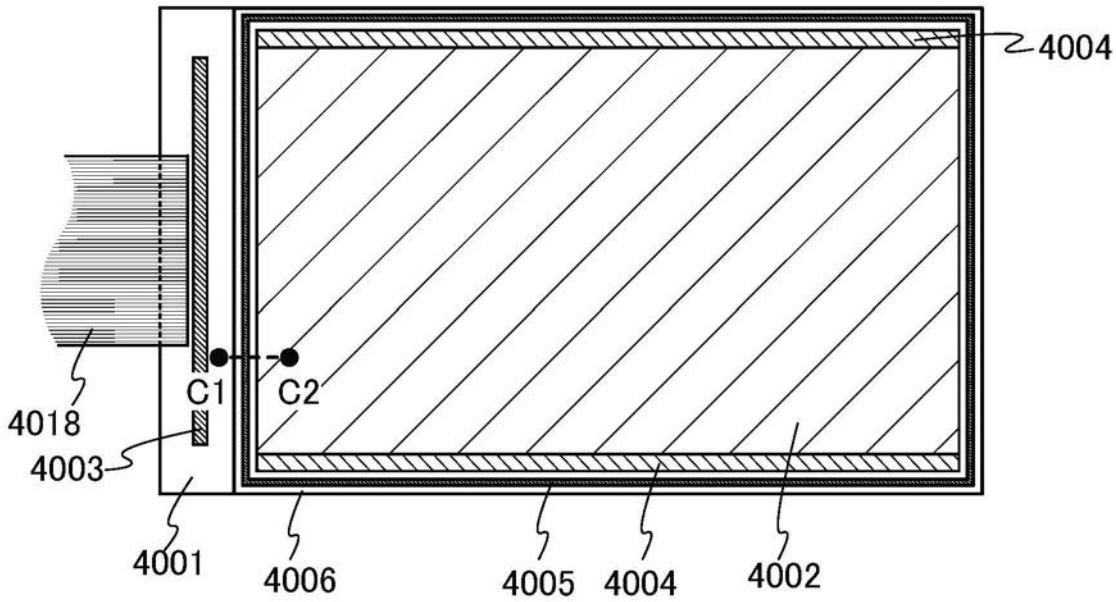

4004
C1
C2
4018
4003
4001
4006
4005
4004
4002

图17

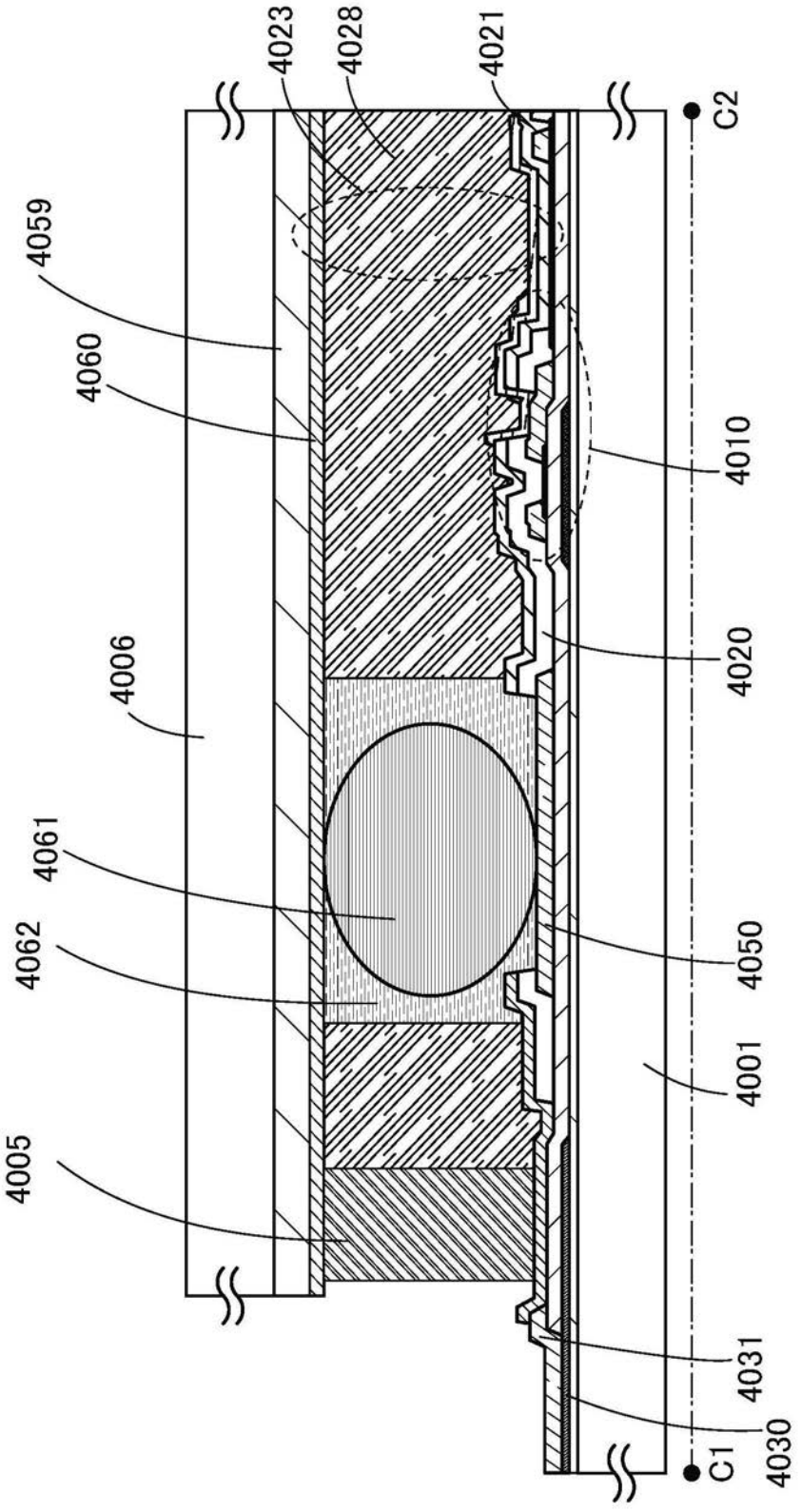

4023
4028
4021
C2
4059
4060
4010
4020
4006
4061
4062
4050
4001
4005
4031
4030
C1

图18

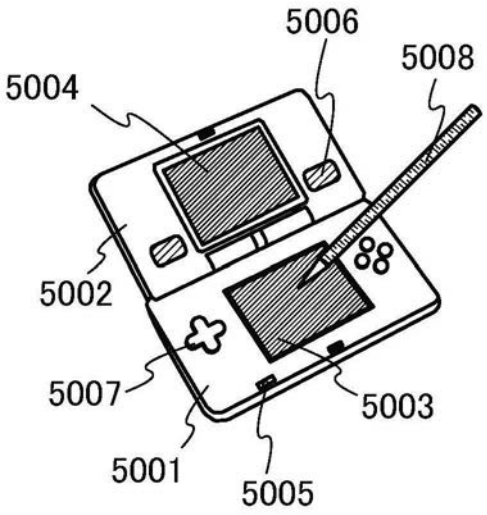

5006
5008
5004
5002
5007
5003
5001
5005

图19A

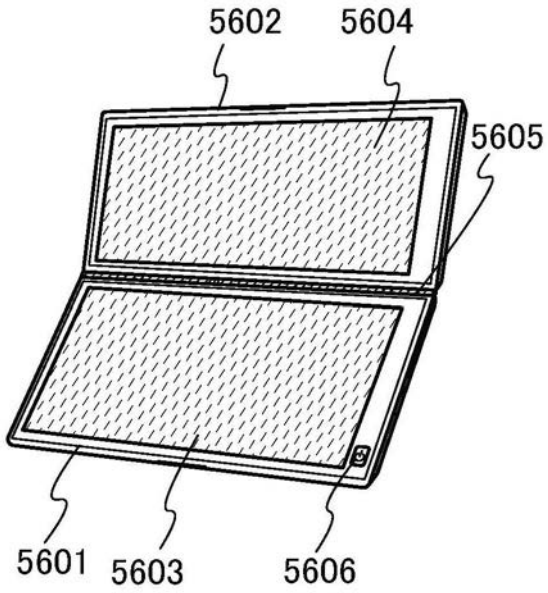

5602
5604
5605
5601
5603
5606

图19B

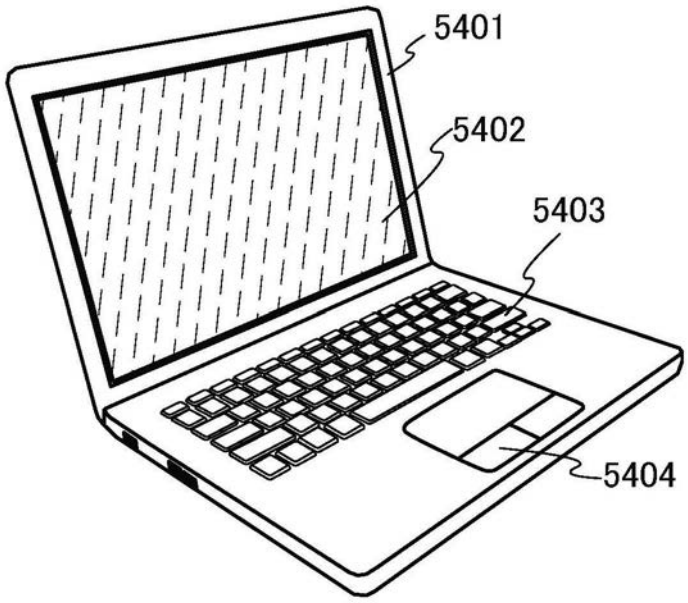


图19C

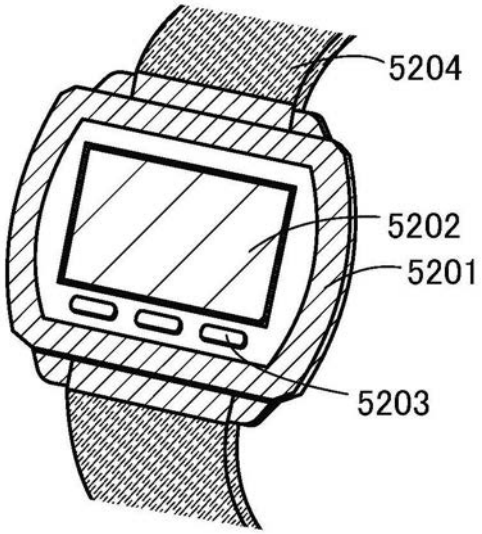


图19D

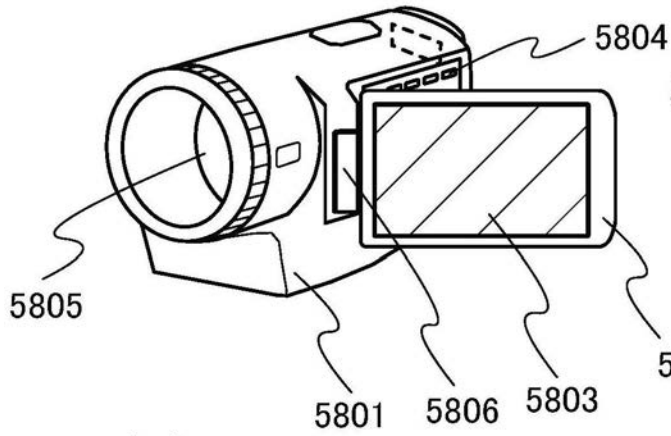

5804
5805
5801
5806
5803
5802

图19E

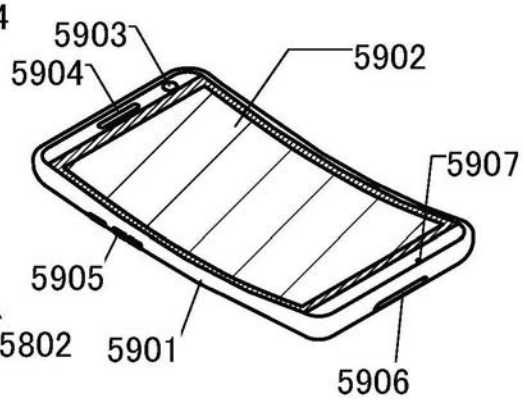

5903
5902
5904
5907
5905
5901
5906

图19F