

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4105656号
(P4105656)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int. Cl. F I
 HO 1 L 21/8246 (2006.01) HO 1 L 27/10 4 4 4 B
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 6 5 1
 HO 1 L 21/8242 (2006.01) HO 1 L 27/04 C
 HO 1 L 27/108 (2006.01)
 HO 1 L 21/822 (2006.01)

請求項の数 8 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2004-143428 (P2004-143428)
 (22) 出願日 平成16年5月13日(2004.5.13)
 (65) 公開番号 特開2005-327847 (P2005-327847A)
 (43) 公開日 平成17年11月24日(2005.11.24)
 審査請求日 平成16年5月13日(2004.5.13)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 599158797
 インフィネオン テクノロジース アクチ
 エンゲゼルシャフト
 ドイツ連邦共和国 ミュンヘン ザンクト
 マルティン シュトラーセ 53
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

下部電極、誘電体、及び上部電極からなるキャパシタを有する半導体装置において、
 前記上部電極の上面のみに接しスパッタ法により成膜された柱状構造をなす第1のAl₂O₃膜と、
 前記上部電極の側面に接し前記第1のAl₂O₃膜の上側にスパッタ法により成膜され
 た柱状構造をなす第2のAl₂O₃膜と、
 前記第2のAl₂O₃膜の上側にCVD法により成膜された第3のAl₂O₃膜と、
 前記キャパシタの上方における前記第1のAl₂O₃膜と前記第2のAl₂O₃膜の間
 に設けられた第1の膜と、
 を備えたことを特徴とする半導体装置。

【請求項 2】

前記CVD法はALD法であることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第2のAl₂O₃膜は前記誘電体に接することを特徴とする請求項1または2に記
 載の半導体装置。

【請求項 4】

前記第2のAl₂O₃膜と前記第3のAl₂O₃膜との間に第2の膜を備え、前記キャ
 パシタの側面において前記第2のAl₂O₃膜の側面部が前記第3のAl₂O₃膜に接し
 ていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項 5】

下部電極、誘電体、及び上部電極からなるキャパシタを有する半導体装置の製造方法において、

前記上部電極の上面のみに接する第1の Al_2O_3 膜をスパッタ法により成膜し、

前記キャパシタの上方における前記第1の Al_2O_3 膜の上側に第1の膜を成膜し、

前記第1の膜の上側に前記上部電極の側面に接する第2の Al_2O_3 膜をスパッタ法により成膜し、

前記第2の Al_2O_3 膜の上側に第3の Al_2O_3 膜をCVD法により成膜することを特徴とする半導体装置の製造方法。

【請求項 6】

前記CVD法はALD法であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項 7】

前記第2の Al_2O_3 膜は前記誘電体に接することを特徴とする請求項5または6に記載の半導体装置の製造方法。

【請求項 8】

前記第2の Al_2O_3 膜と前記第3の Al_2O_3 膜との間に第2の膜をさらに成膜し、前記キャパシタの側面において前記第2の Al_2O_3 膜の側面部が前記第3の Al_2O_3 膜に接していることを特徴とする請求項5乃至7のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に誘電体を用いたキャパシタを有する半導体装置及びその製造方法に関するものである。

【背景技術】

【0002】

強誘電体薄膜を利用した不揮発性メモリである強誘電体メモリ(FeRAM: Ferroelectric Random Access Memory)は、DRAMのキャパシタ部分を強誘電体で置き換えたものであり、次世代メモリとして期待されている。

【0003】

FeRAMでは、キャパシタ部分にPZT($Pb(Zr_xTi_{1-x})O_3$)、BIT($Bi_4Ti_3O_{12}$)、SBT($SrBi_2Ta_2O_9$)などの強誘電体材料を使用する。いずれも酸素八面体を基本構造とするペロブスカイト構造を基本とした結晶構造をもつ。これらの材料は従来のSi酸化膜と異なり、アモルファス状態ではその特徴である強誘電性は発現しないため、使用することができない。よって結晶化するための工程、例えば高温での結晶化熱処理、高温でのIn-situ結晶化プロセスなどが必要となる。材料にもよるが、一般的に少なくとも400-700の温度が結晶化のために必要となる。成膜方法としては、MOCVD法、スパッタ法、溶液法(CSD: Chemical Solution Deposition)がある。

【特許文献1】特開2001-36026号公報

【特許文献2】特開2002-43541号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述したような強誘電体材料を利用したFeRAMキャパシタは、キャパシタ膜成膜後の特性は良好であっても、その後の工程であるRIE工程や層間膜形成、配線工程、シンタ処理、モールド時などのプロセス時に、Hの拡散などによる工程ダメージを受け、キャパシタ特性が劣化するという問題があった。そこで、このダメージを回復するために酸素含有雰囲気下での熱処理が必要となっている。

10

20

30

40

50

【0005】

ところがキャパシタ構造は、高集積化に伴い、キャパシタの上部電極とトランジスタの活性領域とを接続するオフセット型のものから、最近ではより密度の高いFeRAMを作製すべく、プラグ上にキャパシタを配置するCOP(Capacitor On Plug)構造の開発が進められるに至っている。これは、トランジスタの活性領域から接続されたWやSiからなるプラグ構造がキャパシタ直下にあるもので、DRAMのスタックキャパシタの場合と同様にセルサイズを小さくすることができる。

【0006】

しかしながらこの構造では、ダメージの回復を図るための酸素含有雰囲気下での熱処理の際に、直下のプラグ材料が酸化されてコンタクト抵抗が高くなり、ひどい場合には剥離が生じるなどの問題がある。これを回避するために、TiAlN、TiN、TaSiNなどのバリア層の形成、IrO₂、Ir、RuO₂、Ruなどの電極材料が試みられている。しかしこの場合、構造が複雑になる等の欠点があり、熱処理に対する耐性は高いとはいえないため、低温短時間化が必須となっている。

10

【0007】

そこで、後工程でのキャパシタへのダメージ自体を低減するために、ダメージを低減する保護膜が使用されている。上記特許文献1では、保護膜としてAl酸化膜をキャパシタ上層部に利用することにより、ダメージを回避したキャパシタセルを得ている。また、Al酸化膜の製造方法としてはスパッタ法、CVD(Chemical Vapor Deposition)法などが有るが、上記特許文献2では、高集積化にともなう微細加工により、より段差被膜性の高いALD(atomic layer deposition)法が使用されている。

20

【0008】

しかし、CVD法の一つであるALD法は原料ガスに還元性の高いTMA(trimethyl-aluminum)を使用するため、成膜時にキャパシタ特性の劣化を引き起こすという問題がある。

【0009】

また、上記以外にキャパシタのRIE加工ダメージの低減を目的として、ダマシンプロセスを利用したキャパシタ作製プロセスなどが提案されているが、CMPを利用するプロセスでは酸化膜と誘電体膜、強誘電体膜が接した状態で熱処理をすることがあるために、その部分での反応が問題となる。例えば、PZTとSiO₂とは熱により鉛ガラスを形成して接触部分を著しく劣化させるという問題がある。

30

【0010】

本発明の目的は、後工程におけるダメージを低減可能な半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

課題を解決し目的を達成するために、本発明の態様の半導体装置及びその製造方法は以下の如く構成されている。

【0012】

40

本発明の一態様の半導体装置は、下部電極、誘電体、及び上部電極からなるキャパシタを有する半導体装置において、前記上部電極の上面のみに接しスパッタ法により成膜された柱状構造をなす第1のAl₂O₃膜と、前記上部電極の側面に接し前記第1のAl₂O₃膜の上側にスパッタ法により成膜された柱状構造をなす第2のAl₂O₃膜と、前記第2のAl₂O₃膜の上側にCVD法により成膜された第3のAl₂O₃膜と、前記キャパシタの上方における前記第1のAl₂O₃膜と前記第2のAl₂O₃膜の間に設けられた第1の膜と、を備えている。

【0013】

本発明の一態様の半導体装置の製造方法は、下部電極、誘電体、及び上部電極からなるキャパシタを有する半導体装置の製造方法において、前記上部電極の上面のみに接する第

50

1の Al_2O_3 膜をスパッタ法により成膜し、前記キャパシタの上方における前記第1の Al_2O_3 膜の上側に第1の膜を成膜し、前記第1の膜の上側に前記上部電極の側面に接する第2の Al_2O_3 膜をスパッタ法により成膜し、前記第2の Al_2O_3 膜の上側に第3の Al_2O_3 膜をCVD法により成膜する。

【発明の効果】

【0014】

本発明によれば、後工程におけるダメージを低減可能な半導体装置及びその製造方法を提供でき、良好な電気特性を有するキャパシタ及びそれを有する半導体装置を実現できる。すなわち、キャパシタ構造において2種類の保護膜を用いることにより、保護膜の形成に伴うキャパシタ特性の劣化を回避しつつ、層間膜形成、RIEなどに伴う特性劣化を回避することが可能になる。

10

【発明を実施するための最良の形態】

【0015】

以下、実施の形態を図面を参照して説明する。

【0016】

図1は、本実施の形態に係るFeRAMの製造プロセスを示す断面図である。本実施の形態では、キャパシタ下に位置するプラグ材にタングステンを用いたCOP型FeRAMセルについて述べる。

【0017】

まず、図1の(a)に示すように、P型Si基板S表面のトランジスタ活性領域以外の領域に、素子分離のための溝を形成し、該溝内に SiO_2 を埋め込んで素子分離領域101を形成する(Sallow Trench Isolation)。続いて、スイッチ動作を行うためのトランジスタを形成する。

20

【0018】

まず、Si基板全面に熱酸化により厚さ6nm程度の酸化膜102を形成し、続いて酸化膜102全面にヒ素をドーブしたn+型多結晶シリコン膜103を形成し、さらに多結晶シリコン膜103上に WSi_x 膜104を、 WSi_x 膜104上に窒化膜105を形成する。その後、多結晶シリコン膜103、 WSi_x 膜104、及び窒化膜105を通常の光リソグラフィ法及びRIE法により加工し、ゲート電極100を形成する。

【0019】

30

さらに、窒化膜106を堆積し、RIEによる側壁残しの手法によってゲート電極100側壁にスペーサ部を設ける。同時に、プロセスの詳細は省くが、イオン注入法及び熱処理によってソース・ドレイン領域107を形成する。

【0020】

次に、図1の(b)に示すように、全面にCVD酸化膜108を堆積後、一旦CMP法により平坦化を行い、トランジスタの一方のソース・ドレイン領域107に連通するコンタクトホール109を形成する。この後、スパッタ法あるいはCVD法により薄いチタン膜を堆積し、フォーミングガス中で熱処理を行うことによってTiN膜110を形成する。続いて、CVDタングステン111を全面に堆積し、CMP法によりコンタクトホール109外の領域からタングステン111を除去し、コンタクトホール109内にタングステンを埋め込む。

40

【0021】

その後、全面にCVD窒化膜112を堆積し、さらにトランジスタの他方のソース・ドレイン領域107に連通するコンタクトホール113を形成し、同様にしてTiN膜114を形成し、タングステン115をコンタクトホール113内に埋め込み、キャパシタに連通するプラグを形成する。

【0022】

この後、図1の(c)に示すように、スパッタ法により厚さ10nmの炭化ケイ素膜116をCVD窒化膜112全面に堆積し、続いてスパッタ法により厚さ3nm程度のチタン膜117を炭化ケイ素膜116上全面に堆積する。この後、チタン膜117上全面にキ

50

ャパシタ下部電極200となる厚さ30nmのイリジウム膜118と厚さ20nmの第1の白金膜119とをスパッタ法にて形成する。

【0023】

さらに、第1の白金膜119上にキャパシタ誘電体膜300となるPZT膜120をスパッタ法により形成し、一旦酸素雰囲気中での急速加熱処理(RTA)によりPZT膜120の結晶化を行う。この後、PZT膜120上にキャパシタ上部電極400となる第2の白金膜121をスパッタ法により形成する。

【0024】

その後、白金膜121上に保護膜122として Al_2O_3 膜をスパッタ法により形成する。成膜温度は350、膜厚は10nmとした。続いて、保護膜122上に加工マスク材としてCVD酸化膜1221を堆積し、光リソグラフィ法とRIE法によって該CVD酸化膜1221をパターンニングしフォトリジストを除去した後、保護膜122、第2の白金膜121、及びPZT膜120をRIE法によってエッチング加工する。

【0025】

次に、保護膜123として Al_2O_3 膜をスパッタ法により形成する。成膜温度は350、膜厚は10nmとした。続いて、保護膜123上に加工マスク材としてCVD酸化膜1231を堆積し、光リソグラフィ法とRIE法の組合せによって保護膜123、第1の白金膜119、イリジウム膜118、チタン膜117、炭化ケイ素膜116の順にパターンニング加工を行い、キャパシタの形成を完了する。

【0026】

この後、保護膜124として Al_2O_3 膜をCVD法の一つであるALD法により形成する。成膜温度は200、膜厚は10nmとした。続いて、保護膜124上にCVD酸化膜125を50nm堆積し、保護膜126として Al_2O_3 膜をALD法により形成する。成膜温度は200、膜厚は10nmとした。

【0027】

次に、全面にCVD酸化膜127を堆積し該キャパシタを覆い、CMPによる平坦化を行い、光リソグラフィ法とRIE法によってCVD酸化膜127をパターンニングし、第2の白金膜121へのコンタクトホール128を形成する。続いて、加工時にPZT膜120に生じたダメージを除去するために、酸素雰囲気下で600程度の熱処理を行う。

【0028】

この後、図示しないが、ドライブ線、ビット線の形成、さらに上層メタル配線の工程を経て、FeRAMが完成することになる。

【0029】

図2は、本実施の形態の製造プロセスにより製造されたFeRAMの主要部を示す断面図である。図2に示すように、第2の白金膜121(上部電極)の上面にスパッタ法による保護膜122が形成され、保護膜122の上側、第2の白金膜121の側面、PZT膜120(誘電体膜)の側面、及び第1の白金膜119(下部電極)の上面に、スパッタ法による保護膜123が形成されている。さらに、保護膜123の上側と第1の白金膜119の側面にALD法による保護膜124が形成され、保護膜124の上側にALD法による保護膜126が形成されている。

【0030】

以上のように、保護膜122, 123(第1の保護膜)にスパッタ法により形成した Al_2O_3 膜を使用し、保護膜124, 126(第2の保護膜)にALD法により形成した Al_2O_3 膜を使用することにより、加工時、CVD酸化膜の堆積時、さらにはALD法による Al_2O_3 膜の形成時等に生じるPZT膜120へのダメージを低減することが可能となる。

【0031】

なお、本実施の形態においては、保護膜122, 123ともにスパッタ膜を使用して形成したが、保護膜122だけにスパッタ膜を使用した場合にも効果が有ることが確認されている。キャパシタ材料としては、強誘電体膜にPZT膜、上下電極に白金を用いたが、

10

20

30

40

50

このような材料に限定されることはない。たとえば、強誘電体膜としてS B T膜を用いることも可能である。また、電極としてイリジウム、ルテニウム、あるいはストロンチウムルテニウム酸化物のような化合物導電体も使用することが可能である。

【 0 0 3 2 】

本実施の形態は、F e R A Mや高誘電体キャパシタを有するD R A Mにおけるキャパシタプロセスのように、キャパシタ形成工程におけるR I EやプラズマC V D工程により生じるダメージを回避または軽減する目的で保護膜を使用する構造において、キャパシタ特性の劣化の極めて少ない新たな半導体装置ならびにその製造方法を提供している。

【 0 0 3 3 】

本実施の形態では、これらの問題を解決し特性の優れたキャパシタ誘電体膜の形成を可能にしつつ、下地プラグとの熱的安定性を同時に図ることを可能にする。これにより、信頼性の高い微細かつ高集積なF e R A MやD R A Mなどの半導体装置を提供することが可能になる。以下に、その効果について具体的に説明する。

【 0 0 3 4 】

A l 酸化膜は、耐水素バリア性を有しR I E工程やプラズマC V D工程さらにはシタ工程からキャパシタ特性の劣化を防ぐ保護膜として有効である。C V D法によるA l 酸化膜の成膜は、段差被膜性が良く、特にA L D (a t o m i c l a y e r d e p o s i t i o n) 法は段差被膜性、膜厚制御性に優れている。しかし、A L D法によりA l 酸化膜の成膜を行う際には、原料ガスとしてT M A (t r y m e t n y l - A l u m i n u m) を使用するため、キャパシタ上部電極、または強誘電体に直接成膜を行うと、T M Aより発生した水素によりキャパシタ特性を劣化させてしまう。

【 0 0 3 5 】

しかし本実施の形態のように、キャパシタ上部電極、または強誘電体に直接接する保護膜はスパッタ法を、その上側の保護膜は段差被膜性の良いA L D法を用いて形成することにより、水素に対するバリア性が高まり、キャパシタ特性を劣化させることなく、A l 酸化膜を保護膜として形成することが可能となり、後工程ダメージを回避して優れた特性を持つ強誘電体キャパシタセルを得ることが可能となる。

【 0 0 3 6 】

さらに、スパッタ法によりA l 酸化膜を形成するときの成膜温度を3 5 0 とすることにより、A l 酸化膜である保護膜1 2 2 , 1 2 3の構造は、図3に示す断面画像のように粒界を有する柱状構造となる。このときのA l ₂ O ₃膜の粒径は2 0 ~ 5 0 n mであった。よって、保護膜1 2 2 , 1 2 3における緻密化された柱状構造により、粒界で水素が留まるため水素の透過性が低くなり、バリア性が高まり、後工程のダメージをより低減することが可能となる。なお、柱状構造を形成するための成膜温度の範囲は2 0 0 以上6 0 0 以下である。また、その他の保護膜1 2 4 , 1 2 6は、アモルファス構造をなしている。

【 0 0 3 7 】

図4は、本実施の形態により製造したF e R A Mキャパシタにおけるヒステリシス特性を示す図である。図4から分かるように良好なヒステリシス特性が得られている。

【 0 0 3 8 】

図5は、F e R A Mキャパシタにおけるヒステリシス特性を示す図であり、(a) は全ての保護膜1 2 2 , 1 2 3 , 1 2 4 , 1 2 6にC V D法により形成したA l ₂ O ₃膜を使用した場合、(b) は全ての保護膜1 2 2 , 1 2 3 , 1 2 4 , 1 2 6にスパッタ法により形成したA l ₂ O ₃膜を使用した場合を示す図である。図5の(a) , (b) に比べて、図4の本実施の形態によるヒステリシス特性が良好であることが分かる。

【 0 0 3 9 】

図5の(a) に示すように全ての保護膜をC V D法により形成する場合、上部電極とP Z T膜の側面に直接A l ₂ O ₃を成膜する際に、C V Dプロセスの原料であるT M AによりA l ₂ O ₃成膜初期にP Z Tが還元されキャパシタ特性が劣化する。このC V Dプロセスのダメージの分だけ、図5の(a) では図4に比べて特性が悪くなっている。

10

20

30

40

50

【0040】

図5の(b)に示すように全ての保護膜をスパッタ法により形成する場合、CVDプロセスのようなダメージはないが、スパッタ Al_2O_3 膜自身の H_2 バリア性が低いことと段差被膜性が低いことにより、 Al_2O_3 を成膜できない部分が発生し、そこから H_2 が拡散しキャパシタ特性を劣化させてしまう。このバリア性の低い分だけ、図5の(b)では図4に比べて特性が悪くなっている。

【0041】

一方、図4の場合は、まずプロセスダメージを受けやすい上部電極とPZT膜の側面に直接 Al_2O_3 を成膜する際にスパッタ法を利用し、その上部を成膜する際にALD法を利用してバリア性を高くし完全にキャパシタを覆うことで、後工程のダメージを効果的に防ぐことが可能となる。よって図4では、図5の(a)、(b)に比べて良好な特性が得られている。

10

【0042】

以上のように、本実施の形態により微細でかつ高密度・高集積な強誘電体メモリを提供することが可能になる。

【0043】

なお、本発明は上記実施の形態のみに限定されず、要旨を変更しない範囲で適宜変形して実施できる。たとえば、本発明は強誘電体メモリに限らず強誘電体キャパシタを用いたDRAMにおいても適用できる。

【図面の簡単な説明】

20

【0044】

【図1】本実施の形態に係るFeRAMの製造プロセスを示す断面図。

【図2】本実施の形態の製造プロセスにより製造されたFeRAMの主要部を示す断面図。

。

【図3】本実施の形態に係る保護膜の柱状構造を示す断面画像。

【図4】本実施の形態により製造したFeRAMキャパシタにおけるヒステリシス特性を示す図。

【図5】本実施の形態に係るCVD法とスパッタ法により形成した保護膜を使用した場合のFeRAMキャパシタにおけるヒステリシス特性を示す図。

【符号の説明】

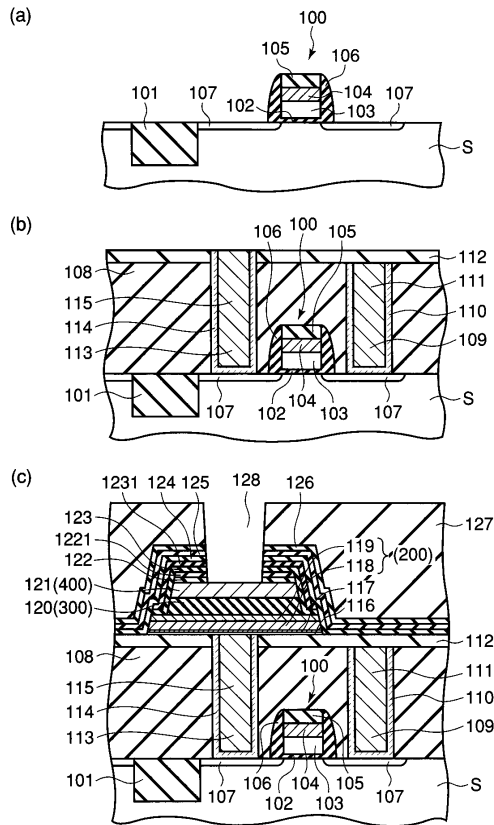
30

【0045】

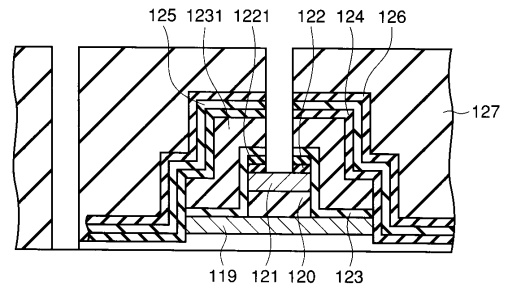
S...Si基板 100...ゲート電極 101...素子分離領域 102...酸化膜 103...多結晶シリコン膜 104... WSi_x 膜 105...窒化膜 106...窒化膜 107...ソース・ドレイン領域 108...CVD酸化膜 109...コンタクトホール 110...TiN膜 111...CVDタングステン 112...CVD窒化膜 113...コンタクトホール 114...TiN膜 115...タングステン 116...炭化ケイ素膜 117...チタン膜 118...イリジウム膜 119...第1の白金膜 120...PZT膜 121...第2の白金膜 122...保護膜 1221...CVD酸化膜 123...保護膜 1231...CVD酸化膜 124...保護膜 125...CVD酸化膜 126...保護膜 127...CVD酸化膜 128...コンタクトホール 200...キャパシタ下部電極 300...キャパシタ誘電体膜 400...キャパシタ上部電極

40

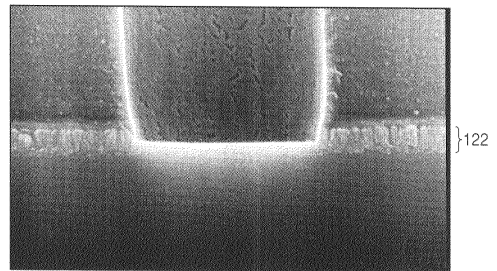
【 図 1 】



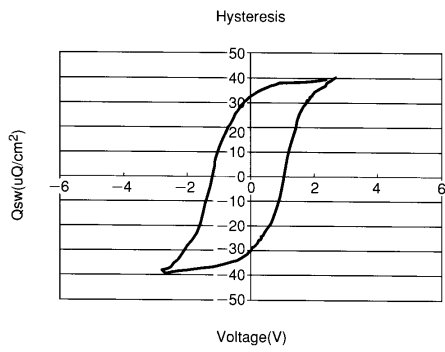
【 図 2 】



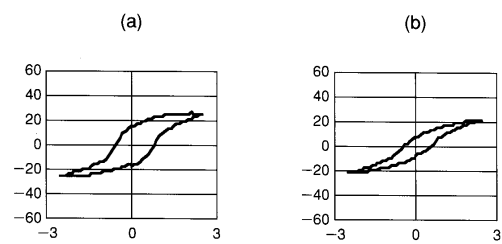
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/04 (2006.01)

- (74)代理人 100108855
弁理士 蔵田 昌俊
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100092196
弁理士 橋本 良郎
- (72)発明者 名取 克晃
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 金谷 宏行
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 山川 晃司
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 カール・ホルニック
東京都品川区東五反田 3 - 2 0 - 1 4
- (72)発明者 アンドレアス・ヒリガー
東京都品川区東五反田 3 - 2 0 - 1 4

審査官 柴山 将隆

- (56)参考文献 欧州特許第 0 1 4 1 6 5 2 1 (E P , B 1)
特開 2 0 0 1 - 1 1 1 0 0 7 (J P , A)
特開昭 6 1 - 1 8 9 6 6 9 (J P , A)
特開平 0 4 - 1 9 5 9 0 8 (J P , A)
特開 2 0 0 2 - 1 0 0 7 4 2 (J P , A)
特開平 1 1 - 1 4 5 4 1 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 6
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 1 0 5
H 0 1 L 2 7 / 1 0 8