

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-502535

(P2004-502535A)

(43) 公表日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
B05D 3/02	B05D 3/02 Z	4D075
B05C 9/14	B05C 9/14	4F042
B05D 1/40	B05D 1/40 A	5F045
B05D 7/00	B05D 7/00 H	5F058
H01L 21/31	H01L 21/31 A	
審査請求 未請求 予備審査請求 有 (全 93 頁) 最終頁に続く		

(21) 出願番号	特願2002-508580 (P2002-508580)	(71) 出願人	596087007
(86) (22) 出願日	平成13年7月11日 (2001.7.11)		エフエスアイ インターナショナル イン
(85) 翻訳文提出日	平成15年1月14日 (2003.1.14)		コーポレイテッド
(86) 国際出願番号	PCT/US2001/021927		アメリカ合衆国 ミネソタ 55318-
(87) 国際公開番号	W02002/004134		1096 チャスカ レイク ハゼルティ
(87) 国際公開日	平成14年1月17日 (2002.1.17)		ン ドライブ 322
(31) 優先権主張番号	09/614, 746	(74) 代理人	100068618
(32) 優先日	平成12年7月12日 (2000.7.12)		弁理士 萼 経夫
(33) 優先権主張国	米国 (US)	(74) 代理人	100104145
			弁理士 宮崎 嘉夫
		(74) 代理人	100109690
			弁理士 小野塚 薫
		最終頁に続く	

(54) 【発明の名称】 マイクロエレクトロニックデバイスへの組込みに好適な低誘電率誘電体膜を形成する熱処理システムおよび方法

(57) 【要約】

低誘電率特性及び低屈折率を有する薄膜を製造するための単一のウエハ処理方法及びシステム。この方法は、硬化及び硬化後の両方でその場所でガス冷却が起こるようにした処理ステーションを含んでいる。

【特許請求の範囲】

【請求項 1】

基板上に硬化した誘電体組成物を形成する方法であって、

- (a) 熱的に硬化可能な誘電体の前駆材料からなる組成物を前記基板の少なくとも一部分に被膜し、
- (b) 処理室内に前記被膜された基板を配置させるようにし、
- (c) 前記被膜された基板が前記処理室内に配置されている間に、
- (i) 前記誘電体の前駆材料を熱的に硬化処理して、硬化した誘電体組成物を形成し、
- (i i) 冷却用ガスを前記硬化した誘電体組成物に接触させ、
- (d) 前記冷却用ガスを前記硬化した誘電体組成物に接触させた後、前記被膜された基
10 板を処理室から排出する、各工程を有することを特徴とする方法。

【請求項 2】

前記誘電体の前駆材料は、有機ポリポリマー成分からなり、前記熱硬化処理の少なくとも一部分は、嫌気性状態の下で行われることを特徴とする請求項 1 記載の方法。

【請求項 3】

前記誘電体の前駆材料は、有機ポリポリマー成分からなり、前記熱硬化処理とガス冷却の少なくとも一部分は、嫌気性状態の下で行われることを特徴とする請求項 1 記載の方法。

【請求項 4】

前記熱硬化処理及び冷却用ガスの接触の少なくともほとんどが、嫌気性状態下で行われることを特徴とする請求項 3 記載の方法。
20

【請求項 5】

前記嫌気性状態は、酸素が約 200 ppm 以下である無酸素状態の環境において前記被膜された基板を熱処理することを特徴とする請求項 2 記載の方法。

【請求項 6】

前記嫌気性状態は、酸素が約 200 ppm 以下であることを特徴とする請求項 4 記載の方法。

【請求項 7】

前記誘電体の前駆材料は、無機ポリポリマー成分からなり、前記熱硬化処理とガス冷却の少なくとも一部分は、嫌気性状態の下で行われることを特徴とする請求項 1 記載の方法。

【請求項 8】

入口に操作上かみ合うサイドドアを介して、処理される基板が、処理室に移送されかつ排出されることを特徴とする請求項 1 記載の方法。
30

【請求項 9】

前記被膜工程は、基板上に硬化可能な誘電体の前駆材料からなる組成物をスピニングすることを含んでいる請求項 1 記載の方法。

【請求項 10】

前記誘電体の前駆材料は、硬化温度を有し、被膜された組成物は、溶媒を含み、硬化温度での温度またはそれ以上の温度で熱硬化を生じ、さらに、被膜形成後で硬化前に、前記溶媒の少なくとも一部分を取り除くために、硬化温度以下の温度で被膜された組成物を予め焼成させる工程を含んでいることを特徴とする請求項 1 記載の方法。
40

【請求項 11】

前記予め焼成工程は、被膜された組成物が一定量の残留溶媒を含んでいるような状態の下で行われることを特徴とする請求項 10 記載の方法。

【請求項 12】

前記残留溶媒は、被膜時点での組成物内に含まれる全溶媒の約 0.5 ～ 約 5 重量パーセントからなることを特徴とする請求項 11 記載の方法。

【請求項 13】

前記熱硬化処理の少なくとも一部分の工程は、真空下で行われることを特徴とする請求項 1 記載の方法。

【請求項 14】

複数の基板上に誘電体組成物を形成する方法であって、

- (a) 第1の基板上に硬化可能な誘電体の前駆材料からなる組成物を被膜し、
 - (b) 前記被膜工程の終了から第1の時間間隔の後に予め焼成処理を開始して、この被膜された基板を予め焼成させ、
 - (c) 前記予め焼成処理の終了から第2の時間間隔の後に熱的な硬化処理を開始して、前記被膜された基板を熱的に硬化させ、
 - (d) 前記熱的な硬化処理の終了から第3の時間間隔の後に前記冷却処理を開始して、前記熱的に硬化した基板を冷却させ、
 - (e) 少なくとも1つの付加的な基板に対して、前記(a)～(d)の工程を繰り返す各工程を有しており、
- 前記被膜された第1の基板と前記少なくとも1つの付加的に被膜された基板の各々に対するそれぞれの第2の時間間隔がほぼ等しいことを特徴とする方法。

10

【請求項15】

前記被膜された第1の基板と前記少なくとも1つの付加的に被膜された基板の各々に対するそれぞれの第1の時間間隔がほぼ等しいことを特徴とする請求項14記載の方法。

【請求項16】

前記被膜された第1の基板と前記少なくとも1つの付加的に被膜された基板の各々に対するそれぞれの第3の時間間隔がほぼ等しいことを特徴とする請求項14記載の方法。

【請求項17】

前記被膜された第1の基板と前記少なくとも1つの付加的に被膜された基板の各々に対するそれぞれの第1の時間間隔がほぼ等しいことを特徴とする請求項16記載の方法。

20

【請求項18】

冷却の少なくとも一部分は、前記熱的に硬化した基板に冷却用ガスを接触させることにより生じ、前記熱的な硬化処理及び前記冷却用ガスの接触は、同一の処理室で生じることを特徴とする請求項14記載の方法。

【請求項19】

前記誘電体の前駆材料は、有機ポリポリマー成分からなり、前記熱硬化処理の少なくとも一部分は、嫌気性状態下で行われることを特徴とする請求項1記載の方法。

【請求項20】

前記誘電体の前駆材料は、有機ポリポリマー成分からなり、前記熱硬化処理と前記冷却用ガスの接触の少なくとも一部分は、嫌気性状態下で行われることを特徴とする請求項15記載の方法。

30

【請求項21】

前記熱硬化処理及び冷却用ガスの接触の少なくともほとんどが、嫌気性状態下で行われることを特徴とする請求項18記載の方法。

【請求項22】

前記熱硬化処理の少なくとも一部分の工程は、真空下で行われることを特徴とする請求項14記載の方法。

【請求項23】

基板上に硬化した誘電体組成物を形成する方法であって、

40

- (a) 熱的に硬化可能な誘電体の前駆材料と、前記基板の少なくとも一部分に被膜可能な粘性を有する一定量の溶媒とを含んでいる組成物を被膜し、
- (b) 前記被膜された誘電体の前駆材料の少なくとも一部分が硬化されずかつ被膜された組成物が一定量の残留溶媒を含んでいるような状態の下で、第1に前記被膜された基板を比較的低い温度プロファイルで予め焼成し、
- (c) 前記誘電体の前駆材料の少なくともほとんどが、前記誘電体組成物を形成するために硬化される状態の下で、第2に前記誘電体の前駆材料を比較的高い温度プロファイルで熱的に硬化し、
- (d) 前記硬化した誘電体組成物を冷却する、各工程を含むことを特徴とする方法。

【請求項24】

50

基板上に硬化した誘電体組成物を形成する方法であって、

(a) 熱的に硬化可能な誘電体の前駆材料からなる組成物を前記基板の少なくとも一部分に被膜し、

(b) 処理室内に前記被膜された基板を配置させるようにし、

(c) 前記被膜された基板が前記処理室内に配置されている間に、

(i) 前記誘電体の前駆材料を熱硬化して、硬化した誘電体組成物を形成し、前記熱硬化の少なくとも一部分は、嫌気性状態の下で生じるようにし、

(i i) 冷却用ガスを前記硬化した誘電体組成物に接触させ、

(d) 前記冷却用ガスを前記硬化した誘電体組成物に接触させた後、前記被膜された基板を処理室から排出する、各工程を有することを特徴とする方法。

10

【請求項 25】

複数の基板上にそれぞれ誘電体組成物を形成する方法であって、

(a) 第1基板上に第1誘電体の前駆材料からなる第1組成物を被膜し、

(b) 処理室内に前記被膜された前記第1基板を配置させるようにし、

(c) 前記被膜された第1基板が前記処理室内に配置されている間に、

(i) 前記被膜した第1基板を熱硬化できる状態の下で、前記第1基板を熱源と熱的に接触させ、

(i i) 冷却用ガスを前記熱硬化した第1基板に接触させ、

(d) 前記第2基板に対して前記(a)～(c)の工程を繰り返す、各工程を有することを特徴とする方法。

20

【請求項 26】

前記(a)～(c)の繰り返す工程の少なくとも一部分は、これらの一部分が第1基板に対して実行する間に生じることを特徴とする請求項25記載の方法。

【請求項 27】

前記被膜、配置、熱硬化、及び冷却の各工程は、少なくとも1つの入力／出力モジュール、少なくとも1つの被膜処理モジュール、少なくとも1つの硬化／冷却の組合せモジュールを含んでいるクラスターツールで実行されることを特徴とする請求項25記載の方法。

【請求項 28】

前記クラスターツールは、少なくとも2つの硬化／冷却モジュールを含み、前記第2基板を硬化する工程の少なくとも一部分が生じている間に、前記第1基板を硬化する工程の少なくとも一部が生じることを特徴とする請求項27記載の方法。

30

【請求項 29】

前記クラスターツールは、少なくとも2つの硬化／冷却モジュールを含み、前記第2基板をガス冷却する工程の少なくとも一部分が生じている間に、前記第1基板をガス冷却する工程の少なくとも一部が生じることを特徴とする請求項27記載の方法。

【請求項 30】

前記クラスターツールは、少なくとも2つの硬化／冷却モジュールを含み、前記第2基板をガス冷却する工程の少なくとも一部分が生じている間に、前記第1基板をガス冷却する工程の少なくとも一部が生じることを特徴とする請求項27記載の方法。

【請求項 31】

第1、第2基板の各々は、第1、第2の各処理方法に従って並行に処理され、前記第1、第2の処理方法は異なっていることを特徴とする請求項25記載の方法。

40

【請求項 32】

第1、第2基板の各々は、第1、第2の各処理方法に従って並行に処理され、前記第1、第2の処理方法はほぼ同一であることを特徴とする請求項29記載の方法。

【請求項 33】

被膜された前記第1、第2基板の各々を予め焼成処理にさらす工程をさらに含み、この予め焼成処理は、熱硬化の前に生じることを特徴とする請求項25記載の方法。

【請求項 34】

被膜された第1基板の熱硬化は、対応する予め焼成処理の終了から第1の時間間隔の後で

50

開始され、被膜された第2基板の熱硬化は、対応する予め焼成処理の終了から第2の時間間隔の後で開始され、前記第1、第2の時間間隔は、ほぼ同一であることを特徴とする請求項33記載の方法。

【請求項35】

第1、第2基板の各々は、第1、第2の処理方法に順次従って処理され、前記第1、第2の処理方法は、ほぼ同一であることを特徴とする請求項34記載の方法。

【請求項36】

第1、第2基板の各々は、第1、第2の処理方法に順次従って処理され、前記第1、第2の処理方法は、互いに異なることを特徴とする請求項34記載の方法。

【請求項37】

複数の基板上にそれぞれ誘電体組成物を形成する方法であって、

(a) 少なくとも1つの処理されるべき基板を含んでいる第1、第2群の基板を供給し、

(b) 第1処理方法に従って、

(i) 前記第1群の各基板上に第1誘電体の前駆材料からなる組成物を被膜され、

(i i) 被膜された前記第1群の基板の各々を処理室内に配置させ、

(i i i) 前記第1群の基板の各々が前記処理室内に配置されている間、第1群の被膜された各基板が、熱硬化できる状態の下で熱源と熱的に接触させ、さらに、硬化した各第1基板に冷却用ガスを接触させ、

(c) 前記第1の処理方法と異なる第2の処理方法に従って、前記第2群の各基板に対して工程(b)を繰り返す、各工程を有することを特徴とする方法。

【請求項38】

マイクロエレクトロニクス素子の前駆材料を熱処理するための装置であって、

前記前駆材料が処理中に配置される処理室と、

前記前駆材料が処理中に加熱されるように前記処理室に熱的に連結される熱源と、

処理中に前記前駆材料に接触して冷却するために、前記処理室内に流体連通する冷却ガス源と、

前記前駆材料を処理中に少なくとも1つの加熱工程と少なくとも1つの冷却工程を含む所望の温度処理プロファイルにさらすために、前記熱源と冷却ガス源を制御する制御システムとを含むことを特徴とする装置。

【請求項39】

前駆材料の加熱位置と冷却位置を含む動作範囲を通して前記前駆材料を搬送するために、前記処理室に配置される前駆材料に連結して動作する搬送機構をさらに含むことを特徴とする請求項38記載の装置。

【請求項40】

前記前駆材料が処理室内に供給されかつ処理室から排出される動作時に装置の側面に配置される入口をさらに含むことを特徴とする請求項38記載の装置。

【請求項41】

前記熱源は、処理室内に配置された焼成プレートを含み、かつ前記焼成プレートが少なくとも部分的に支持される中空支持部材をさらに含んでいることを特徴とする請求項38記載の装置。

【請求項42】

少なくとも1つの加熱／冷却の組合せ処理ステーションを含むクラスターツールであって、

前記処理ステーションは、前駆材料が処理中に配置される処理室と、

前記前駆材料が処理中に加熱されるように前記処理室に熱的に連結される熱源と、

処理中に前記前駆材料に接触して冷却するために、前記処理室内に流体連通する冷却ガス源と、を含むことを特徴とするクラスターツール。

【請求項43】

さらに、入力／出力ステーション、被膜ステーション、予め焼成ステーション、及びロボ

10

20

30

40

50

ットを含み、前記ロボットが、各ステーションからワークピースを作動的に供給及び排出できるように運動の作動範囲を含んでいることを特徴とする請求項４２記載のクラスターツール。

【請求項４４】

一体となった付加的な加熱／冷却処理ステーションをさらに含むことを特徴とする請求項４３記載のクラスターツール。

【請求項４５】

前記付加的な加熱／冷却処理ステーションは、他の加熱／冷却処理ステーションの上方に垂直に配置されていることを特徴とする請求項４４記載のクラスターツール。

【請求項４６】

少なくとも１つの中央ユーティリティー源をさらに含み、このユーティリティー源は、前記加熱／冷却の組合せ処理ステーションに対して独立に連結されていることを特徴とする請求項４３記載のクラスターツール。

【請求項４７】

少なくとも１つの予め焼成ステーションをさらに含んでいることを特徴とする請求項４４記載のクラスターツール。

【請求項４８】

被膜可能な組成物の供給源に連結して作動可能な分配ステーションをさらに含んでいることを特徴とする請求項４２記載のクラスターツール。

【発明の詳細な説明】

【０００１】

（技術分野）

本発明は、たとえばロジックデバイスやメモリーデバイス内の相互接続構造の形成における使用などの、マイクロエレクトロニクスへの応用に好適な誘電体膜を形成するシステムおよび方法に関する。特に、本発明は、そのような膜が、マイクロエレクトロニックデバイスの基板上に、処理室で誘電体前駆材料を熱硬化させ、次に、基板がチャンバから取り出される前に、硬化した材料をその場で冷却することによって形成される、統合化されたシステムおよび方法に関する。

【０００２】

（背景技術）

電子デバイスの動作周波数がギガヘルツ領域に入り、デバイス形状の寸法が小さくなるにつれて、高性能ＵＬＳＩ回路において、消費電力の増大を抑え、信号遅延を低減し、相互接続クロストークを最小化するために、低誘電率の絶縁材料（低ｋ誘電体）が必要とされている。低誘電率材料は、ギャップ充填およびダマシン（D a m a s c e n e）プロセスへの応用を含む、多くのマイクロエレクトロニックデバイスへの応用において強く望まれている。誘電体の誘電率は、その品質を示す特性の１つである。誘電体の品質を示すその他の特性には、機械的特性、屈折率、均一性、熱安定性、製造性、ＣｕまたはＡｌとの集積性などが含まれる。

【０００３】

大部分の誘電体膜は、スピンコーティング法か、または化学蒸着法（たとえば、ＰＥＣＶＤやＨＤＰ）のいずれかを使用して形成される。スピンコーティング法では、適切な溶媒中に溶けた誘電体膜の前駆材料（通常、硬化性モノマー、オリゴマー、およびポリマーのうちの少なくとも１つ）を含むスピンコート可能な溶液が、マイクロエレクトロニックデバイスの前駆材料（たとえば、シリコンウエハ）やその類似物のような回転する基板上にスピンコーティングされ、その基板上に、均一で、相対的に薄い被膜が形成される。次に、溶液を除去し、被膜を乾燥し、誘電体を重合のＢ段階に進行させるために、被膜が形成された基板は、典型的には１００℃～約３２５℃の範囲の温度で焼成される。次に、典型的には約３５０℃～約４５０℃の範囲の適切な硬化温度で基板を加熱することによって、被膜は硬化し、重合のＣ段階に進行する。

【０００４】

10

20

30

40

50

硬化した誘電体膜は、一般に低kスピノン誘電体と総称される。さまざまな企業から種々の低kスピノン誘電体の前駆材料が購入でき、それらは、マイクロエレクトロニクスデバイス中への誘電体膜の形成用として販売されている。そのような製品の代表的な例は、次のような商標で市販されている。すなわち、Honeywell, Inc. の FLARE、Dow Chemical Co. の SILK、Schumacher の VALOX、Honeywell, Inc. の HOSP、Dow Corning Company の HSQ である。FLARE および SILK は、それぞれポリアリールエーテルおよび芳香族炭化水素であり、有機材料である。HOSP はメチル置換シルセスキオキサンであり、無機-有機複合材料である。HSQ は水素化シルセスキオキサンであり、無機材料である。デュアルダマシンプロセスにおいて、これらの材料を多層化されたアルミニウムもしくは銅、またはその両方と正常に集積するためには、それぞれの材料に固有のプロセス工程が必要であるが、それぞれの材料は、一般に約350℃～約450℃の範囲の温度で熱硬化される。

【0005】

硬化によって多孔質誘電体膜（好ましくは、超低k膜および極低k膜）を形成する誘電体前駆材料も知られている。これらの材料は、一般に、硬化性の誘電体前駆材料だけではなく、1つまたは複数の相対的に揮発性の高い成分（「ポロジェン（porogens）」と呼ばれる）も含むものである。これらのポロジェンは、硬化時にガスを発生させる傾向を有し、膜の多孔性の要因となる。このような材料の代表的な例は、それぞれ次のような商標で知られている。すなわち、Dow Chemical Co. の NAUTILUSTM、Honeywell, Inc. の POROUS FLARETM、Schumacher (Carlsbad, CA) の POLY ELKTM および MONO ELKTM、JSR Corp. の LKDTM、Catalysts and Chemicals, Ltd. (日本) の ISPTM、Hitachi Chemical Co., Ltd. の HSGTM である。

【0006】

低kスピノン誘電体の硬化方法は、合成される誘電体膜の品質に大きな影響を及ぼす。硬化が不注意に実行されると、膜の品質が害される。たとえば、膜の品質が低く、ブランケット膜としては使用できない場合、アルミニウムもしくは銅の集積プロセスには耐えられない場合、またはその両方である場合などがあり得る。硬化に影響を及ぼす要因には、硬化処理の際の時間と、温度と、処理環境との制御方法が含まれる。

【0007】

従来から、コーティング工程と焼成工程とは、同じ装置において、一体化された方法で実行されてきた。しかしながら、硬化工程は、通常、被膜が形成されたマイクロエレクトロニクスデバイスの基板のバッチを、独立した炉内で加熱することによって達成されてきた。炉が好まれたのは、加熱プラテンによる硬化処理では、マイクロエレクトロニクス産業が要求する品質の誘電体膜を製造できないというのが、従来の常識であったからである。

【0008】

【発明が解決しようとする課題】

しかし、本発明者の見解では、炉による処理は最適な方法ではない。炉による硬化処理はバッチ処理になることが多く、30枚から100枚、またはそれ以上の枚数のウエハを一度に硬化することになるが、製造業者達は、それぞれの、そしてすべての工程内ウエハを、確実に同じ条件下で処理することに役立つ、単一ウエハ処理を望んでいる。単一ウエハ処理は、処理に不具合が生じた場合にも、危険に晒される基板は1枚のみであるため、望ましいものである。それに対して、炉による硬化処理時に不具合が生じた場合には、基板のバッチ全体が損壊する可能性がある。1枚の工程内300mmウエハが、100万ドルまたはそれ以上に及ぶ価値を有する場合があるとすれば、処理のリスクを最小化することは重要である。

【0009】

本発明者は、本発明の開発の過程で、炉による処理では、誘電体膜の形成の際にいくらか

の不均一性および品質の問題が不可避免的に発生することを確認した。本発明者の見解では、これらの不均一性および品質の問題が発生する理由の少なくとも一部は、焼成工程と硬化工程との間の時間の基板ごとのばらつきが大き過ぎることである。一般に、先に焼成された基板は、バッチ全体が炉内に投入される前に、後の基板が焼成されるまで待たなければならない。確かに、従来の処理では、焼成工程と硬化工程との間の時間の管理は不十分であった。その他のステーション間およびステーション内における時間の管理も不十分であった。従来の処理における例を挙げれば、コーティング工程と焼成工程との間の遅延、硬化工程とそれに続く冷却工程との間の遅延がある。本発明者は、この種の時間の変動が、ロット間、さらには基板間の膜の品質および均一性に対して有害な影響を及ぼし得ることを発見した。さらに、コンパクトで空間節約型の加熱プラテンとは違い、炉の多くは、貴重なクリーンルームの床面積を占有する、かなりの大きさの独立した装置である。 10

【0010】

以上により、低誘電率誘電体膜を製造する方法を改善すること、特に、単一ウエハ処理を使用することによって、処理の変動が複数のウエハに有害な影響を及ぼす危険性を最小化することには、依然として強い要求がある。また、加熱プラテンによる低kスピノン誘電体の硬化処理を効果的に使用することも、依然として望まれている。

【0011】

(発明の開示)

本発明は、低誘電率特性および低屈折率を有する膜を製造するための、改善された単一ウエハ処理の方法およびシステムを提供するものである。本発明の低kスピノン誘電体膜は、例外的に高いレベルの均一性、熱安定性、および機械的特性によっても特徴付けられる。重要なことに、これらの特徴は高い生産性をもって達成され、それは、たとえばクリーンルームの床面積64平方フィート当たり、1時間当たりの基板数が100枚に及ぶものである。さらに、好ましい実施形態では、200mmの基板と300mmの基板の両方を同じツールで処理することができる。 20

【0012】

【課題を解決するための手段】

本発明は、単独で、およびその組み合わせでもって、これらの利点を提供するために役立ついくつかの技術革新に基づくものである。まず、コーティング、焼成、硬化、冷却の、各工程間の時間の少なくとも1つを制御することによって、低k誘電体膜の生産性、均一性、および品質が大幅に高まることが発見された。このような均一性によって、1つまたは複数の処理法を使用して、基板を、必要に応じて直列にも、並列にも、または顧客仕様に応じた方法によっても処理することができる。その際に、特定の法に従って形成された膜が、実質的にはお互いに同一であり、膜に残る処理の影響によるばらつきは、たとえばあったとしてもごく僅かであるという自信をもって処理することができる。 30

【0013】

さらに、低kスピノン誘電体の品質および均一性は、コーティング、焼成、硬化、および冷却の各作用を、一体化された単一の処理システムに統合することによっても、大幅に高められている。そのような統合化によって、誘電体膜の形成過程において実行されるすべての処理工程の一貫性とタイミングとを制御することが可能となる。従来の炉による処理と比較して、検出可能なばらつきがほとんど現れることなく、基板ごとまたはロットごとに、特定の処理法を実行することができる。 40

【0014】

本発明の、高品質の誘電体膜の提供に役立つもう1つの特徴は、硬化処理と、硬化後のその場での冷却処理とが実行される革新的な処理ステーションである。硬化処理と冷却処理とを同じ処理ステーションに統合化することによって、硬化処理および冷却処理における、時間のばらつきを含む任意の種類のばらつきが事実上消滅する。これは、誘電体膜の形成における硬化工程は、処理中の最も重要な工程になることが多いとすれば、極めて有利な点である。硬化処理と冷却処理とを単一の処理ステーションに統合化することによって、低kスピノン誘電体膜が熱酸化による損傷を受ける可能性がある程度に熱い状態にお 50

いて、常に、酸素照射量を正確に制御することも可能となる。誘電体膜を有する高温のデバイスをロボットによって取り扱う状況とは対照的に、その場での冷却処理では、デバイスがロボットによって装置から取り出される時に、冷却されたデバイスに残るロボットの影響を最小化することも可能となる。

【0015】

本発明は、統合化された硬化／現場冷却処理ステーションの革新的な構成も含むものであり、これによって、熱硬化工程において、炉の代りに単純な加熱プラテンを使用することができる。加熱プラテンは、炉と比較してコンパクトであるため、加熱プラテンが使用できることによって、この処理ステーションを被膜ステーションおよび焼成ステーションと同じ一群のツールに統合化することが可能となる。このことによって、今度は、基板ごと、およびロットごとの個々の処理工程におけるばらつきをほとんど起こすことなく、一貫性をもって誘電体膜を形成することが容易になる。

【0016】

この革新的な構成の多くの特徴によって、生産もしくは研究開発、またはその両方において、低kスピノン誘電体の加熱プラテンによる硬化処理が実現される。これらの革新的な特徴には、次の事項が含まれるが、これらに限定されるものではない。すなわち、

(a) チャンバ内のガスフロー力学を注意深く制御できる、複数のプレナムを伴う革新的なリッド機構、

(b) 工程内のマイクロエレクトロニックデバイスの基板をロードおよびアンロードする時に、周囲環境に晒されることを最小化するサイドドア機構、

(c) 加熱プラテンをそのハウジングから熱絶縁するために役立つ、加熱プラテンを支持する中空のベース、

(d) 加熱プラテンと処理室との環境からの熱絶縁を強化する、二重壁を備えたハウジング、

(e) 加熱プラテンユーティリティ通路とハウジングとの間の冷却されたシール（これによって高分子材料のシールが使用でき、そうでなければスピノン誘電体の硬化処理で生じる高温によって損傷する可能性がある）、

(f) 硬化および冷却の作動段階における任意の所望の時間について、処理室内の酸素含量を制御する機能、

(g) 多孔質スピノン誘電体のような材料を取り扱う時に、処理室内を真空にする機能、および

(h) ガスを使用してその場でデバイスを冷却する機能である。

【0017】

本発明の1つの特徴は、硬化した誘電体組成物を基板上に形成する方法に関し、以下の工程を含むものである。すなわち、

(a) 熱的に硬化可能な誘電体の前駆材料からなる組成物を前記基板の少なくとも一部分に被膜する工程、

(b) 処理室内に前記被膜された基板を配置する工程、

(c) 前記被膜された基板が前記処理室内に配置されている間に、

(i) 前記誘電体の前駆材料を熱的に硬化処理して、硬化した誘電体組成物を形成し、

(i i) 冷却用ガスを前記硬化した誘電体組成物に接触させる工程、

(d) 前記冷却用ガスを前記硬化した誘電体組成物に接触させた後、前記被膜された基板を処理室から排出する工程を有することを特徴としている。

【0018】

本発明の別の特徴は、複数の基板上に誘電体組成物を形成する方法に関し、以下の工程を含むものである。すなわち、

(a) 第1の基板上に硬化可能な誘電体の前駆材料からなる組成物を被膜する工程、

(b) 前記被膜工程の終了から第1の時間間隔の後に予め焼成処理を開始して、この被膜された基板を予め焼成する工程、

10

20

30

40

50

(c) 前記予め焼成処理の終了から第2の時間間隔の後に熱的な硬化処理を開始して、前記被膜された基板を熱的に硬化する工程、

(d) 前記熱的な硬化処理の終了から第3の時間間隔の後に前記冷却処理を開始して、前記熱的に硬化した基板を冷却する工程、

(e) 少なくとも1つの付加的な基板に対して、前記(a)～(d)の工程を繰り返す工程を有しており、前記被膜された第1の基板と前記少なくとも1つの付加的に被膜された基板の各々に対するそれぞれの第2の時間間隔がほぼ等しいことを特徴としている。

【0019】

本発明の別の特徴は、硬化した誘電体組成物を基板上に形成する方法に関する。熱硬化性の誘電体前駆材料と、その組成物がコーティング可能な粘性を有するような量の溶媒とを含む組成物が、基板上の少なくとも一部にコーティングされる。コーティングされた基板は、まず、少なくともコーティングされた誘電体前駆材料の一部は硬化せず、コーティングされた組成物は残留溶媒を含むような条件の下で、相対的に低い温度プロファイルで予め焼成される。誘電体前駆材料は、少なくとも実質的にはすべての誘電体前駆材料が硬化して誘電体組成物を形成するような条件の下で、第2の相対的に高い温度プロファイルで熱硬化される。硬化した誘電体組成物は、次に冷却される。

10

【0020】

本発明の別の特徴は、硬化した誘電体組成物を基板上に形成する方法に関する。熱硬化性の誘電体前駆材料を含む組成物が、基板上の少なくとも一部にコーティングされる。コーティングされた基板は、処理室内に配置される。コーティングされた基板が処理室内に配置されている間、誘電体駆動物質は熱硬化されて硬化した誘電体組成物を形成し（この際、少なくとも一部の熱硬化は、非酸素性の条件の下に生じる）、硬化した誘電体組成物はガスとの接触によって冷却される。硬化した誘電体組成物がガスとの接触によって冷却された後、コーティングされた基板は処理室から取り出される。

20

【0021】

別の構成によれば、本発明は、複数の基板上にそれぞれの誘電体組成物を形成する方法に関し、以下の工程を含むものである。すなわち、

(a) 第1基板上に第1誘電体の前駆材料からなる第1組成物を被膜する工程、

(b) 処理室内に前記被膜された前記第1基板を配置させる工程、

(c) 前記被膜された第1基板が前記処理室内に配置されている間に、

30

(i) 前記被膜した第1基板を熱硬化できる状態の下で、前記第1基板を熱源と熱的に接触させ、

(i i) 冷却用ガスを前記熱硬化した第1基板に接触させる工程、

(d) 前記第2基板に対して前記(a)～(c)の工程を繰り返す工程を有することを特徴としている。

【0022】

別の構成によれば、本発明は、複数の基板上にそれぞれの誘電体組成物を形成する方法に関し、以下の工程を含むものである。すなわち、

(a) 少なくとも1つの処理されるべき基板を含んでいる第1、第2群の基板を準備する工程、

40

(b) 第1処理方法に従って、

(i) 前記第1群の各基板上に第1誘電体の前駆材料からなる組成物を被膜し、

(i i) 被膜された前記第1群の基板の各々を処理室内に配置し、

(i i i) 前記第1群の基板の各々が前記処理室内に配置されている間、第1群の被膜された各基板が、熱硬化できる状態の下で熱源と熱的に接触させ、さらに、硬化した各第1基板に冷却用ガスを接触させる工程、

(c) 前記第1の処理方法と異なる第2の処理方法に従って、前記第2群の各基板に対して工程(b)を繰り返す工程を有することを特徴としている。

【0023】

別の構成によれば、本発明は、マイクロエレクトロニックデバイスの前駆材料を熱処理す

50

る装置に関する。この装置は、処理中に前駆材料が配置される処理室を含む。熱源は、処理中に前駆材料が加熱できるような方法で、処理室に結合される。冷却ガス源は、処理中に冷却ガスが前駆材料と接触して冷却するような方法で、処理室と流体的に連結される。制御システムは、前駆材料を、処理中に少なくとも1つの加熱工程と少なくとも1つの冷却工程とを含む所望の熱処理プロファイルに露出するために、熱源および冷却ガス源を制御する。

【0024】

別の構成によれば、本発明は、少なくとも1つの複合型加熱／冷却処理ステーションを含むクラスターツールを提供するものである。このステーションは、処理中に前駆材料が配置される処理室を含む。熱源は、処理中に前駆材料が加熱できるような方法で、処理室に結合される。冷却ガス源は、処理中に冷却ガスが前駆材料と接触して冷却するような方法で、処理室と流体的に連結される。

10

【0025】

本発明の上述した利点とその他の利点、およびそれらの利点を達成する方法は、付随する図面と関連させて以下の本発明の好適な実施形態の説明を参照することによってより明らかになり、本発明自体もより良く理解されるであろう。

【0026】

【発明の実施の形態】

（好適な実施形態の説明）

本発明の原理は、低kスピノン誘電体を硬化させ、次に、ガスを使用してその場で冷却することができる革新的な処理ステーションと関連して有利に実施される。そのような処理ステーションの代表的な実施形態は、本発明の譲受人の同時係属中の米国特許出願であり、W o m a c k およびその他を発明者とし、“ウエハ状物体の加熱及び冷却処理用熱処理室”と称する、1999年7月12日に出願された米国特許出願第09／351586号に開示されており、この特許の全体は参考として本説明に含まれる。そのような処理ステーションのもう1つの特に好適な実施例は、商標を“INSTACURE”と称し、F S I I n t e r n a t i o n a l , I n c . (F r e m o n t , C A) から C A L Y P S O ^{T M} クラスターツールのモジュールとして購入できる。

20

【0027】

INSTACURE 処理ステーションは、上記本発明の譲受人の同時係属中の出願に記載された処理ステーションと概ね同一のものであるが、次のような5つの相違がある。第1に、INSTACURE 処理ステーションのチャンバおよびベークプレートは、200mm半導体ウエハおよび300mm半導体ウエハの両方を含む、ある範囲のサイズのデバイスを取り扱う大きさに作られている。第2に、INSTACURE 処理ステーションに含まれるベークプレートは、独立に制御可能な内側加熱領域と外側加熱領域とを含んでいる。第3に、INSTACURE 処理ステーションのリッド機構は、内部リッドプレナムおよび外部リッドプレナムの複数のガスポートを含むシャワーヘッド機構を通じて、1種類または複数種類のガスを処理室内に導入するように変更されている。第4に、INSTACURE 処理ステーションのベークプレート支持層のベースにおける冷却構造および排出構造は、よりコンパクトで効率的である。第5に、INSTACURE 処理ステーションのハウジングの底部は二重壁を備え、ハウジングの熱絶縁特性をさらに改善している。

30

40

【0028】

これら5つの変更点は、“INSTACURE”処理ステーション10モジュールの代表的な実施形態を示す図1～図4に図示されている。処理ステーション10の部品および構成が、上記本発明の譲受人の同時係属中の出願における図1～図6に示された熱処理ステーションの部品および構成と同様である限りにおいて、その特徴および機能は同様のものであるが、ここでは、それについて再び詳述することはしない。しかし、以下の説明は、好適な作動態様の詳細な説明と共に、上述した5つの相違点についてのより詳細な説明を含むものである。さらに、これらの各相違点はいずれも、独立に、または他との組み合わせ

50

せでもって、本発明の処理ステーションに組み込めるものであることを理解されたい。

【0029】

図1～図4には、処理ステーション10を含む装置が示されている。処理ステーション10は、支持板12上に支持され、これによって処理ステーション10をCALYPSOTM クラスターツールのモジュールキャビネットに容易に据え付けることができる。ステーションとして有利に使用されるのはそのようなクラスターツールであるが、この処理ステーション10は、独立なシステムとして提供することもでき、その場合には、処理ステーション10および選択的な支持板12は、適切なハウジング（図示せず）に支持、かつ収容されるものである。熱防護シールド15は、処理ステーション10上に装着され、処理ステーション10の高温時に操作者が誤って処理ステーション10に触れることを防ぐものである。 10

【0030】

処理ステーション10は円筒形をなし、円状の半導体ウエハに適応するものであるが、そうである必要はない。好ましくは、処理ステーション10はハウジング11を含み、ハウジング11は、二重パネルの底壁20、二重パネルの円筒状側壁22、および二重パネルのリッド24から形成される。これらのハウジング部品の好適な二重パネル構造は、処理室14を環境から熱絶縁するために役立つものである。

【0031】

処理ステーション10の部品は、金属、セラミックス、それらの組み合わせ、およびその類似物を含む、任意の適切な耐熱材料から形成することができる。好ましくは、処理ステーション10の部品は、アルミニウム、アルミニウム合金、ステンレス鋼、それらの組み合わせ、およびその類似物のような金属材料から形成される。さらに好ましくは、各部品はお互いに溶接され、そのような溶接を容易にするために同様の金属からなるものである。その結果、熱的にも機械的にも堅牢な構造となる。もちろん、他の応用に対しては、他の材料が適切である場合もあり、他の接合技術が使用できる。たとえば、十分低い処理温度で実行される処理のためには、高分子材料を使用し、接着剤によって部品を接合してもよい。 20

【0032】

搬送スロット26は、側壁22の一部を通じて提供され、処理室14への出入を提供する。好ましくは、この搬送スロット26は、処理室14に対する基板（図示せず）のロードおよびアンロードに使用されるロボット機構（図示せず）に適合するサイズおよび形状をなすものである。しかしながら、搬送スロットは、搬送スロット26の開放時の環境への過剰な露出を防ぐために、そのような出入に必要な程度以上に大き過ぎないことが好ましい。たとえば、処理室14内を無酸素性の環境に管理することが望ましい場合がしばしばある。このような状況では、環境から内部処理室14内への不要な酸素の流入を防ぐために、搬送スロットのサイズを最小化することが有益である。 30

【0033】

また、搬送スロット26は、チャンバドア28によって密閉可能であることが好ましい。チャンバドアは、ドア閉鎖機構30によって、その開放位置および閉鎖位置を含む可動域内を動作可能なものである。好ましくは、チャンバドア28は、開放方向に駆動する力が働いていない場合には、閉鎖位置の方向への偏りを有するものである。チャンバドア28は、処理ステーション10の外側に向かって開き、閉鎖時にはハウジングアダプタ29に装着される。ハウジングアダプタは、チャンバドア28を係合して閉鎖するために適した表面を備えるものである。ハウジングアダプタ29は、内部処理室14の密封性を損なうことなしに、任意の通常の方法でもって製造されたものであってよい。ハウジングアダプタ29は、処理ステーション10の外部に付属する別の部品として示されているが、所望の場合には、処理ステーション10のハウジング11と一体のものであってよい。 40

【0034】

ドア閉鎖機構30は、チャンバドア28の開閉を制御する。ドア閉鎖機構30は、チャンバドア28の開放および閉鎖のための、任意の公知の機構を含むものであってよいが、好 50

ましくは、このようなドア閉鎖機構 30 は、チャンバドア 28 をその開放位置および閉鎖位置の間で移動させる（すなわち、搬送スロット 26 の前へ、またはその前から移動させる）だけでなく、チャンバドア 28 が搬送スロット 26 の前の閉鎖位置にある場合には、チャンバドア 28 に対してチャンバの側壁 22 の方向への強制力をかけ得るものである。このようなドア閉鎖機構 30 は、チャンバドア 28 の内部面 33 上の周縁溝内に備えられたシール 32 と共に、内部処理室 14 を確実に密閉するものである。

【0035】

この密閉構成を容易にするために、搬送スロット 26 の周囲の側壁 22 に周縁フランジ 34 を固定し、チャンバドア 28 の閉鎖位置においてシール 32 が係合する、外部環状シール面 35 を提供することも好ましい。あるいは、空気圧式、水圧式、機械式および電気機械式の駆動装置を含むその他の閉鎖機構を代りに使用してもよい。しかし、チャンバドア 28 は、搬送スロット 26 を開放および閉鎖する位置の間のみを移動可能とするのではなく、側壁 22 に向かう移動およびそこから離れる移動を可能とし、良好な密閉構成を備えることが好ましい。そのような動作は、1 つまたは複数の独立した駆動機構によって付与することができる。

【0036】

本発明の 1 つの観点に従って、側壁 22 は多重壁構造（すなわち、2 つまたはそれ以上の間隙を有する複数の壁）を備えることが好ましい。たとえば、図 1 ～図 4 に示された実施形態に従えば、側壁 22 は、半径方向に伸びた環状頂部 36、半径方向に伸びた環状中間部 38、半径方向に伸びた環状底部 40 を備えている。さらに、外壁 42 が備えられて環状頂部 36、環状中間部 38、環状底部 40 に接合し、二重壁構造を規定している。外壁 42 は、上部壁 44 と下部壁 46 を含んでいてもよく、これらは、別々に、または単一の一体化した部品として組み立てられるものであってもよい。この点に関連して、環状中間部 38 は側壁 22 の周囲全体に渡って延びる場合もあり、または、散在する複数の突起のようなものとして側壁 22 の回りに配される場合もある。あるいは、環状中間部 38 はなくてもよいが、二重壁構造が機械的構造強度を備えることに役立つため、それが存在することが好ましい。

【0037】

いずれの場合においても、二重壁構造は 1 つまたは複数の内部壁空間を規定し、図に示されるように、上部壁空間 48 と下部壁空間 50 に分けられる。上部壁空間 48 は、搬送スロット 26 を規定する周縁フランジ 34 が側壁 22 の一部で上部壁空間を遮断するため、内部処理室 14 の回り全体に延在するものではない。下部壁空間 50 は、好ましくは、内部処理室 14 の回り全体に延在するものである。外壁 42 は側壁 22 と接合され、周縁フランジ 34 は側壁 22 と接合される。この接合には、任意の適切な接合技術を使用してもよいが、好ましくは溶接によるものである。

【0038】

処理室の底壁 20 は、好ましくは、側壁 22 と一体に形成されるものである。しかしながら、そうでない場合には、別々に形成されて、溶接のような任意の通常の方法によって側壁 22 に固定される構造であってもよい。本実施形態では、底壁 20 は、内壁層 21 と外部パネル 23 を含む二重壁構造を備えている。外部パネル 23 は、内壁層 21 から空隙を有するように、リブ 25 に固着される。空間 27 は、この空隙構造によって規定される。底壁 20 は、好ましくはその中央部に位置する開口部 52 を備え、それによって、加熱プラテン 94 を通じて加熱プラテン 18 に対して出入する部品の通過を容易にする。

【0039】

加熱プラテン 18 は、処理ステーション 10 の処理室 14 内に位置し、工程内のマイクロエレクトロニックデバイスの基板（図示せず）と加熱プラテンとが熱的に接触している時に、基板に移行する熱を発生するものである。以下に説明する、処理ステーション 10 の好適な作動態様と関連して、熱的な接触は必ずしも基板と支持表面 90 とが直接物理的に接触することを意味しない。実際、好適な方法では、支持表面 90 と基板との間には小さな間隙があり、それでも熱の伝達は発生する。定常状態作動では、加熱プラテン 18 は、

通常、使用している特定の種類のスピノン誘電体の硬化に効果的な温度に維持される。この温度は、典型的には約 350℃～450℃の範囲である。

【0040】

加熱プラテン 18 は、好ましくは、基板へ熱を移行させる加熱機構を備えるものである。図 4 に、好適な加熱機構を示す。この好適な加熱機構は、ホットプレート 18 に埋め込まれた、一組の螺旋状電気抵抗発熱素子 130、131 を備えている。各発熱素子 130、131 は、それぞれ内側加熱領域および外側加熱領域を均一に横断し、各領域の温度を独立に制御することができる。このような方法で複数の加熱領域を使用することによって、支持表面 90 全体に渡って均一な温度を設定し、維持することが容易になる。

【0041】

所望の場合には、その他の加熱機構を使用してもよい。たとえば、上述した本発明の譲受人の同時係属中の特許出願には、均一な螺旋状をなして加熱プラテンに埋め込まれた単一の発熱線を備える加熱プラテンが開示されている。発熱線の代りに、表面にヒータ回路が印刷されたフィルム層またはマイカ層を含むような面状発熱体を使用してもよい。そのような面状発熱体を、支持表面 90 上に形成することもできる。あるいは、加熱プラテン 18 の頂面上、印刷を用いてその積層内の層上、またはその底面上に、1 つまたは複数のヒータ回路を直接印刷してもよい。さらなる代替手段として、本発明の譲受人が所有する、1998 年 3 月 5 日出願された同時係属中の米国特許出願第 09/035628 号に開示されている加熱基板を使用してもよい。その他の選択肢として、加熱プラテン 18 は、所望の熱を発生させるための高温の処理流体が流れる、1 つまたは複数の内部通路を備えていてもよい。

【0042】

加熱プラテン 18 は、少なくともその一部は、中空のペDESTAL ベース 54 上に支持されている。中空のペDESTAL ベース 54 は、底壁 20 のチャンバ内部側に形成された環状逃げ部 56 内に装着されている。ペDESTAL ベース 54 は、底壁 20 に通常のボルト 58 によって固定してもよい。ペDESTAL ベース 54 の中空性は、加熱プラテン 28 を底壁 20 から熱絶縁するために役立つ。内部処理室 14 を効率的に密閉するために、ペDESTAL ベース 54 の下部面 62 と、環状逃げ部 56 の底部との間にシールリング 60 が備えられ、これによって、良好な密閉性が得られる。この構成を容易にするために、底壁 20 の中央部 64 はより肉厚であることが好ましい。

【0043】

底壁 20 の肉厚の中央部 64 には、排気チャンネル 66 も位置し、処理室 14 から除去される処理流体のための通路となる。排気チャンネル 66 は、内部チャンバ側に開口した中央部 64 の環状逃げ部と同様に環状とすることが好ましい。中央部 64 の残りの厚み部分を通じて延在する 1 つまたは複数の通路（図示せず）も備えられ、これによって、排出流体を通常の配管などによって排気チャンネル 66 から処理ステーション 10 の外部へ排出することができる。処理室 14 から排気チャンネル 66 に通じる吸気通路のサイズを変更するために、着脱自在な排気プレート 70 が備えられ、この排気プレートは、全開放領域に任意の所望のパターンで排気プレート 70 に沿って配された一群のオリフィス 72 を備えている。したがって、排気チャンネル 66 を排出システム（たとえば、真空）に、流体的に連結することによって、流体は、処理室 14 からオリフィス 72 を通じて排気チャンネル 66 へ、そして処理ステーション 10 の外部へと排出される。着脱自在な排気プレート 70 を使用することによって、排気プレート 70 を、異なるサイズもしくはパターン、またはその両方を有する別の排気プレートと交換するだけで、オリフィス 72 のサイズ、パターン、配置を、処理ステーション 10 の特定の用途によって容易に変更することが可能となる。排気プレート 70 は、好ましくは環状逃げ部 69 の段差部分に装着されるものであり、また好ましくはペDESTAL ベース 54 が重なる部分によって固定されるものである。

【0044】

底壁 20 の中央部 64 は、冷却流体（たとえば、気体または液体）を循環させる冷却チャ

10

20

30

40

50

ンネル 78 も備え、これはシールリング 60 の冷却に役立つ。冷却チャンネル 78 は、好ましくは底壁 20 の中央部 64 に形成された溝を含み、この溝は、底壁 20 の外側に対して開口するものである。冷却チャンネル 78 は、好ましくは平面図で見た場合に概ね円状のチャンネルをなし、シールリング 60 に熱的に近接するものであるが、完全な円には達しないように留め、冷却チャンネル 78 の一端を注入口として、他端を排出口として使用できるようにすることが好ましい。冷却チャンネル 78 を外部から閉鎖するため、底壁 20 の中央部 64 にプレート 80 が固定され、これによって冷却チャンネル 78 は密閉されて、注入通路および排出通路（図示せず）が提供される。この注入および排出通路によって、冷却チャンネル 78 を、任意の通常の方法によって、適切に冷却システムの入出ラインに流体的に連結することができる。

10

【0045】

また、底壁 20 の中央部 64 は、その内部でリフトピン機構 84 を往復運動させる何本かの（好ましくは 3 本の）通路 82（図 2 には、1 本だけ図示する）を備えている。単にリフトピン機構 84 の往復運動を容易にするだけでなく、通路 82 は、内部処理室 14 を環境から効果的に密閉した状態で、この運動を可能にしなければならない。これを実行するために、中央部 64 の外側に形成された溝内において通路 82 の回りにシールリング 86 が装着され、これによって、リフトピン機構 84 に伴う密閉性と移動性とを同時に与えるものである。このようなシールリング 86 は、装着プレートによって、次に、複数の締結具またはその他の任意の通常の手段によって固定されるものであってもよい。

【0046】

20

通路 82、したがってリフトピン機構 84 は、開口部 52 と同心に配されることが好ましいが、必ずしもその必要があるわけではない。リフトピンは通路 88（図 2 には、1 本のみを示す）内に延在し、通路 88 は、加熱プラテン 18 の厚肉部を貫通している。加熱プラテン 18 は、ペDESTALベース 54 によって直接的に支持され、工程内のマイクロエレクトロニックデバイスの基板（図示せず）を熱伝達接触状態で配置できる支持表面 90 を備えている。リフトピン機構 84 は、その先端部 85 が基板を熱伝達接触位置に配置する場所から移動可能である。

【0047】

また、リフトピン機構 84 は、往復運動機構（図示せず）によって駆動されて、その先端部 85 が支持表面 90 の十分上方であって、工程内基板を加熱プラテン 18 との熱伝達接触なしに支持できる位置にまで移動可能である。リフトピン機構 84 の移動によって、どの程度支持表面 90 から基板を物理的に分離しなければならないかは、冷却処理における必要性および内部処理室 14 の流体フロー特性に依存する。つまり、リフトピン機構 84 は、工程内基板を物理的および熱的に加熱プラテン 18 から分離できる程度に上昇させることができ、また基板を支持表面 90 との熱接触がもたらされる程度に下降させることができる。

30

【0048】

複数のリフトピン機構 84 の同時動作を達成するために、各リフトピン 84 は、プレートまたはリング（図示せず）のような共通の部材に接続され、駆動機構 92 は、その 1 つの部材を駆動するだけですべてのリフトピン機構 92 を同時に上昇および下降させられることが好ましい。駆動機構 92 は、ステップモータで駆動されるリードスクリュー機構などの、直線移動を可能にする任意の公知の機構を備えていてもよい。さらに好ましくは、各リフトピン 84 は、真空ラインもしくは真空システムに通常の方法によって連結された内部通路 92 を備え、先端部 85 から吸引することによって、先端部 85 に基板を保持するものである。

40

【0049】

温度検知機構 93 は、加熱プラテン 18 に結合して加熱プラテンの温度を監視する。温度検知用機構は、アパーチャ 95 を通じて処理室 14 内に入れられ、カラー 97 によってその場所に保持される。オーリング 99 は、この開口部の密閉に役立つものである。温度検知機構 93 は、RTD または熱電対のような任意の通常の方法であってもよい。温度検知

50

機構 93 は、制御回路（図示せず）に接続されて、加熱プラテンの温度は、通常の方法で監視および制御される。制御機構自体は本発明の特定の部分を構成するものではなく、温度検知情報に基づいて発生させられる熱の制御の基本作動と矛盾しない任意の公知の方法によって達成することができる。

【0050】

リッド 24 は、処理ステーション 10 の頂部を密閉する。リッド 24 は、好ましくは、二重パネル構造をなし、概ね、円形のパネル 98 が空隙を介してカバープレート 100 に接合されることによって形成されるものである。パネル 98 とカバープレート 100 との間の空隙は、外周壁フランジ 102 および内部の環状壁フランジ 104 によって保持され、環状壁フランジは、概ね、外周壁フランジ 102 と同心であって、半径方向に内側の位置に配されている。リッド 24 の強度を増大させるため、カバープレート 100 は、さらに、間隔を有して配される複数の柱部材 106 によって支持されている。柱部材 106 と環状壁フランジ 104 との間に延在する放射状強化リブ 108 によって、リッド 24 はさらに強化されている。カバープレート 100 は、複数の締結具 110 を使用してその場所に固定される。ガasket 112（図 2 には図示せず）は、カバープレート 100 とそれに接合されるリッド 24 のその他の部分との間の良好な密閉性を保つために役立つものである。

【0051】

したがって、リッド 24 の構造は、外側の環状プレナム 114 および内側プレナム 116 に区画される。外側プレナム 114 は、複数のポート 118 を通じて処理室 14 と流体をやり取りし、ポートは、好適な環状配列によってパネル 98 の環状部分 122 の回りに一様に散在する。各プレナム 114、116 は、処理ガスが、制御されたシャワー状の形態において独立にまたは集合的に処理室 14 に導入される通路を、それぞれ独立に提供する。このために、1 つまたは複数の処理ガス源（図示せず）を、通常の配管によって外側プレナム 114 および内側プレナム 116 に独立に連結してもよい。

【0052】

図 1 ～図 4 に示す複合型硬化／現場冷却処理ステーション 10 は、第 1 に、硬化性の誘電体前駆材料を含む膜を硬化して誘電体膜を形成すること、第 2 に、硬化した膜が形成された基板を装置 10 から取り出す前に、硬化した膜をその場で冷却することにおいて、有利に使用される。膜のその場での冷却は、膜の熱酸化分解を最小化するために重要である。硬化処理およびその場での冷却処理を達成する好適な作動態様には、ロード段階、ガスページ段階、硬化段階、冷却段階、アンロード段階が含まれる。ロード段階では、ドア 28 が開き、基板を処理室 14 内に配置することが可能となる。この時、1 種類または複数種類の非酸化ガスの環状のカーテンが、リッド 24 の外側プレナム 108 を通じてチャンバ内を下方に流れ、環境から処理室 14 を絶縁する。ここで、ロード段階の間に、1 種類または複数種類の非酸化ガスを、内側プレナム 110 から処理室内に流れるように追加できるが、このことは必ずしも必要ではない。乾燥した、または実質的に乾燥した誘電体前駆材料を含む、焼成された膜が形成された基板は、上昇したリフトピン機構 84 上であって、一般には、基板と加熱プラテン 18 との実質的な熱接触が存在しない位置に配置される。次に、ドア 28 が閉鎖されて、処理室 14 を環境から密閉する。

【0053】

この段階および作動の任意の段階に渡って、外側プレナム 114 もしくは内側プレナム 116、またはその両方を通じて流れる非酸化ガスは、場合に応じて、窒素、ヘリウム、アルゴン、 N_2 および H_2 を含むフォーミングガス、これらの組み合わせ、および類似物から、独立に選択することが好ましい。現在、好んで使用されるのは窒素である。ガスは、広い範囲内の任意の温度で供給することができる。代表的な温度範囲は、約 $0^{\circ}C$ ～約 $300^{\circ}C$ に及び、好ましくは約 $15^{\circ}C$ ～約 $250^{\circ}C$ 、さらに好ましくは、おおよそ环境温度、すなわち約 $20^{\circ}C$ から約 $25^{\circ}C$ である。硬化処理とその場での冷却処理との全体に渡って、外側プレナム 114 および内側プレナム 116 からの各ガスの流れは、 0.5 立方フィート／時間～ 100 立方フィート／時間の範囲内のそれぞれの流量をもって、独立に供給

される。外側のガスの流れに対する好適な流量は40立方フィート／時間、内側のガスの流れに対する好適な流量は約50立方フィート／時であり、これとは反対の設定が好適な場合もある。

【0054】

作動の次の段階は、ガスパーズ段階である。この段階では、酸素の含量が制御されて低減化された非酸素性の処理環境を、制御可能な態様で設定して維持するために、処理室14が、1種類または複数種類の非酸化ガスの流れでもってパーズされる。多くの誘電体前駆材料だけでなく、合成される誘電体膜も、酸素が存在する高温環境における熱酸化を受け易いため、硬化段階において、酸素レベルを制御する機能は重要である。多くの誘電体前駆材料、特に有機成分を含む誘電体前駆材料では、特定の材料によって約325℃から約375℃の範囲の温度においては、通常の空気中においてさえも熱酸化がリスクとなる。誘電体前駆材料は、一般にこの温度範囲よりも高い温度で硬化されるため、これらの材料を保持する基板は、熱酸化が大きなリスクである程度にその基板が高温である限り、非酸素性の環境中に維持されることが望ましい。したがって、使用する誘電体が有機材料である場合には、酸素含量は可能な限り低いことが望ましい。実際には、非酸素処理中の酸素含量は、好ましくは最大200ppm、さらに好ましくは1～200ppm、最も好ましくは5～20ppmである。

【0055】

誘電体の種類によっては、硬化を優先方向へ確実に進行させるために、いくらか高い酸素濃度が望ましい場合もある。たとえば、無機誘電体前駆材料に対しては、硬化に伴う副反応を最小化するために、酸素の存在が有利に働く。したがって、使用する誘電体材料が無機材料、または無機－有機複合材料の場合には、処理室14は、100ppm～2000ppm、好ましくは約200ppmの酸素を含む非酸素性の処理環境を設定するために効果的な条件の下に、パーズされる。

【0056】

処理室14内の酸素レベルを制御することに加えて、所望の場合、このパーズ段階で処理室14内を真空にし、硬化される膜の誘電特性を改善してもよい。このような真空の設定が特に望ましいのは、多孔質誘電体膜を形成する場合である。多孔質誘電体膜の種類によっては、誘電体前駆材料のみではなく、硬化条件下で揮発する傾向が高く、硬化時にアウトガスを発生して多孔性を作る1種類または複数種類の材料（“ポロジェン”）を含んでいる。真空は、そのようなアウトガスの発生を促進するために使用される。設定すべき真空レベルは、誘電体の性質によって変化し、通常その材料の製造業者によって指定される。1つの指針として、1torrから環境気圧程度までの範囲の真空を設定する機能が適切であろう。現在、好んで使用される真空レベルは、約20torrである。

【0057】

窒素パーズの間に、非酸化ガスは、好ましくはリッド24の内側プレナム116を通じ、処理室内部のガスを一掃しながら処理室14に流入する。外側プレナム114を通じた非酸化ガスの流入を追加的に使用することもできるが、必ずしも必要ではない。内側プレナム116を通じた50立方フィート／時間の流入では、パーズは約10秒間～約5分間、好ましくは約15秒～60秒で発生する。

【0058】

処理室中の酸素含量が所望のレベルに達した後、作動における硬化段階が開始する。基板を支持するリフトピン機構84は、基板を加熱プラテン18との熱接触の位置まで下降させる。本発明の実施例では、熱接触は、基板と加熱プラテン18との実際の物理的接触を含んでいてもよいが、実際の物理的接触は必ずしも必要ではない。基板を加熱プラテン18に近接させる（たとえば、6mil～50milの距離）ことによって、効果的な加熱を達成することができる。実際、用途によってはこのような空隙が好ましく、それは、実際の物理的接触によって基板の裏面が汚染される場合があるからである。結果として、基板は、誘電体前駆材料を硬化して基板上に誘電体膜を形成するために効果的な条件の下で加熱される。硬化温度は、硬化される誘電体前駆材料の種類に依存して変化する。市販さ

れている誘電体前駆材料に対しては、加熱プラテン18は、典型的には約350℃～約450℃の範囲内の温度に維持される。基板の効果時間も、硬化される誘電体前駆材料の種類によって変化する。一般に、本発明の処理ステーション10は、非常に高速に硬化を達成する能力を有し、硬化時間は10分以内、好ましくは1～3分で十分であろう。

【0059】

硬化段階の完了後、冷却段階が開始される。誘電体膜は、高温において環境に露出されると熱酸化を受け易いため、基板は、処理ステーション10から取り出される前に、十分に低いしきい値温度までその場で冷却される。しきい値温度は、通常200℃～約325℃の範囲内であり、好ましくは250℃である。所望の場合、より低い温度を使用することができるが、この場合にはサイクル時間が増大する。また、所望の場合、より高い温度を使用することもできるが、この場合には硬化した膜が熱酸化を被る危険性が増大する。 10

【0060】

本発明の実施例では、このようなその場での冷却は、リフトピン機構84を上昇させ、基板と加熱プラテン18との熱的な結合を解除することによって達成される。実際には、加熱プラテン18と上昇した基板と間の物理的な間隔は、通常100mil～600milであり、好ましくは約530milである。次に、その場での冷却は、基板が処理ステーション10内に残っている間に、内側プレナム116を通じて流入するガスが基板と接触し、冷却することによって達成される。所望の場合、外側プレナム114を通じた処理室内へのガスの流入を追加的に使用することもできるが、これは必ずしも必要ではない。冷却処理は比較的高速であり、約1～2分で達成される。 20

【0061】

望ましい目的温度まで基板を冷却した後、作動のアンロード段階において、基板が処理ステーション10から取り出される。上昇したリフトピン処理機構84上に支持された硬化処理および冷却処理後の基板に対して、（これ以前に、ガスが流れていない場合には）外側プレナム116を通じたガスの流れのカーテンが形成され、処理室14と環境との間の障壁を形成する。内側プレナム116を通じたガスの流入を追加的に維持することもできるが、これは必ずしも必要ではない。流れのカーテンが形成された後、ドア28が開放され、適切なハンドラ（たとえば、ロボットなど）によって処理室14から基板が取り出される。

【0062】

図5に、図1～4に示す複合型硬化／現場冷却処理ステーション10において、酸素レベルを制御できる本発明の方法の一実施形態を示す。図5には、処理ステーション10が簡略化した形式で示されている。処理ステーション10には、処理室14が含まれ、処理室には、加熱プラテン18上のリフトピン84上に工程内のマイクロエレクトロニックデバイスの基板16が支持されている。ドア28の開閉によって、処理ステーション14に対するロードおよびアンロードが可能となる。本発明に従ってその場での冷却を実行するために、冷却ガス源170は、供給ライン172を介して処理室14に流体的に連結されている。ライン172を通じた冷却ガスの流れは、バルブ174、176によって制御される。ガス源178からの（環境中の空気のような）酸素含有ガスは、ライン180を介してライン172に流体的に連結されている。バルブ182は、冷却ガスと組み合わせる酸素含有ガスの量を制御し、これによって、処理室14内に流入する冷却ガス中の酸素レベルを、硬化処理時およびその場での冷却処理時における所望の処理レベルに維持制御できる。バルブ176は、処理室14に流入する酸素含有冷却ガスの流れを制御する。1つまたは複数の他の処理ガスを、処理室14に流体的に連結することもできる。説明のため、窒素と水素とを含む通常のフォーミングガスの源184は、供給ライン186を介して処理室14に流体的に連結するものとする。バルブ188は、フォーミングガスの流れを制御する。処理ガスは、排気ライン190を介してチャンバ14から排出される。所望の場合、排気ライン190が真空ポンプ192に連結するように操作することによって、処理室14を真空とすることができる。バルブ193は、処理室14からの排気ガスを制御する。 30 40 50

【0063】

処理室14内の酸素レベルを監視および制御するために、排気ガスの一部がライン194を通じて酸素センサ196に引き込まれている。バルブ198は、この流れを制御する。酸素センサ196は、少なくとも約5ppm～約500ppmの範囲の酸素レベルを正確に測定できる、任意の適切なセンサであってよい。このような種々のセンサが市販されており、いずれを使用しても構わない。本発明の実施例にとって適切と思われる酸素センサの例は、販売名をOxygen Analyzer No. 60-0329と称し、Illinois Instruments, Inc. から購入できる。

【0064】

酸素センサ196は、排気ガス中の酸素レベルを示す出力信号200を発生させる。出力信号200はコントローラ202に送信される。通常の制御方法を使用して、コントローラ202は、排気ガス中の酸素含量が所望のレベルからどの程度はずれているかを示す制御信号204を発生させる。適切な制御信号204は、バルブ182に送信され、測定された酸素レベルが高すぎる場合には、ライン172への酸素含有ガスの流量を低減させ、または測定された酸素レベルが低すぎた場合には、ライン172への酸素含有ガスの流量を増大させる。

【0065】

図5には、処理室14内の酸素レベルを制御するためのフィードバック方法が示されているが、任意の他の適切な制御方法を使用してもよい。たとえば、処理室14に流入するガス中の酸素レベルを測定し、その測定値を使用してバルブ182に送信する適切な制御信号を導出することによって、フィードフォワード制御が実装できる。その他の方法として、入口と出口の両方のガス中の酸素レベルを監視して、フィードバック制御方法とフィードフォワード制御方法との組み合わせの基礎とすることもできる。

【0066】

本発明の複合型硬化／現場冷却ステーションは、コーティング、焼成、硬化、冷却の各処理のすべてを1つの統合化システムで実行するクラスターツールに有利に組み込むことができる。本発明の硬化及びその場での冷却能力を組み込んだ、特に好適な統合化クラスターツールは、CALYPSOの登録商標で、FSI International, Inc. (Fremont, CA) から購入できる。このクラスターツールは、マイクロエレクトロニックデバイスの基板上に低kスピノン誘電体膜を形成するために、有利に使用される。このクラスターツールは、スピノンコーティング、焼成、硬化、その場での冷却、および更なる冷却処理を、生産力の大きな単一のプラットフォームに統合化するものである。複数の種類のステーションを追加して、設置面積を増大させることなく生産性を高めることもできる。このステーションを使用して形成された誘電体膜は、炉による処理で形成された同様の膜と比較して、より低い屈折率と誘電率を有する傾向がある。

【0067】

特に、硬化およびその場での冷却処理能力によって、硬化処理のために別の炉を所有する必要性はなくなり、さらに低kスピノン誘電体膜を形成するために必要なクリーンルームの全床面積は最小化される。つまり、このツールは、貴重なクリーンルームの床面積を非常に効率的に使用しながら、高い生産性を提供するものである。このツールによれば、約64平方フィートの設置面積を占有するのみであるにもかかわらず、100枚に及ぶ1時間当たりの処理基板数が容易に達成できる。コーティング処理、焼成処理、硬化処理、および冷却処理を1つのツールに統合化することによって、低kスピノン誘電体の品質および均一性が大幅に高まるだけでなく、デバイスの汚染も低減化される。硬化処理およびその場での冷却処理は、図1～4または上述した本発明の譲受人の同時係属中の特許出願で示された、単一の複合型硬化／現場冷却装置によって達成するのが好ましい。

【0068】

CALYPSO (登録商標) のクラスターツールは、処理能力の点で大いに融通性がある。基板は、処理される1つまたはそれ以上の基板に対する同一の処理法又はカスタマイズの処理法を用いて、個別処理、順次処理、または並行処理することができる。このツ

ルは、異なるサイズの基板を容易に取り扱うことができる。例えば、中央に位置したロボット上にエンドエフェクタを単に切り替えることによって、コーティングステーションでのスピコートシールドを行い、次に、PCベースの制御装置において、適当な処理法を選択することによって、クラスターツールは、200mm処理能力から300mm処理能力に変換でき、またその逆への変換も可能である。200mmのウエハと300mmのウエハをそれぞれ処理するために、個別の装置を備える必要を省くことができる。これは、また別の方法があり、クラスターツールは、クリーンルームの床スペースを節約することができる。クラスターツールは、また、多孔性の誘電体膜を含む誘電体被膜を形成することができる。この膜は、低kスピコン誘電体前駆材料上の広範囲から選択され、商業的に有益なPOLY ELK, LKD, HSG, ポーラスSILK2, ISP, 及びポーラスFLARE, 誘電体前駆材料を含んでいるが、これらに制限されない。 10

【0069】

CALYPSO（登録商標）のクラスターツールは、また、従来の炉を用いる処理に比較して、より低k誘電体膜を準備する。このクラスターツール上で実施される本発明の原理を用いて製造される誘電体膜は、より低い屈折率を有し、ウエハ同士の驚異的な厚さの均一性を示す。例えば、FLARE材料から誘電体膜を形成するとき、ウエハ間の厚さの均一性は、0.2%又はそれ以上（1シグマ）の範囲と成ることが容易に達成される。本発明の実施では、厚さの均一性は、ナノメトリックスツースを用いて測定された49個の厚さデータ点から決定される。他の同一の炉ベースの処理と比較すると、本発明の誘電体膜は、より熱的な安定性を有する傾向がある。誘電体膜の高い品質によって、最終の膜は、LSI応用のためのマルチレベルのアルミニウム（減法金属処理 [subtractive metal processing]）および／または銅（デュアル ダマスク象眼処理 [dual damascene processing]）とを用いて統合することができる。 20

【0070】

可変性のCALYPSO（登録商標）の代表的な実施形態のクラスターツール300は、図6に概略的に示されており、このクラスターツール300は、一般的に、中央ロボット310の回りに配置されて作動可能になる複数のモジュール302, 303, 304, 305, 306, 307, 308を含んでいる。有利なことに、各モジュール302, 303, 304, 305, 306, 307, 308は、フレーム、スキン、電子機器、制御ハードウェアおよびプロセッサ、設備接続部を有する完全に自立型のモジュールである。設備接続部は、ロボット310の下側中央に配置された設備プラットフォームに個別に連結される。このモジュール方式により、個々のモジュールをサービス、アップグレード、交換等のために容易に取り除くことができる。 30

【0071】

壁312は、1つまたはそれ以上のドア、パネル等のアクセスポートを有し、サービスまたはメンテナンスのためにクラスターツール300内に接近することができる。壁312は、また、1つ以上の透明パネルを有し、クラスターツール300の内部領域316を目視することができる。

【0072】

ロボット310は、ベース322、ジョイント326でベースに取り付けたジョイントアーム324、およびアーム324の遠方端330に取外し自在に取り付けたエンドエフェクタ328を備えている。エンドエフェクタ328は、処理されるべきウエハを取外し可能に把持する。いくつかの実施形態では、アーム324上に設けられるエンドエフェクタは、特定の寸法または寸法範囲を有するデバイスを把持しかつ開放することができるように設計されている。 40

【0073】

このような実施形態では、エンドエフェクタは、200mmウエハから300mmウエハの処理またはその逆に切り替えるために交換される。他の実施形態では、いわゆるユニバーサルのエンドエフェクタが用いられ、このエンドエフェクタは、種々のサイズのウエハ 50

を把持しかつ開放することができる。このような実施形態では、同じエンドエフェクタが、別のエンドエフェクタに置き換えることなく200mm及び300mmのウエハの両方を取り扱えるために用いることもできる。有利なことに、ロボット310は、クラスターツール300内のどのステーションに到達することもできる。この十分な、作動範囲は、付加のおよび／または第2のロボットの必要を省く。1つまたはそれ以上のこのような付加的なロボットは、所望であれば、クラスターツール300内に包含させることができる。

【0074】

モジュラー式処理ステーションの統合した選択が可能となるように、ロボット310が、種々のモジュール302, 303, 304, 305, 306, 307, 308に到達できる作業範囲内に配置される。1つ以上のモジュール302, 303, 304, 305, 306, 307, 308におけるこの種のステーション、各ステーションの数、及び各ステーションの配置は、所望の処理能力、使用される処理方法、利用可能な設備、製造られるデバイスの形式等の要因に従う。各モジュールには、1つ以上のステーションが配置され、特定のモジュールに配置されたステーションは、同一又は異なるものとすることができる。説明のために、クラスターツール300におけるステーションの1つの適当な配置が図6に示されている。

【0075】

特に、1つ以上の入力／出力（I／O）ステーションが、モジュール302内に挿入される。1つ以上のウエハ344を保持する1つまたはそれ以上のカセット342が、ドア（図示略）またはポッド（図示略）を介してI／Oステーション340内に載置することができる。ロボット310は、一般的に一度に1つのウエハをキャビネット302の内面350上のドア（図示略）を介して、カセット342内に保持されるウエハ344にアクセスすることができる。説明のために、3つのI／Oステーションが示されている。

【0076】

1つ以上のスピコート用ステーションがモジュール303内に含まれている。製造のために、2～3のスピコート用ステーションが配置されることが望ましい。モジュール304は、種々のステーションに用いられる1つ以上の処理薬品のリザーバ349（説明のために4つのリザーバ349が示されている。）に貯蔵するのに用いることができる。例えば、1つのリザーバ349は、溶媒のために使用され、別のリザーバは、誘電体前駆材料の流体を保持するのに使用される。これらのリザーバ349は、適当な鉛管類（図示略）によって1つ以上のスピコート用ステーションに流体連結される。

【0077】

1つ以上の焼成ステーションがモジュール306に包含される。この焼成ステーションは、焼成プレートばかりでなくステーション内の冷却プレートを含むことができ、焼成作業後の冷却を完了させる。モジュール306の好ましい実施形態では、6つの焼成ステーションを含む。モジュール306は、また、1つの冷却ステーションを含む。本発明の硬化／冷却の組合せステーションがモジュール307に包含される。モジュール307の好ましい実施形態では、6つの硬化／冷却の組合せステーションを含む。キャビネット308は、クラスターツール300を操作するための中央コントローラを備えることもできる。

【0078】

他の実施形態におけるCALYPSO（登録商標）のクラスターツール300'が図7に示され、このツールの形状は、リサーチ及び現像処理のために適切なものである。クラスターツール300'は、一般的に、複数のモジュール302', 303', 304', 305', 306', 307', 308'を含み、中央ロボット310'の回りで作動可能に配置される。壁312'は、内部領域316'を分離するのに役立つ。モジュール302'は、一对のI／O（FOUP）ステーションを内装する。モジュール303'は、単一のスピコート用ステーションを内装し、かつスピコート薬品、例えば、ある実施形態では1つの溶媒と、3つの異なるスピコート用流体を内装するモジュール304'の隣に配置される。最近のCALYPSO（登録商標）の設計において、2つまでのスピ

コート用ステーションをモジュール 303' に包含させることができる。より多くのスピ
ンコート用ステーションを望むのであれば、1つ以上の付加的なモジュールをクラスター
ツール 300' に付加することができる。モジュール 305' は、現在は空で将来の拡張
のために付加的な処理ステーションを内装することもできる。モジュール 306' は、3
つの焼成ステーションと1つの冷却ステーションを内装する。4つ以上の焼成ステーシ
ョンまではモジュール 306' に付加することができる。モジュール 307' は、一对の硬
化／冷却ステーションを内装し、かつこれらを4つ以上まで保持することができる。コン
トローラは、モジュール 308' に内装される。

【0079】

本発明のクラスターツールの好ましい作業モードが、図6および図8に示されたフローチ
ャートに関連して以下に記載される。ステップ402において、ロボット310がI/O
ステーション340からウエハ344を引き出す。このウエハを引き出す前に、その時、
またはその後、ステップ404において、ウエハのために1つの処理法が選択される。
フローチャート400における残りの処理ステップは、このような処理法の選択により実
行される。ステップ406において、ロボット310は、スピコート用ステーションに
ウエハを運ぶ。ステップ408に従うステーションでは、スピコート可能な組成物は、
ウエハが回転するときウエハ上に注がれる硬化可能な誘電体の前駆材料と溶媒を含んでい
る。これは、使用されるコーティング材料に従って、1つ以上のコーティングステップに
より達成することができる。スピコートは、比較的薄く、均一な、流体による被膜をウ
エハ上に形成し、この被膜は、誘電体前駆材料と溶媒からなる。

【0080】

一般的に、スピコートの作業において、この組成物は、回転する基板の中央に分配され
る。例えば、CALYPSO（登録商標）のクラスターツールのスピコートステーショ
ンは、同一または異なる基板上に3つまでの異なる薬品を通常連続して分配するために利
用できる3つのノズルを含んでいる。この3つのノズル構造は、プライミング（p r i m
i n i g）、溶媒を用いるプレーウェットティング（p r e - w e t t i n g）、及び製造
業者により推奨される上層コーティングの3ステップ処理において、基板上にS I L K材
料をコーティングするために役立つ。各例において使用されるノズルは、基板を回転する
中心軸に接近して転換されて分配を実行する。

【0081】

中央分配は適切な技術であるが、いくつかの他のアプローチを用いて、効果的にスピコ
ートされる基板に必要な分配される材料の量を減少させることができる。このような1つ
の技術は、基板に溶媒を注いで濡らし、その後、誘電体組成物が分配される量を減少させ
る。プレーウェットティングは、誘電体組成物の必要量を減少することができる。別の技術
では、回転する基板に対して外側又は内側のいずれかから半径方向にノズルが移動して誘
電体組成物を分配することを含んでいる。半径方向に分配することは、プレーウェットティ
ングのステップと組み合わせる用いることができる。半径方向への分配は、中心部への分
配と比較すると、誘電体組成物の必要量を25%だけ減少することができる。

【0082】

スピコートの後、エッジビード除去（E B R）および／またはバックサイドリンス（B
S R）処理が選択的に行われる。このE B R処理は、適当な技術を用いて実施できる。好
ましいE B R処理は、被膜されたウエハを適当な速度で回転させながら被膜されたウエハ
上に溶媒のジェットを吹付けてエッジビードを切断することにより行われる。この方法で
、エッジビードを切断するとき、誘電体材料の一部分は、ウエハの背面に移動する。従っ
て、E B R処理に続いてB S R処理を用いることが望ましく、ウエハの回転中に、背面側
の破片が溶媒によって洗い流される。

【0083】

好ましくは、E B R処理／B S R処理は、被膜された誘電体の前駆材料が適度に乾燥され
た後に実施される。1つのアプローチによれば、被膜されたウエハは、スピコート用ス
テーション内に乾燥することができる。しかし、ウエハの大きさ及び薄膜の厚さにより、

10

20

30

40

50

このような乾燥は約1分～約5分間必要とされる。これは、特に、300mmウエハ上に被膜を1～2μmの厚さに施した場合である。この乾燥時間を減少させるために、被膜されたウエハを焼成ステーションへの移送を早めることができる。このため、被膜されたウエハを2～3秒間焼成し、そして、被膜されたウエハをスピンコート用ステーションに戻して、EBR処理とBSR処理を行う。

【0084】

スピンコーティング及び他の選択的なEBRおよび／またはBSR処理が行われた後、ステップ410に従って、ロボット310は、被膜したウエハを焼成ステーションに運ぶ。この焼成ステーションでは、ステップ412に従って、ウエハは焼成されて次に続く硬化ステップで硬化するために被膜した薄膜を準備するために溶媒の全てまたは一部分を取り除く。焼成は、一般的に、比較的低い温度範囲内で起こり、その温度は、推奨硬化温度以下であり、熱的な酸化の危険が少なくとも避けられる。この温度は、好ましくは十分に高く、しかし、溶媒が適切な時間で取り除けることができるような温度である。一般的に、焼成中、いわゆる重合作用のB段階に対する誘電体材料の硬化の促進がある。焼成のための一般的な温度は、約100℃～350℃の範囲にあり、好ましくは、材料によって決まるが、約200℃～325℃である。

【0085】

焼付けコーティングにおいて残留している溶媒があると、最終の硬化した薄膜の品質及び均一性に目立った影響を与えることが見出された。特に、全て又はほとんどの溶媒（すなわち、焼付けコーティングが、焼付けコーティングの全重量に基づく0.1重量%又はそれ以下の残留溶媒を含んでいる場合）が、焼成中のコーティングから取り除かれる場合、最終の硬化した誘電体膜の品質が、デバイス間で大きく変化する。さらに、最終の硬化した材料自体が、最初の前駆材料に基づいて予想されるものと大いに異なってしまう。

【0086】

対照的に、残留溶媒の量が焼成後のコーティングにおいて残り、さらに硬化中に存在する場合、最終の硬化した薄膜の特性が大いに均一になる。この硬化した材料自体の性質は、最初の前駆材料に対してより良く相関している。従って、焼成ステップにおいて残留溶媒のわずかな量だけ残してほとんどを除去することが好ましい。それゆえ、本発明の焼付けコーティングは、少なくとも約0.1重量%～約5重量%、好ましくは約0.5～2重量%の残留溶媒を含み、また、さらに最適には、焼付けコーティングの全重量に基づく残留溶媒の約1重量%を含むことが望ましい。

【0087】

焼成が完了すると、ウエハは、冷却され、そしてステップ414に従って、ロボット310は、焼成ステーションから硬化及び冷却の組合せステーションに焼成したウエハを運ぶ。ステップ416では、ウエハは、組合せステーションに載置され、このステーションにN₂が除去され、あるいは同様にO₂を所望のレベルまで減少させ、ウエハ上に焼成した被膜が硬化される。そして、硬化した薄膜は、冷却ガスを用いて冷却され、冷却されたウエハがステーション362から取り出される。

【0088】

ステップ418に従って、ロボットはウエハを冷却ステーションに運ぶ。そこで、ウエハは、ステップ420において、所望の最終温度に冷却される。ロボット310は、ステップ422において、ウエハをI/Oステーションに戻し、そのウエハのための処理を完了する。フローチャート400に示された処理が、同一および／または異なる処理法を用いて、1つまたはそれ以上の連続する付加的なウエハに対して連続り返される。薄膜が形成された後、その後、適当な技術を用いて絶縁要素又は同等物を形成するためにパターン化される。

【0089】

本発明におけるクラスターツール等の統合処理システムの環境における本来の冷却工程は、大きな利益を与える。上述したように、第1に、この冷却は、ウエハがステーション362から取り出されたとき、ウエハを熱的酸化から保護するのに助ける。これは、最終の

誘電体膜の品質を確実に高める。第2に、ロボットがより熱いウエハを処理するときの環境に比較して、冷却したウエハにエンドエフェクタによる印を残すことなく取り扱える。これは、最終の誘電体膜の品質を向上させる。

【0090】

第3に、図8において、本来の冷却工程は、処理されたウエハが硬化及び冷却作業中に全く同一の処理が行われるので、硬化及び冷却工程の間の時間間隔 t_3 における変動を取り除く。この一致したタイミング能力は、最終の誘電体膜の品質を高めるばかりでなく、ウエハ同士における誘電体膜上の硬化した低誘電率スピンコート均一性を激的に向上させる。対照的に、硬化および冷却工程の間の時間間隔 t_3 における変動があまりに大きいと、炉内でバッチ硬化されるウエハの場合、均一性は、より悪くなり、独特な処理による印が個々のウエハに対して識別できなくなる。

【0091】

実際、この時間間隔 t_3 を一致させ、また、好ましくは、時間間隔 t_1 と時間間隔 t_2 のステーション間の移送を一定に維持しかつ制御することは、マイクロエレクトロニクスの基板の処理において、非常に柔軟性と均一性を与える。焼成、コーティング、硬化及び冷却の各作業間のこれらの時間間隔を一定にさせることによって、次の特定の処理法が、基板から基板へほとんど変動なく特定の品質を有する誘電体膜を与えることになる。

【0092】

例えば、複数のウエハは、システムを通して順次処理され、各ウエハは、同一のコーティング、焼成、硬化、冷却の工程、さらに、選択的に、（同一の時間間隔 t_1 、 t_2 、 t_3 を含む）冷却法が施され、ウエハ間の厚さが均一な低 k 誘電体の薄膜を有する基板が与えられる。

【0093】

さらに、複数のウエハが、2つ又はそれ以上の処理法を用いて順次システムを通して処理される。そして、特定の処理法に従って処理された一群のウエハが最終的に互いに区別できないようになる。この柔軟性は、フライ上で処理されるカスタムメイドの基板を可能にする。このような均一性は、誘電体組成物の回転によるコーティング、焼成、硬化、及び冷却工程が、単一の統合したシステムに統合されなければ、時間間隔 t_1 、 t_2 、 t_3 が容易に制御されないので、容易に達成することができない。

【0094】

さらに、クラスターツール300は、マルチコーティング、焼成、硬化／冷却、及び冷却の各ステーションを含むので、複数のウエハが1つまたはそれ以上の処理法に従って並行に処理することができる。重要なことは、少なくとも一部は、時間間隔 t_1 、 t_2 に渡るステーション間の制御と、時間間隔 t_3 のステーション内の制御に頼っていることであり、（たとえ、時間 t_3 が実際にはゼロでほとんど遅れることなく硬化から冷却へ移行できるとしても、）同一の処理法に従って準備された薄膜の均一性を得るのは例外的であり、特定の基板が別の基板よりも1つまたはそれ以上の異なるステーションで処理することができたとしても、薄膜の均一性を得ることは難しい。

【0095】

従って、複数の基板に特定のコーティング、焼成、及び硬化／現場冷却処理法を施すとき、このようなデバイスの各々に対して時間間隔 t_1 、 t_2 、 t_3 の少なくとも1つが制御されることが望ましい。さらに好ましくは、これらの時間間隔の2つまたはそれ以上が、基板から基板へ一定となるように制御され、さらに、それぞれの基板に対してこれらの時間間隔の全てが制御されることが望ましい。これらの時間間隔に関して「ほぼ同一」という語句は、特定の基板に対するこのような時間間隔が、このような処理法に従って処理される他の基板に対する対応する時間間隔に対して、25%以下、好ましくは10%以下、より好ましくは、せいぜい約1%だけ変化することを意味する。

【0096】

ウエハの並行処理は、図9にフローチャート500によって概略的に示されており、このチャートに示すシステムでは、単一のI/Oステーション、3つのスピンコーティングス

テーション、3つの焼成ステーション、3つの硬化／冷却ステーション、及び3つの冷却ステーションを含んでいる。フローチャート500は、3つの代表的な処理ウエハに対する処理のフローパス501a、501b及び501cが示されている。典型的な処理のフローパス501a、501b及び501cによって示されているように、各ウエハは、ステップ502において、I/Oステーションから引き出され、そして、ステップ504において、他の処理中のウエハに対する処理法と同一又は異なる特定の処理法を用いて関連付けられる。

【0097】

つぎに、各ウエハは、コーティングステップ506、焼成ステップ508、硬化／冷却ステップ510、冷却ステップ512、およびデバイスがI/Oステーションに戻されるステップ514を順次通過する。この処理は、所望の数のウエハに対して繰り返すことができる。単一の処理法が全てのウエハに行われると、各ウエハ上の最終の誘電体膜は、たとえ1つの特定の薄膜が他の薄膜よりも1つまたはそれ以上の異なるステーションで処理されたとしても、同一となる。1つ以上の処理法が行われる場合、特定の処理法に従って製造された最終の薄膜は、最終的に互いに同一となる。

10

【0098】

最大の処理能力に対して、3つのウエハが並行して処理される。本発明の実施において、これは、必ずしも特定の3つのウエハが並列に同一ステップで処理されることを意味するものではなく、むしろ1つのウエハに対するコーティング、焼成、及び硬化／冷却の作業段階の少なくとも一部分が、他のウエハの一方または両方に対してコーティング、焼成、及び硬化／冷却の作業段階の少なくとも一部分が生じている間に、起こることを意味している。

20

【0099】

さらに、1つ以上のウエハが、特定のフローパス501a、501b及び501cに従ってまたは同等のパスが一度に処理される。例えば、フローパス501a上の1つのウエハが冷却ステップ512がおこなわれている場合、1つまたはそれ以上のウエハが、1つまたはそれ以上の他のステーションで同一のフローパスに従う。言い換えれば、処理中のウエハは、1つのステーションを出て、このステーションが空くや否や、処理能力を最大化させるために、別の処理中でのウエハをそのステーションで処理することができる。次の実施例に関連して、さらに本発明を説明する。

30

【0100】

(実施例1)

低kスピノオン誘電体薄膜は、CALYPSO（登録商標）のクラスターツールを用いる25個のシリコンウエハのバッチ上に形成された。ウエハを貯蔵するカセットは、クラスターのI/Oモジュール内に配置される。各ウエハは、クラスターツールと共にパッケージされたソフトウェアを介して制御される同一の、所定のシーケンシャル処理を用いて処理された。

【0101】

各ウエハは、最初、中央ロボットによってI/Oモジュールから被膜ステーションに搬送された。被膜ステーションでは、ウエハは定着剤（ダウケミカル社から利用できるAP4000）を用いて被膜された。このAP4000の定着剤（1ml）は、ウエハが2500rpmで回転している間各ウエハの中心に分配された。この分配の後、中央ロボットは、ウエハを被膜モジュールから焼成ステーションに搬送する。ウエハ上のAP4000の被膜は、200℃で60秒間焼成された。このウエハは、次に、中央ロボットによって焼成ステーションから冷却ステーションに運ばれ、20℃で20秒間処理された。中央ロボットは、冷却したウエハを移動して被膜ステーションに戻した。この被膜ステーションにおいて、低kSILK誘電体の前駆材料（ダウケミカル社）が、動的な分配法を用いて1500rpmの分配速度でウエハの中心に（1.8ml～3ml）分配された。この分配の後、ウエハのスピンの速度は、45秒間で3600rpmにまで上昇された。エッジビードの除去（EBR）がウエハのエッジから2mmの位置でシクロヘキサノン（cyclo 30

40

50

hexanone)を用いて1500rpmで実行した。BSR処理は、また1500rpmのスピンの速度でシクロヘキサノンを用いて実行された。ウエハは、さらに10秒間3000rpmでスピンコートが続けられた。

【0102】

中央ロボットがウエハを第1のINSTACURETMステーションに運び、325℃で60秒間ベーキング(焼成)工程を実行した。このウエハは、450℃に維持された加熱プラテンを有する次のINSTACURETMステーションに運ばれた。被膜されたSILK材料の薄膜は、INSTACURETMステーション内において、450℃で180秒間、酸素レベルが20ppm以下に維持された状態で硬化された。この硬化されたウエハは、INSTACURETMステーション内で、窒素を用いて嫌気性状態を維持しながらウエハを支持するためのピンを用いる加熱プラテンからウエハを持ち上げることによって冷却された。ウエハがいったん325℃以下に冷却されると、ウエハは、次に冷却プレート上に運ばれて20℃で20秒間冷却された。この処理された複数のウエハは、カセットに戻された。

【0103】

INSTACURETMステーション内にウエハが載置されている間、ウエハが上昇ピン上に配置されたとき、窒素が55標準ft³/hr(SCFH)で外側プレナムを通して流れた。ドアを閉鎖した後、ウエハがまだピン上にあるとき、窒素が55SCFHで内側プレナムを通して流れ、また、窒素が45SCFHで外側プレナムを通して流れた。硬化中、窒素は、45SCFHで内側プレナムを通して流れた。ウエハがリフトピン上で冷却された時、窒素は、それぞれ55SCFHおよび45SCFHで、内側および外側プレナムを通して流れた。

【0104】

各ウエハ上の最終のSILK薄膜の厚さは、ナノメトリクス(Nanometrics)で商業的に利用可能な器具を用いて測定された。平均厚さは、約5000オングストロームであり、厚さの均一性は、=0.15%(1シグマ)であった。

【0105】

比較のために、25個のウエハのバッチが同様の方法で処理された。一方、比較用のウエハは、これらとは異なり、炉内(エクスチュー法)において、400℃で60分間硬化され、かつ冷却された。

【0106】

CALYPSO(登録商標)のクラスターツールで処理されたウエハの種々の特性が測定され、また比較用のウエハが測定された。CALYPSO(登録商標)のクラスターツールで処理されたウエハの平均屈折率1.6089と、炉内で硬化した薄膜の平均屈折率1.6206がそれぞれ改善されたことが示された。この特性と他のデータが、次の表1のように報告された。

表1

SILKフィルム特性	INSTACURE TM (450℃で3分間)	炉内における硬化 (400℃で60分間)
屈折率(ルドルフ)	1.6089(633nm)	1.6206(633nm)
厚さの均一性	<(=)0.15%(1シグマ)	<(=)0.25%(1シグマ)
屈折率	1.904(314nm)	1.915(314nm)
屈折率の均一性	0.016(1シグマ)	0.02(1シグマ)
温度安定性(TE-GC-MASS)		
弾性率(GPa)	4.2	3.86

【0107】

(実施例2)

低kスピンコートによる誘電体の薄膜は、CALYPSO(登録商標)のクラスターツールを用いる25個のシリコンウエハのバッチ上に形成された。ウエハを貯蔵するカセットは、クラスターのI/Oモジュール内に配置される。各ウエハは、クラスターツールと共

にパッケージされたソフトウェアを介して制御される同一の、所定のシーケンシャル処理を用いて処理された。

【0108】

この処理を実行するために、ウエハはロボットによって被膜ステーションに搬送された。低誘電率SILK（新バージョン、定着剤を必要としない）誘電体の前駆材料（ダウケミカル社）の溶媒は、動的な分配法を用いて1500rpmの分配速度でウエハの中心に（1.8ml～3ml）分配された。この分配の後、ウエハのスピン速度は、45秒間で3600rpmにまで上昇させた。エッジビードの除去（EBR）がウエハのエッジから2mmの位置でシクロヘキサノン（cyclohexanone）を用いて1500rpmで実行した。BSR処理は、また1500rpmのスピン速度でシクロヘキサノンを用いて実行された。ウエハは、さらに10秒間3000rpmでスピコートが続けられた。

【0109】

中央ロボットがウエハを第1のINSTACURETMステーションに運び、325℃で60秒間ベーキング工程を実行した。このウエハは、450℃に維持された前加熱プラテンを有する次のINSTACURETMステーションに運ばれた。被膜されたSILK材料の薄膜は、INSTACURETMステーション内において、450℃で180秒間、酸素レベルが20ppm以下に維持された状態で硬化された。この硬化されたウエハは、INSTACURETMステーション内で、窒素を用いて嫌気性状態を維持しながら325℃以下の温度に冷却された。ウエハは、冷却プレート上に運ばれて20℃で20秒間冷却された。この処理された複数のウエハは、カセットに戻された。

【0110】

処理室内に載置されている間、窒素が55SCFHで外側プレナムを通して流れた。ドアを閉鎖した後、ウエハがまだピン上にあるとき、窒素が55SCFHで内側プレナムを通して流れ、また、窒素が45SCFHで外側プレナムを通して流れた。硬化中、窒素は、45SCFHで内側プレナムを通して流れた。ウエハが昇降ピン上で冷却された時、窒素は、それぞれ55SCFHおよび45SCFHで、内側および外側プレナムを通して流れた。

【0111】

各ウエハ上のSILK薄膜の厚さは、ナノメトリクス（Nanometrics）で商業的に利用可能な器具を用いて測定された。平均厚さは、約5900オングストロームであり、厚さの均一性は、0.15%（1シグマ）以内であった。314nmでの薄膜の屈折率は、1.907であった。

【0112】

（実施例3）

実施例2と同様の方法で、300nmのウエハがCALYPSO（登録商標）のクラスターツール上で処理された。しかし、これらのウエハは、各ウエハが1700rpmで回転している間に、低誘電率SILKの誘電体前駆材料で被膜された。さらに、ウエハは、冷却され、そしてカセットに戻すために運ばれる前に、300℃以下で本来の場所において冷却された。最終の薄膜の平均厚さは、約10,000オングストロームであり、厚さの均一性は、<0.25%（1シグマ）であった。314nmでの薄膜の屈折率は、1.904であった。

【0113】

（実施例4）

低kスピコートによる誘電体の薄膜は、CALYPSO（登録商標）のクラスターツールを用いる25個のシリコンウエハのバッチ上に形成された。ウエハを貯蔵するカセットは、クラスターのI/Oモジュール内に配置される。各ウエハは、クラスターツールと共にパッケージされたソフトウェアを介して制御される同一の、所定のシーケンシャル処理を用いて処理された。

【0114】

この処理を実行するために、中央ロボットによってウエハは被膜ステーションに搬送され

た。低誘電率 F L A R E の誘電体前駆材料（ハネウエル社）は、動的な分配法を用いて 1 5 0 0 r p m の分配速度でウエハの中心に（2. 5 m l）分配された。この分配の後、ウエハのスピンの速度は、4 0 秒間で 3 6 0 0 r p m にまで上昇させた。エッジビードの除去（E B R）がウエハのエッジから 2 m m の位置でシクロヘキサノン（c y c l o h e x a n o n e）を用いて 1 5 0 0 r p m で実行した。B S R 処理は、また 1 5 0 0 r p m のスピンの速度でシクロヘキサノンを用いて実行された。ウエハは、さらに 1 0 秒間 3 0 0 0 r p m でスピンコートが続けられた。

【0 1 1 5】

中央ロボットが、複数のウエハをそれぞれ、1 5 0 °C、2 0 0 °C、2 5 0 °C に維持された連続する焼成ステーションに運んだ。この焼成工程は、各温度において 6 0 秒間実行された。これらのウエハは、さらに、4 5 0 °C に維持された前加熱プラチンを有する I N S T A C U R E ^{T M} ステーションに運ばれた。被膜された F L A R E 材料の薄膜は、I N S T A C U R E ^{T M} ステーション内において、4 5 0 °C で 1 8 0 秒間、酸素レベルが 2 0 p p m 以下に維持された状態で硬化された。この硬化されたウエハは、I N S T A C U R E ^{T M} ステーション内で、窒素を用いて嫌気性状態を維持しながら 3 2 5 °C 以下の温度に冷却された。ウエハは、冷却プレート上に運ばれて 2 0 °C で 2 0 秒間冷却された。この処理された複数のウエハは、カセットに戻された。

【0 1 1 6】

処理室内に載置されている間、窒素が 5 5 S C F H で外側プレナムを通して流れた。ドアを閉鎖した後、ウエハが加熱されたプラチンと熱的に接触して低下する前に、窒素が 5 5 S C F H で内側プレナムを通して流れ、また、窒素が 4 5 S C F H で外側プレナムを通して流れた。硬化中、窒素は、5 5 S C F H で内側プレナムを通して流れた。ウエハの冷却中、窒素は、それぞれ 5 5 S C F H および 4 5 S C F H で、内側および外側プレナムを通して流れた。

【0 1 1 7】

各ウエハ上の F L A R E 薄膜の厚さは、ナノメトリクス（N a n o m e t r i c s）で商業的に利用可能な器具を用いて測定された。平均厚さは、約 5 9 9 0 オングストロームであり、厚さの均一性は、0. 1 5 %（1 シグマ）以内であった。

【0 1 1 8】

比較のために、2 5 個のウエハのバッチが同様の方法で処理された。比較用のウエハは、炉内（エクスシチュー法）において、4 0 0 °C で 6 0 分間硬化され、かつ冷却されたことを除く。

【0 1 1 9】

C A L Y P S O（登録商標）のクラスターツールで処理されたウエハの種々の特性が測定され、また比較用のウエハが測定された。C A L Y P S O（登録商標）のクラスターツールで処理されたウエハの平均屈折率 1. 6 2 0 6 と、炉内で硬化した薄膜の平均屈折率 1. 6 2 0 6 がそれぞれ改善されたことが示された。この特性と他のデータが、次の表 2 のように報告された。

表 2

SILK フィルム特性	INSTACURE TM (450°C で 3 分間)	炉内における硬化 (400°C で 60 分間)
屈折率（ウォーラム）	1.669 (633nm)	1.68 (633nm)
厚さの均一性	< (=) 0.15% (1シグマ)	< (=) 0.20% (1シグマ)
温度安定性 (TE-GC-MASS)		
弾性率 (Gpa)	4.2	3.86

【0 1 2 0】

本発明の他の実施形態は、本明細書又はここに開示された本発明の実例から当業者であれば容易に明らかになるであろう。ここに記載された原理および実施形態に対する種々の省略、修正、及び変更は、特許請求の範囲に記載された本発明の範囲及び技術的思想から逸脱しないで当業者によって作成することができる。

10

20

30

40

50

【図面の簡単な説明】

【図 1】

本発明に係る統合化された硬化／現場冷却ステーションの一部分解斜視図である。

【図 2】

図 1 に示す装置の処理室の断面図である。

【図 3】

図 1 の装置で使用されるリッドの分解斜視図である。

【図 4】

図 1 の装置で使用される加熱プラテンとその発熱素子の概略図である。

【図 5】

図 1 の装置の作動中に酸素レベルを制御するシステムの概念図である。

【図 6】

生産に適した、本発明に係るツールクラスターの概略図である。

【図 7】

研究および開発に適した、本発明に係るツールクラスターの概略図である。

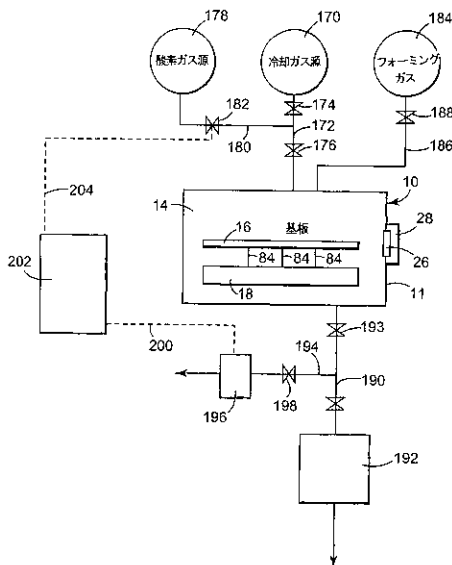
【図 8】

基板上に低kスピノン誘電体膜を形成するための、図 6 のツールクラスターの 1 つの作動態様を示すフローチャートである。

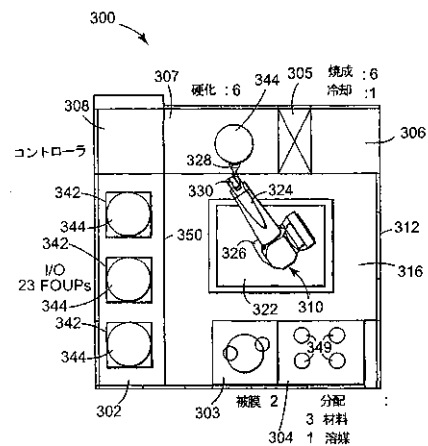
【図 9】

並列的な方法で、基板上に低kスピノン誘電体膜を形成するための、図 6 のツールクラ 20
スターの別の作動態様を示すフローチャートである。

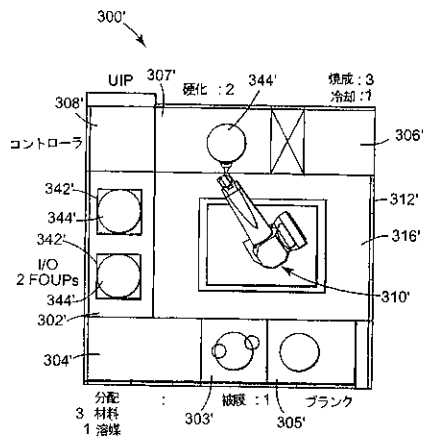
【図 5】



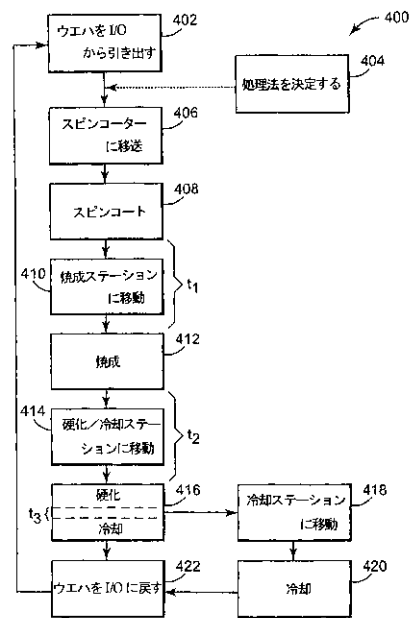
【図 6】



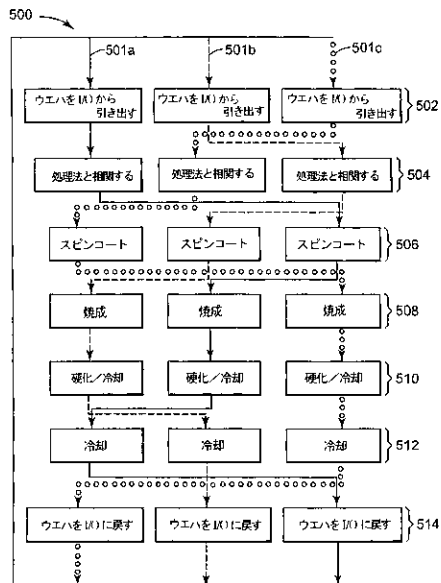
【図 7】



【図 8】



【図 9】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
17 January 2002 (17.01.2002)

PCT

(10) International Publication Number
WO 02/04134 A1

- (51) International Patent Classification: **B05D 3/02**, 3/04, 3/12
- (21) International Application Number: PCT/US01/21927
- (22) International Filing Date: 11 July 2001 (11.07.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (36) Priority Data: 09/614,746 (12 July 2000 (12.07.2000)) US
- (71) Applicant: **FSI INTERNATIONAL, INC.**, [US/US], 322 Lake Hazeltine Drive, Chaska, MN 55318 (US).
- (72) Inventors: **KUMAR, Devendra**, 897 Altus Oaks Drive, Los Altos, CA 94024 (US); **WOMACK, Jeffrey, D.**, 3582 Ballantyne Drive, Pleasanton, CA 94588 (US); **NGUYEN, Vuong, P.**, 1834 Mt. Laurel Lane, Allen, TX 75002 (US); **KASAHARA, Josh, S.**, 730581 Audite Road, Las Canoas, CA 95020 (US); **ITCHAPORIA, Ketan**, 35648 Chaplin Drive, Fremont, CA 94536 (US); **IBRANI, Sokol**, 3692 Rockingham Drive, Pleasanton, CA 94588 (US).
- (74) Agents: **KAGAN, David, B.**, Kagan Binkler, PLLC, Suite 200, Maple Island Building, 221 Main Street North, Stillwater, MN 55082 (US).
- (81) Designated States (*national*): AP, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GG, GL, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NO, NZ, FI, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (84) Designated States (*regional*): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, UZ, ZW); Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM); European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, MC, NL, PT, SE, TR); OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Published:
— with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/04134 A1

(54) Title: THERMAL PROCESSING SYSTEM AND METHODS FOR FORMING LOW-K DIELECTRIC FILMS SUITABLE FOR INCORPORATION INTO MICROELECTRONIC DEVICES

(57) Abstract: Single wafer processing methods and systems for manufacturing films having low k properties and low indices of refraction. The methods incorporate a processing station in which both curing and post cure, in situ gas cooling takes place.

WO 02/04134

PCT/US01/21927

**THERMAL PROCESSING SYSTEM AND METHODS FOR FORMING
LOW-K DIELECTRIC FILMS SUITABLE FOR INCORPORATION INTO
MICROELECTRONIC DEVICES**

5

CLAIM OF PRIORITY

This application claims priority from U.S. Serial No. 09/614,746, filed July 12, 2000, for THERMAL PROCESSING SYSTEM AND METHODS FOR FORMING LOW-K DIELECTRIC FILMS SUITABLE FOR INCORPORATION INTO MICROELECTRONIC DEVICES and having docket number FSI0006/US (formerly 15676-223627), for which a petition to convert to a provisional application was previously filed on March 27, 2001, but serial number of the provisional has yet to be assigned.

15

FIELD OF THE INVENTION

The present invention relates to systems and methods for forming dielectric films suitable for microelectronic applications, e.g., for use in forming microelectronic interconnect structures in logic and memory devices. In particular, the present invention is directed to integrated systems and methods in which such films are formed on a microelectronic substrate by thermally curing a dielectric precursor in a process chamber and then cooling the cured material in situ before the substrate is removed from the chamber.

BACKGROUND OF THE INVENTION

As the operating frequencies of electronic devices enter the gigahertz range and as the dimensions of device features become smaller, insulating materials with low dielectric constants (low-k dielectric materials) are needed to achieve reasonable power consumption, to reduce signal delay, and to minimize interconnect crosstalk in high performance ULSI circuits. Materials with low dielectric constants are strongly desired in many microelectronic device applications, including both gap filling and Damascene applications. The dielectric constant of a dielectric material is one property indicative of its quality. Other characteristics indicative of the quality of a dielectric material include mechanical properties, index of refraction, uniformity, thermal stability, manufacturability, integration with Cu or Al and the like.

Most dielectric films are formed using either a spin coating approach, or a chemical vapor deposition approach, e.g., PECVD or HDP. In the spin coating approach, a spin coatable solution containing a dielectric film precursor (usually one or more curable monomers, oligomers, and/or polymers) dissolved in a suitable solvent is spin coated onto a rotating substrate, such as a microelectronic device precursor (e.g., a silicon wafer) or the like, to form a uniform, relatively thin film coating on the substrate. The coated substrate is then baked at a temperature typically in the range of 100°C to about 325°C in order to remove the solvent, dry the coating, and advance the dielectric material to the B-stage of polymerization. The coating is then cured, i.e., advanced to the C-stage of polymerization, by heating the substrate at a suitable curing temperature typically in the range of about 350°C to about 450°C.

The cured dielectric films are generally collectively referred to as low-k spin on dielectric materials. A variety of low-k spin on dielectric precursor materials are commercially available from a number of different vendors and are sold for the purpose of forming dielectric films in microelectronic devices. Representative examples of such products are available under the trade designations FLARE from Honeywell, Inc., SILK from Dow Chemical Co., VALOX from Schumacher, HOSP from Honeywell, Inc., and HSQ from Dow Coming Company. The FLARE and SILK materials are organic, being poly(arylene) ethers and aromatic, respectively. The HOSP material is inorganic-organic, being a methyl-substituted silsesquioxane. The HSQ material is inorganic, being a hydrogen silsesquioxane. Each of these materials requires unique processing steps for successful integration with multilevel aluminum and/or copper in Dual Damascene processing, although each generally is thermally cured at temperatures in the range from about 350°C to about 450°C.

Dielectric precursor materials that form porous dielectric films (preferably ultra low-k and extreme low-k films) upon curing are also known. Generally, these materials include not only a curable dielectric precursor but also one or more relatively volatile components (referred to as "porogens"). These porogens tend to outgas during curing, contributing to the film porosity. Representative examples of such materials are known the respective trade

WO 02/04134

PCT/US01/21927

designations NAUTILUSTM from the Dow Chemical Co., POROUS FLARETM from Honeywell, Inc., POLY ELKTM and MONO ELKTM from Schumacher (Carlsbad, CA), LKDTM from JSR Corp., ISPTM from Catalysts and Chemicals, Ltd., Japan, and HSGTM from Hitachi Chemical Co., Ltd.

5 The manner in which a low-k spin on dielectric material is cured has a significant impact upon the quality of the resultant dielectric film. If curing is carried out carelessly, the film quality will suffer. In some instances, the film quality may be too poor to use as a blanket film and/or may not be able to withstand aluminum or copper integration processes. Factors affecting the cure
10 include how the time, temperature, and processing environment are controlled during the cure process.

Conventionally, the coating and baking steps have been carried out in an integrated fashion in the same tool. However, curing typically has been accomplished by heating a batch of coated microelectronic substrates in a stand-
15 alone furnace. Furnaces have been favored because conventional wisdom has the view that heated platen curing cannot produce dielectric films of the quality demanded by the microelectronic industry.

Yet, furnace processing is not the optimum approach from the perspective of the present inventors. Furnace curing tends to be a batch process in
20 which as many as 30 to 100 wafers or more are cured at the same time, yet manufacturers desire single wafer processing to help ensure that each and every in-process wafer is processed under the same conditions. Single wafer processing is also desirable in the event that a process error occurs, because only a single substrate is at risk. In contrast, if a process error occurs during a furnace cure, the
25 entire batch of substrates could be ruined. Given that a single in-process 300 mm wafer can be worth up to \$1 million or more, minimizing process risk is an important concern.

In the course of developing the present invention, we also have observed that furnace processing inevitably leads to some nonuniformity and
30 quality problems when making dielectric films. These nonuniformity and quality problems occur, in our view, at least in part because the time period between the bake and cure steps varies too much from substrate to substrate. Generally, those

WO 02/04134

PCT/US01/21927

substrates that are baked earlier must wait until later substrates are baked before the entire batch is submitted to the furnace. Indeed, the time between the bake and cure has been inadequately controlled in conventional processes. Other interstation and intrastation time periods also have not been adequately controlled. Examples
5 from conventional processes are the delay between the coat and bake steps as well as the delay between the curing step and the subsequent cooling step. We have discovered that these kinds of time variations can adversely affect film quality and uniformity from lot to lot, and even from substrate to substrate. Additionally, unlike compact, space efficient heated platens, furnaces tend to be rather large,
10 standalone units that occupy valuable cleanroom floorspace.

Accordingly, there remains a strong need for improved ways to manufacture lower k dielectric films, particularly by using a single wafer processing approach to minimize the risk that process deviations will adversely affect more than one wafer. There also remains a desire to effectively use heated
15 platen curing of low-k spin on dielectric materials.

SUMMARY OF THE INVENTION

The present invention provides improved, single wafer processing methods and systems for manufacturing films having low-k properties and low
20 indices of refraction. Low-k spin on dielectric films of the present invention are also characterized by exceptional levels of uniformity, thermal stability, and mechanical properties. Importantly, these characteristics are achieved with high throughput, e.g., up to about 100 substrates per hour per 64 ft² of cleanroom floor space. Additionally, both 200 mm and 300 mm wafers can be processed in the
25 same tool in preferred embodiments.

The present invention is based upon several innovations that singly and in combination help to provide these advantages. Firstly, it has been found that controlling the time periods between one or more of coating, baking, curing, and/or cooling steps can greatly enhance the throughput, uniformity, and quality of
30 low-k dielectric films. Such uniformity allows substrates to be sequentially processed, parallel processed, or custom processed on demand using one or more process recipes with the confidence that films made in accordance with a particular

WO 02/04134

PCT/US01/21927

recipe will be substantially identical to each other with little if any variation in process signature imparted to the films.

Additionally, low-k spin on dielectric quality and uniformity also are greatly enhanced by integrating the coating, baking, curing, and cooling functions into a single, integrated processing system. Such integration makes it possible to control the consistency and timing of every process step carried out in the course of forming dielectric films. A particular process recipe may be carried out from substrate to substrate or lot to lot with very little detectable variation as compared to conventional furnace processing.

Another feature of the present invention that helps to provide high quality dielectric films is an innovative processing station in which both curing and post-cure, in situ cooling take place. This integration of curing and cooling into the same process station virtually eliminates any kind of variation, including time variation, in the curing and cooling process. This is quite advantageous given that the curing step of dielectric film formation tends to be the most important step in the process. The integration of curing and cooling into a single process station also allows oxygen exposure to be accurately controlled at all times when the low-k spin on dielectric film is hot enough to be susceptible to thermal oxidation damage. In contrast to circumstances when a robot handles a very hot device bearing a dielectric film, in situ cooling also minimizes the robot's signature imparted to the cooled device when the device is removed from the station by the robot.

The present invention also involves an innovative architecture for the integrated curing/in situ cooling station that allows a simple heated platen, instead of a furnace, to be used in production for thermal curing. Because a heated platen is relatively compact, unlike a furnace, the ability to use a heated platen allows the station to be integrated into the same cluster tool as the coating and baking stations. This, in turn, further facilitates forming dielectric films with consistency with very little variation in individual process steps from substrate to substrate and lot to lot.

Many features of the innovative architecture help to make heated platen curing of low-k spin on dielectric materials a reality for production and/or

WO 02/04134

PCT/US01/21927

research and development purposes. These innovative features include but are not limited to the following:

- 5 (a) an innovative lid design with multiple plenums to allow gas flow dynamics in the chamber to be carefully controlled;
- (b) a side door design to minimize exposure to the ambient during loading and unloading of in-process microelectronic substrates;
- 10 (c) a hollow base supporting the heated platen to help thermally isolate the heated platen from its housing;
- (d) a double-walled housing to enhance thermal isolation of the heated platen and processing chamber from the ambient;
- (e) a cooled seal between the heated platen utility conduit and the housing to allow polymeric seals to be used that might otherwise be damaged by the high temperatures encountered in spin on dielectric curing;
- 15 (f) the capability for controlling the oxygen content in the process chamber during any desired portion of the curing and cooling stages of operation;
- 20 (g) the capability to establish a vacuum in the process chamber when handling materials such as porous spin on dielectric materials; and
- (h) the capability to cool the device in situ with a gas.

25 In one aspect, the present invention relates to a method of forming a cured, dielectric composition on a substrate, comprising the steps of:

- (a) coating a composition comprising a thermally curable, dielectric precursor onto at least a portion of the substrate;
- 30 (b) causing the coated substrate to be positioned in a process chamber;
- (c) while the coated substrate is positioned in the process chamber;

WO 02/04134

PCT/US01/21927

(i) thermally curing the dielectric precursor to form the cured dielectric composition; and

(ii) causing a gas to coolingly contact the cured dielectric composition; and

5 (d) after said gas coolingly contacts the cured dielectric composition, removing the coated substrate from the process chamber.

In another aspect, the present invention relates to a method of forming dielectric compositions on a plurality of substrates, comprising the steps of:

10 (a) coating a composition comprising a curable dielectric precursor onto a first substrate;

(b) causing the coated substrate to be prebaked, said prebaking being initiated after a first time interval from the end of the coating step;

15 (c) causing the coated substrate to be thermally cured, said thermal curing being initiated after a second time interval from the end of the prebaking step;

(d) causing the thermally cured substrate to be cooled, said cooling being initiated after a third time interval from the end of the thermal curing step; and

20 (e) repeating steps (a) through (d) for at least one additional substrate, wherein the respective second time intervals for each of the first coated substrate and the at least one additional coated substrate are substantially the same.

In another aspect, the present invention relates to a method of forming a cured, dielectric composition on a substrate. A composition comprising a thermally curable, dielectric precursor and an amount of solvent such that the composition has a coatable viscosity is coated onto at least a portion of the substrate. The coated substrate is pre-baked at a first, relatively low temperature profile under conditions such that at least a portion of the coated dielectric precursor is uncured and the coated composition comprises a residual amount of solvent. The dielectric precursor is thermally cured at a second, relatively high temperature profile under conditions such that at least substantially all of the

25

30

WO 02/04134

PCT/US01/21927

dielectric precursor is cured to form the dielectric composition. The cured dielectric composition is then cooled.

In another aspect, the present invention relates to a method of forming a cured, dielectric composition on a substrate. A composition comprising a thermally curable, dielectric precursor is coated onto at least a portion of the substrate. The coated substrate is caused to be positioned in a process chamber. While coated substrate is caused is positioned in the process chamber, the dielectric precursor is thermally cured to form the cured dielectric composition, wherein at least a portion of the thermal curing occurs under anaerobic conditions; and a gas is caused to coolingly contact the cured dielectric composition. After the gas coolingly contacts the cured dielectric composition, the coated substrate is removed from the process chamber.

In another aspect, the present invention relates to a method of forming respective dielectric compositions on a plurality of substrates, comprising the steps of:

- (a) causing a first composition comprising a first dielectric precursor to be coated onto a first substrate;
- (b) causing the coated, first substrate to be positioned in a processing chamber;
- (c) while the first substrate is positioned in the processing chamber:
 - (i) causing the first substrate to be in thermal contact with a heat source under conditions effective to thermally cure the first, coated substrate; and
 - (ii) causing a gas to coolingly contact the thermally cured, first substrate; and
- (d) repeating steps (a) through (c) for a second substrate.

In another aspect, the present invention provides a method of forming respective dielectric compositions on a plurality of substrates, comprising the steps of:

- (a) providing first and second groups of substrates, each of said groups comprising at least one substrate to be processed;

WO 02/04134

PCT/US01/21927

- (b) in accordance with a first process recipe:
causing a first composition comprising a first dielectric precursor to be coated onto each substrate in the first substrate group;
causing each of the coated, substrates of the first group to be positioned in a processing chamber;
while each of the substrates of the first group is positioned in the processing chamber: causing each such coated substrate of the first group to be in thermal contact with a heat source under conditions effective to thermally cure such coated substrate; and causing a gas to coolingly contact each of the thermally cured, first substrates; and
- (c) in accordance with a second process recipe different than the first process recipe, repeating step (b) for each of the substrates in the second group.

In another aspect, the present invention relates to an apparatus for thermally processing a microelectronic device precursor. The apparatus includes a process chamber in which the precursor is positioned during processing. A heat source is thermally coupled to the process chamber in a manner such that the precursor may be heated during processing. A source of a cooling gas is in fluid communication with the process chamber such that the cooling gas may be caused to coolingly contact the precursor during processing. A control system controls the heat source and source of cooling gas in order to subject the precursor to a desired thermal processing profile involving at least one heating step and at least one cooling step during processing.

In another aspect, the present invention provides a cluster tool, comprising at least one combination heat/cool process station. The station includes a process chamber in which the precursor is positioned during processing. A heat source is thermally coupled to the process chamber in a manner such that the precursor may be heated during processing. A source of a cooling gas is in fluid communication with the process chamber such that the cooling gas may be caused to coolingly contact the precursor during processing.

WO 02/04134

PCT/US01/21927

BRIEF DESCRIPTION OF THE DRAWINGS

The above-mentioned and other advantages of the present invention, and the manner of attaining them, will become more apparent and the invention itself will be better understood by reference to the following description of the preferred embodiments of the invention taken in conjunction with the accompanying drawings, wherein:

Fig. 1 is a partially exploded view in perspective of an integrated curing and in situ cooling apparatus of the present invention.

Fig. 2 is a cross-sectional view of the processing chamber of the apparatus shown in Fig. 1.

Fig. 3 is an exploded perspective view of the lid used in the apparatus of Fig. 1.

Fig. 4 is a schematic plan view of the heated platen and its heating element that are used in the apparatus of Fig. 1.

Fig. 5 is a schematic representation showing a system for controlling the level of oxygen during operation of the apparatus of Fig. 1.

Fig. 6 is a schematic plan view of a tool cluster of the present invention suitable for production.

Fig. 7 is a schematic plan view of a tool cluster of the present invention suitable for research and development.

Fig. 8 is a flow chart of one mode of operation of the tool cluster of Fig. 6 for making a low-k spin on dielectric film on a substrate.

Fig. 9 is a flow chart of another mode of operation of the tool cluster of Fig. 6 in which low-k spin on dielectric films are formed in parallel fashion.

DETAILED DESCRIPTION OF PRESENTLY PREFERRED**EMBODIMENTS**

The principles of the present invention are advantageously practiced in connection with innovative processing stations in which low-k spin on dielectric materials may be both cured and then cooled in situ with a gas. Representative embodiments of such processing stations are described in Assignee's copending

U.S. patent application titled "Thermal Processing Chamber for Heating and Cooling Wafer-like Objects", having U.S. Serial No. 09/351,586, filed July 12, 1999, in the names of Womack et al., the entirety of which is incorporated herein by reference. Another particularly preferred embodiment of such a processing station is identified by the trade designation "INSTACURE" and is commercially available as a modular component of the CALYPSO™ cluster tool from FSI International, Inc., Fremont, CA.

The INSTACURE processing station is generally identical to the processing stations described in Assignee's copending application identified above with five general exceptions. First, the chamber and bakeplate of the INSTACURE processing station are sized to handle devices having a range of sizes, including both 200 mm and 300 mm semiconductor wafers. Second, the bakeplate included in the INSTACURE processing station includes separately controllable, inner and outer heating zones. Third, the lid design of the INSTACURE processing station is modified to introduce process gas(es) into the processing chamber through a showerhead design including a plurality of gas ports of inner and outer lid plenums. Fourth, the cooling and exhaust structure at the base of the bakeplate support members of the INSTACURE processing station is more compact and effective. Fifth, the bottom of the housing of the INSTACURE processing station is double walled to further improve the thermal insulation properties of the housing.

These five modifications are illustrated in Figs. 1 through 4 where a representative embodiment of the modular "INSTACURE" processing station 10 is shown. To the extent that the components and construction of processing station 10 is similar to that of the thermal processing station shown in Figs. 1 through 6 of Assignee's co-pending application identified above, their description and functionality will be identified but not described in detail again herein. However, the following description will include a more detailed explanation of the five differences noted herein as well as a detailed explanation of a preferred mode of operation. It is further understood that any of such differences may be incorporated into a processing station of the present invention independently or in any combination with one another.

With reference to Figures 1 through 4, an apparatus is illustrated including processing station 10 supported upon support plate 12 that facilitates modular mounting of station 10 into a modular cabinet of the CALYPSO™ cluster tool. Although advantageously used as a station is such cluster tool, station 10
5 may be provided as a stand-alone system wherein the station 10 and optionally support plate 12 are supported and encased in a suitable housing (not shown). Protective heat shield 15 fits over station 10 to help prevent an operator from accidentally touching station 10 when station 10 is hot.

Station 10 is shown as being cylindrical to accommodate circular
10 semiconductor wafers, but need not be. Preferably, station 10 comprises housing 11 formed from a double-panel bottom wall 20, a double-panel cylindrical side wall 22, and a double-panel lid 24. The preferred double panel structure of these housing components helps to thermally isolate processing chamber 14 from the ambient.

The components of station 10 may be formed from any suitable
15 temperature-resistant material including metals, ceramics, combinations of these, and the like. Preferably, components of station 10 are formed from metal materials, such as aluminum, aluminum alloys, stainless steel, combinations thereof, and the like. It is further preferable that each of the components to be
20 welded to one another be of similar metals to facilitate such welding. The result is a thermally and mechanically robust structure. Of course, for other applications, other materials may be suitable and other connection techniques may be utilized. For example, polymeric materials may be usable and adhesives may connect the components for processes carried out at sufficiently low processing temperatures.

A transfer slot 26 is provided through a portion of side wall 22 so as
25 to provide access to and from processing chamber 14. Preferably, the transfer slot 26 is sized and shaped to accommodate a robotic mechanism (not shown) that is usable for loading and unloading substrate (not shown) from processing chamber 14. However, the transfer slot preferably is not too much larger than is needed for
30 such access so as to prevent excessive exposure to the ambient when transfer slot 26 is open. For example, it is often desirable to provide a controlled, anaerobic environment within processing chamber 14. In this circumstance, a minimized

WO 02/04134

PCT/US01/21927

transfer slot size is beneficial in preventing unwanted oxygen in the ambient from entering the internal processing chamber 14.

The transfer slot 26 is also preferably sealingly closable by a chamber door 28 that is moveable through a range of motion including opened and closed positions by a door closure mechanism 30. Preferably, door 28 is biased towards a closed position in the absence of an actuating, opening force. Chamber door 28 opens towards the outside of station 10 and, when closed, seats against housing adapter 29 that provides a suitable surface to closely engage door 28. Housing adapter 29 may be fabricated in any conventional way without compromising the sealable nature of the internal processing chamber 14. Housing adapter 29 is shown as a separate part that is attached to the exterior of station 10, but could be integral with housing 11 of station 10 if desired.

Door closure mechanism 30 controls the opening and closing of door 28. The door closure mechanism 30 can comprise any known or developed mechanism for opening and closing the chamber door 28, but preferably such door closure mechanism 30 not only moves the chamber door 28 between opened and closed positions (i.e., to and from a position in front of the transfer slot 26) but also is capable of urging the door 28 toward chamber side wall 22 when the chamber door 28 is positioned in a closed position in front of the transfer slot 26. With the addition of a seal 32 provided within a perimetric groove on the inside surface 33 of the chamber door 28, such a door closure mechanism 30 assures a proper sealing of the internal processing chamber 14.

To further facilitate this sealing arrangement, a perimetric flange 34 is also preferably secured to side wall 22 around the transfer slot 26 to provide an outer perimetric sealing surface 35 that seal 32 engages in the closed position of the chamber door 28. Alternatively, other closure mechanisms that include pneumatic, hydraulic, mechanical and electromechanical drive substrates may instead be used. It is preferable, however, that the chamber door 28 be moveable not only between positions opening and closing the transfer slot 26, but also movable toward and away from the side wall 22 to provide a good sealing arrangement. Such movements can be imparted by one or more independent drive mechanisms.

WO 02/04134

PCT/US01/21927

In accordance with one aspect of the present invention, the side wall 22 preferably has a multi-wall structure (i.e. having two or more spaced walls). In accordance with the embodiment illustrated in Figs. 1 through 4, for example, the side wall 22 includes a radially extending annular top portion 36, a radially extending annular middle portion 38, and a radially extending annular bottom portion 40. An outer wall 42 is further provided and connected to the annular top, middle and bottom portions 36, 38 and 40, respectively, to define the double-wall structure. The outer wall 42 may comprise an upper wall portion 44 and a lower wall portion 46 that may be fabricated independently or as a single, integrated part. In this regard, the middle annular portion 38 may extend all the way around the side wall 22, or may extend as a plurality of discrete, projecting posts or the like arranged about the side wall 22. Alternatively, the middle annular portion 38 may be eliminated, but its presence is preferred to help provide mechanical structural strength to the double wall structure.

In any case, the double wall structure defines one or more internal wall cavities that, as illustrated, are divided into an upper wall cavity 48 and a lower wall cavity 50. The upper wall cavity 48 does not extend completely around the internal processing chamber 14 as the perimetric flange 34 defining the transfer slot 26 blocks it at one portion of the side wall 22. The lower wall cavity 50 preferably extends completely about the internal processing chamber 14. The outer wall 42 is preferably connected with the inner wall 22, and the perimetric flange 34 is preferably connected with the side wall 22 by welding, although any suitable attachment technique may be used.

The chamber's bottom wall 20 is preferably fabricated integrally with the side wall 22. However, it may otherwise be formed separately and structurally secured to the side wall 22 by any conventional means such as by welding. In this embodiment, the bottom wall 20 comprises a double wall structure including inner wall member 21 and outer panels 23 that are attached to ribs 25 so as to be spaced apart from inner wall member 21. Cavities 27 are defined by the spaced apart structure. Bottom wall 20 includes an opening 52, preferably centrally located, to facilitate the passage of components to and from the heated platen 18 through heated platen post 94.

WO 02/04134

PCT/US01/21927

Heated platen 18 is positioned in processing chamber 14 of station 10 and generates heat that is transferred to an in-process microelectronic substrate (not shown) when the substrate and the heated platen are in thermal contact with each other. As described below in connection with a discussion of a preferred mode of operation of station 10, thermal contact does not necessarily mean that the substrate and surface 90 are in direct physical contact, and indeed preferably means that there is a small gap between surface 90 and the substrate across which thermal heat transfer may still occur. For steady state operation, heated platen 18 is typically maintained at a temperature effective to cure the particular type of spin on dielectric material being used. This temperature typically is in the range of from about 350°C to about 450°C.

Heated platen 18 preferably comprises a heating mechanism for providing heat transfer to the substrate. A preferred heating mechanism is shown in Fig. 4. The preferred heating mechanism includes a pair of spiral, electroresistive heating elements 130 and 131 that are embedded in hotplate 18. Elements 130 and 131 each uniformly traverse respective inner and outer heating zones to allow the temperature in each zone to be independently controlled. The use of multiple heating zones in this fashion makes it easier to establish and maintain a uniform temperature across the entirety of surface 90.

Other heating mechanisms may be used if desired. For example, assignee's copending application identified above shows a heated platen in which a single heating cable is embedded in the heated platen in a uniform spiral. Instead of heating cables, film heaters may also be used, such as the type including a film layer or mica layer having a heater circuit printed on a surface thereof. Such a film heater could be formed on surface 90. As yet another alternative, one or more heater circuits may be printed directly onto the top, within via printing onto subsequently laminated layers, or onto bottom surface of heated platen 18. As yet another alternative, the heating substrate disclosed in copending U.S. Patent Application Serial No. 09/035,628, filed March 5, 1998, and owned by the assignee of the subject application, could also be utilized. As still another option, heated platen 18 may include one or more internal passages through which a hot process fluid flows in order to provide the desired heat output.

Heated platen 18 is supported, at least in part, upon hollow pedestal base 54. Hollow pedestal base 54 sits within an annular recess 56 formed within the bottom wall 20 on the internal chamber side. Conventional bolts 58 can secure the pedestal base 54 to the bottom wall 20. The hollow character of pedestal base 54 helps to thermally isolate heated platen 18 from bottom wall 20. To effectively seal the internal processing chamber 14, a seal ring 60 is provided between a lower surface 62 of the pedestal base 54 and the bottom of the annular recess 56 so that as the pedestal base 54 is mounted via the bolts 58, a good sealing relationship is established. To facilitate this construction, the central portion 64 of the bottom wall 20 is preferably made thicker.

Also in the thicker central portion 64 of bottom wall 20, an exhaust passage 66 is positioned and provides a pathway for removal of process fluids from processing chamber 14. Exhaust channel 66 is preferably annular as provided by an annular recess of the central portion 64 that is open to the internal chamber side thereof. One or more passages (not shown) are also provided extending through the remainder of the thickness of the central portion 64 so that exhaust fluids can be withdrawn from the exhaust channel 66 to the outside of station 10 by conventional tubing and fittings or the like. To modulate the size of the inlet passages leading into the exhaust channel 66 from chamber 14, a removable exhaust plate 70 is provided having an arrangement of orifices 72 arranged along the exhaust plate 70 in any desired pattern and total open area. Thus, by fluidly connecting the exhaust channel 66 to an exhaust system, e.g., a vacuum, fluid can be withdrawn from the processing chamber 14 through the orifices 72 into the exhaust channel 66 and out of the station 10. By using a removable exhaust plate 70, the size, pattern, an arrangement of the orifices 72 can easily be varied depending on any particular application of the station 10 by merely replacing the exhaust plate 70 with another having orifices of a different size and/or pattern. The exhaust plate 70 is preferably fitted within a stepped portion of the annular recess 68 and is preferably secured in place by overlapping portions of pedestal base 54.

Also provided within the central portion 64 of the bottom wall 20, is a cooling channel 78 for circulating a cooling fluid, e.g., a gas or liquid, to help cool seal 60. The cooling channel 78 preferably comprises a recess formed in the

WO 02/04134

PCT/US01/21927

central portion 64 of bottom wall 20. The recess is open to the outside of the bottom wall 20. The cooling channel 78 preferably substantially forms a circular channel (as viewed in a plan view) that is thermally proximal to seal ring 60, but preferably stops short of defining a full circle so that one end of the cooling channel 78 can be utilized as an inlet and its other end can be used as an outlet. To close the cooling channel 78 from the outside, a plate 80 is secured to the central portion 64 of the bottom wall 20 so as to sealingly cover the cooling channel 78 and to provide inlet and outlet passages (not shown) by which the cooling channel 78 can be appropriately fluidly connected with input and outlet lines of a cooling system in any conventional way.

Also provided through the central portion 64 of the bottom wall 20 are a number of (preferably three) passages 82 (only one shown in Figure 2) that accommodate reciprocal movement of lift pin mechanisms 84. In addition to facilitating the reciprocal movement of the lift pin mechanisms 84, the passages 82 must permit this movement while effectively sealing the internal processing chamber 14 from the ambient. To do this, seal rings 86 are preferably installed within a recess provided from the outside of the central portion 64 around the passages 82 for providing sealing sliding engagement with the lift pin mechanisms 84. Such seal rings 86 may be secured in place by mounting plates retained, in turn, by a plurality of fasteners or any other conventional means.

The passages 82, and thus the lift pin mechanisms 84, are preferably arranged concentrically (but need not be) about the opening 52. Lift pins extend through passages 88 (only one shown in Figure 2) that, in turn, extend entirely through the thickness of heated platen 18. Heated platen 18, which is directly supported by the pedestal base 54, provides a support surface 90 that can be positioned in thermal transfer contact with an in-process microelectronic substrate (not shown). The lift pin mechanisms 84 are movable from a position where their tips 85 place the substrate into thermal transfer contact.

Lift pin mechanisms 84 also are movable as driven by a reciprocal drive mechanism (not shown) to positions where their tips 85 are located well above the surface 90 so as to be able to support the in-process substrate above and out of thermal contact with heated platen 18. The degree to which lift pin 84

WO 02/04134

PCT/US01/21927

movement must physically separate the substrate from surface 90 is dependent on the cooling needs and fluid flow characteristics of the internal processing chamber 14. In short, lift pin mechanisms 84 can be raised to cause an in-process substrate to be physically and thermally separated from heated platen 18 and can be lowered
 5 to bring the substrate into thermal contact with surface 90.

To accomplish movement of lift pin mechanisms 84 simultaneously, each lift pin 84 is preferably connected to a common element, such as a plate or ring (not shown) so that a drive mechanism 92 can actuate just the single element to simultaneously raise or lower all lift pin mechanisms 84 together. The drive
 10 mechanism 92 can comprise any known or developed mechanism capable of linear movement, such as a lead screw mechanism driven by a stepper motor. It is further preferable that each lift pin 84 further include an internal passage 94 that can be conventionally connected with a vacuum line or system so as to draw vacuum through tips 85 for holding the substrate against the tips 85.

Temperature sensing mechanism 93 is coupled to heated platen 18
 15 to monitor heated platen temperature. Temperature sensing substrate enters chamber 14 through aperture 95 and is held in place by collar 97. O-ring 99 helps to provide a good seal at this opening. Temperature sensing mechanism 93 may be any conventional substrate such as an RTD or thermocouple. Temperature sensing
 20 mechanism 93 is connected to a control circuit (not shown) so as to allow heated platen temperature to be monitored and controlled in a conventional manner. The control mechanism itself does not form a particular part of the subject application and can be provided in any known or developed manner consistent with the basic operation of controlling the heat generated based upon temperature sensing
 25 information.

Lid 24 seals the top of station 10. Lid 24 preferably is formed from a double panel structure in which generally circular panel 98 is attached in spaced apart fashion to cover plate 100. The spacing between panel 98 and cover plate 100 is maintained by peripheral wall flange 102 and inner, annular wall flange 104
 30 positioned generally concentrically and radially inward from wall flange 102. To help strengthen lid 24, cover plate 100 is further supported upon a plurality of spaced apart posts 106. Radial reinforcing ribs 108 extending between posts 106

WO 02/04134

PCT/US01/21927

and wall flange 104 further help to strengthen lid 24. Cover plate 100 is secured in place using a plurality of fasteners 110. Gasket 112 (not shown in Fig. 2) helps to form a good seal between cover plate 100 and the other portions of lid 24 to which it is attached.

5 The structure of lid 24 thus defines an outer, annular plenum 114 and an inner plenum 116. Outer plenum 114 is in fluid communication with processing chamber 14 through a plurality of ports 118 distributed uniformly around annular portion 122 of panel 98 in a preferred annular array. Inner plenum 116 is in fluid communication with processing chamber through a plurality of ports 10 120 distributed about inner portion 124 of panel 98. Each of plenums 114 and 116 independently provides a pathway by which process gases can be independently or collectively introduced into process chamber 14 in a controlled, showerhead fashion. To this end, one or more sources (not shown) of process gases may be independently coupled to inner and outer plenums 114 and 116 via conventional 15 plumbing.

Advantageously, the combination curing/in situ cooling station 10 shown in Figs. 1 through 4 may be used to first cure films containing a curable dielectric precursor to form a dielectric film, and secondly to cool the cured film in situ with a gas before the substrate bearing the cured film is removed from the 20 station 10. In situ cooling of the film is important to minimize thermo-oxidative decomposition of the film. A preferred mode of operation to accomplish curing and in situ cooling involves a loading stage, a gas purging stage, a curing stage, a cooling stage, and an unloading stage. In the loading stage, door 28 is opened to allow a substrate to be placed into process chamber 14. At this time, an annular 25 curtain of one or more non-oxidizing gas(es) flows downward into chamber 14 through the outer plenum 108 of lid 24 to help isolate process chamber 14 from the ambient. Optionally, one or more non-oxidizing gas(es) may also flow into chamber 14 through inner plenum 110 during the loading stage, but this is not required. The substrate bearing a baked coating containing a dried or substantially 30 dried dielectric precursor is placed onto raised lift pin mechanisms 84, generally positioning the substrate substantially out of thermal contact with heated platen 18. Door 28 is then closed to environmentally seal process chamber 14.

Throughout this and any stage of the operation, the non-oxidizing gas(es) flowing through outer plenum 114 and/or inner plenum 116, as the case may be, preferably is/are independently selected from nitrogen, helium, argon, a forming gas comprising N_2 and H_2 , combinations of these, and the like. Nitrogen presently is preferred. The gas or gases may be supplied at any temperature within a wide range. A representative temperature is from more than about $0^\circ C$ to about $300^\circ C$, preferably about $15^\circ C$ to about $250^\circ C$, and more preferably at about ambient temperature, e.g., about $20^\circ C$ to $25^\circ C$. Throughout the entire curing and in situ cooling operation, each flow of gas(es) through the inner and outer plenums 116 and 114 is supplied independently at a respective flow rate ranging from about $0.5 \text{ ft}^3/\text{hr}$ to $100 \text{ ft}^3/\text{hr}$. A preferred flow rate for the outer gas flow is $40 \text{ ft}^3/\text{hr}$, and a preferred flow rate for the inner gas flow is about $50 \text{ ft}^3/\text{hr}$, or vice-versa.

The next stage of operation is the gas purging stage. In this stage, process chamber 14 is purged with a flow of one or more nonoxidizing gases in order to controllably establish and maintain an anaerobic processing environment with a controlled, reduced amount of oxygen. The ability to control the oxygen level during the curing process is important, because many dielectric precursors as well as the resultant dielectric films are susceptible to thermal oxidation at elevated temperatures in the presence of oxygen. For many dielectric materials, especially dielectric materials containing organic components, thermal oxidation becomes a risk even in ordinary air at temperatures in the range of from about $325^\circ C$ to about $375^\circ C$, depending upon the particular material. Because dielectric precursors are generally cured at temperatures well above this temperature regime, the substrates bearing these materials are desirably maintained in an anaerobic environment so long as the substrates are hot enough for thermal oxidation to be an undue risk. Accordingly, when the dielectric material being used is organic, the oxygen content is desirably as low as possible. Taking practical considerations into account, the oxygen content during anaerobic processing is preferably up to 200 ppm, more preferably 1 to 200 ppm, most preferably 5 to 20 ppm.

A somewhat higher oxygen level may be desired for other kinds of dielectric materials in order to help ensure that curing proceeds in a preferential direction. For example, inorganic dielectric precursors benefit from having oxygen

WO 02/04134

PCT/US01/21927

present in order to help ensure that curing occurs with minimal side reactions. Accordingly, when the dielectric materials being used are inorganic or inorganic-organic, process chamber 14 is purged under conditions effective to establish an anaerobic processing environment containing 100 ppm to 2000 ppm, preferably about 200 ppm oxygen.

In addition to establishing a controlled level of oxygen in chamber 14, a vacuum may be established in processing chamber 14 in this purging stage, if desired, to enhance the dielectric properties of the resultant cured film. Establishing such a vacuum is particularly desirable in those applications in which a porous, dielectric film is to be formed. Some kinds of porous dielectric films are formed from materials that not only include a dielectric precursor, but also include one or more materials ("porogens") that tend to volatilize under the curing conditions and outgas to create porosity during the cure. A vacuum is used to facilitate such outgassing. The level of vacuum to be established will vary depending upon the nature of the dielectric material and is typically specified by the material manufacturer. As suggested guidelines, the capability of establishing a vacuum in the range from about 1 torr up to about ambient would be suitable. A preferred vacuum level presently is about 20 torr.

During the nitrogen purge, a non-oxidizing gas preferably purgingly flows into chamber 14 through inner plenum 116 of lid 24. An optional flow of non-oxidizing gas through outer plenum 114 may also be used, but is not required. With a flow of about 50 ft³/hr through the inner plenum 116, purging occurs for a period of about 10 seconds to about 5 minutes, preferably about 15 to 60 seconds.

After the oxygen content in the processing chamber is at the desired level, the curing stage of the operation stage takes place. Lift pin mechanisms 84 supporting the substrate are lowered to place the substrate into thermal contact with heated platen 18. In the practice of the present invention, thermal contact may involve actual physical contact between the substrate and heated platen 18, but actual physical contact is not required. Effective heating can be achieved by positioning the substrate in close proximity to heated platen 18, e.g., at a distance of 6 mil to 50 mil. Indeed, such a gap is preferred in some applications, because actual physical contact can contaminate the back side of the substrate. As a

WO 02/04134

PCT/US01/21927

consequence, the substrate is heated under conditions effective to cure the dielectric precursor and form a cured dielectric film on the substrate. The curing temperature will vary depending upon the type of dielectric precursor being cured. For the commercially available dielectric precursors, the heated platen 18 is typically maintained at a temperature within the range from about 350°C to about 450°C. The length of time at which the substrate is cured will also vary depending upon the kind of dielectric precursor being cured. Generally, station 10 of the present invention is capable of achieving very rapid curing, and curing periods of no more than ten minutes, preferably 1 to 3 minutes would be sufficient.

After the curing stage is completed, the cooling stage occurs. Because dielectric films are susceptible to thermal oxidation if exposed to the ambient while at elevated temperatures, the substrate is advantageously cooled in situ to a suitably low threshold temperature before being removed from station 10. This threshold temperature is generally in the range from 200°C to about 325°C, preferably about 250°C. Lower temperatures could be used, if desired, but such a practice will increase cycle time. Higher temperatures could also be used if desired, but with an increased risk of subjecting the cured dielectric film to thermal oxidation.

In the practice of the present invention, such in situ cooling is accomplished by raising lift pin mechanism 84 to thermally decouple the substrate from the heated platen 18. In practice, the physical separation between heated platen 18 and the raised substrate is generally about 100 mil to 600 mil, preferably about 530 mil. In situ cooling is then accomplished by causing a flow of gas through inner plenum 116 to coolingly contact the substrate while the substrate remains inside station 10. An optional flow of gas may also enter the chamber through outer plenum 114 if desired, but this is not required. Cooling is relatively rapid and can be completed in about 1 to 2 minutes.

After the substrate is cooled to the desired target temperature, the substrate is removed from station 10 in the unloading stage of the operation. With the cured and cooled substrate supported upon raised lift pin mechanisms 84, a curtain flow of gas through outer plenum 116 is established (if not already flowing) to help form a barrier between chamber 14 and the ambient. An optional flow of

gas through inner plenum 116 may be maintained as well, but this is not required. With the curtain flow established, door 28 is opened, and the substrate may be removed from chamber 14 by a suitable handler, e.g., a robot or the like.

Fig. 5 shows one embodiment of an approach of the present invention in which the oxygen level in combination cure/in situ cooling station 10 of Figs. 1 through 4 is controllable. Fig. 5 shows station 10 in simplified form as including process chamber 14 in which in-process microelectronic substrate 16 is supported upon lift pins 84 above heated platen 18. Door 28 opens and closes to allow loading and unloading to and from process chamber 14. To carry out in situ cooling in accordance with the present invention, source 170 of cooling gas is fluidly coupled to chamber 14 via supply line 172. The flow of cooling gas flowing through line 172 is controlled via valves 174 and 176. Oxygen containing gas (such as ambient air) from source 178 is fluidly coupled to line 172 via line 180. Valve 182 controls the amount of oxygen containing gas combined with cooling gas so that the level of oxygen in cooling gas entering chamber 14 can be controllably maintained at desired processing level(s) during curing and in situ cooling. Valve 176 controls the flow of oxygen containing cooling gas into chamber 14. One or more additional process gases may also be fluidly coupled to chamber 14. For purposes of illustration, a source 184 of conventional forming gas containing nitrogen and hydrogen is fluidly coupled to chamber 14 via supply line 186. Valve 188 controls the flow of the forming gas. Process gases are exhausted from chamber 14 via exhaust line 190. Exhaust line 190 is operationally coupled to vacuum pump 192 to allow chamber 14 to be placed under vacuum if desired. Valve 193 controls the flow of exhaust gases from process chamber 14.

In order to monitor and control oxygen level in process chamber 14, a portion of the exhaust gases is drawn off through line 194 to oxygen sensor 196. Valve 198 controls this flow. Oxygen sensor 196 can be any suitable sensor capable of accurately measuring oxygen levels in a range at least including about 5 ppm to about 500 ppm. A variety of such sensors are commercially available and any could be used. One specific example of an oxygen sensor found to be suitable in the practice of the present invention is commercially available under the trade designation Oxygen Analyzer #60-0329 from Illinois Instruments, Inc.

Oxygen sensor 196 generates an output signal 200 indicative of the oxygen level in the exhaust gases. The output signal 200 is transmitted to controller 202. Using conventional control methodology, controller 202 generates a control signal 204 indicative of the degree to which the oxygen content in the exhaust gases deviates from the desired level. An appropriate control signal 204 is sent to valve 182 to reduce the flow of oxygen containing gas into line 172 if the measured oxygen level is too high or to increase the flow of oxygen containing gas into line 172 if the measured oxygen level is too low.

Fig. 5 illustrates a feedback approach for controlling the oxygen level in process chamber 14. Of course, any other suitable control methodology could be used. For example, feedforward control could be implemented by measuring the oxygen level in the gas entering process chamber 14 and then using the measurement to derive an appropriate control signal to send to valve 182. As another option, oxygen levels in both the inlet and exhaust gases could be monitored as the basis for a combination feedback and feedforward control methodology.

The combination cure/in situ cooling stations of the present invention may advantageously be incorporated into cluster tools in which coating, baking, curing, and cooling all occur in one integrated system. A particularly preferred, integrated cluster tool incorporating the curing and in situ cooling capabilities of the present invention is commercially available from FSI International, Inc., Fremont, CA, USA, under the trade designation CALYPSO™. This cluster tool is advantageously used to form low-k spin on dielectric films on microelectronic substrates. The cluster tool integrates spin-coating, baking, curing, in situ cooling, and chilling operations in a single platform capable of high volume production. More than one of each kind of station may be included to further increase productivity without increasing footprint. Dielectric films made using this tool tend to have lower refractive indices and dielectric constants as compared to otherwise identical films that are furnace processed.

Due to the integrated curing and in situ cooling capabilities in particular, the need to have a separate furnace on hand for curing is eliminated, further minimizing the total cleanroom floorspace needed to form low-k spin on

WO 02/04134

PCT/US01/21927

dielectric films. In short, the tool provides high productivity while also using valuable cleanroom floorspace very efficiently. Throughput of up to about 100 substrates per hour are easily achieved by this tool, which only occupies a footprint of about 64 ft². The integration of coating, baking, curing, and cooling into one tool not only significantly enhances low-k spin on dielectric film quality and uniformity, but also reduces device contamination. Curing and in situ cooling are preferably accomplished in a single, combination curing/in situ cooling station of the type shown in Figs. 1 through 4 herein or in Assignee's co-pending application identified above.

10 The CALYPSO™ cluster tool is extremely versatile in terms of processing capabilities. Substrates may be individually processed, sequentially processed, or parallel processed using the same process recipe or custom process recipes for any one or more of the substrates being processed. The tool can easily handle substrates of different sizes. For example, by merely switching the robot end effector on the centrally located robot and the spin coating shield in the coating station(s), and by then selecting the appropriate process recipe in the PC-based control system, the tool can be converted from 200 mm processing capability to 300 mm processing capability, and vice versa. The need to have separate machines for processing 200 mm and 300 mm wafers, respectively, is thus eliminated. This is still yet another way in which the tool saves valuable cleanroom floorspace. The tool also is capable of forming dielectric films, including porous dielectric films, from a wide range of low-k spin on dielectric precursors including but not limited to the commercially available POLY ELK, LKD, HSG, porous SILK 2, ISP, and porous FLARE, dielectric precursor materials.

25 The CALYPSO™ cluster tool also prepares lower k dielectric films as compared to conventional furnace-based processes. Dielectric films produced using the principles of the present invention as practiced on this tool also have lower refractive index and show tremendous thickness uniformity from wafer to wafer. For example, when forming dielectric films from the FLARE material, wafer to wafer thickness uniformity of 0.2% or better (one sigma) are easily achieved. In the practice of the present invention, thickness uniformity is determined from 49 thickness data points measured using a NANOMETRICS tool

WO 02/04134

PCT/US01/21927

to make the measurements. As compared to otherwise identical furnace-based processes, dielectric films of the present invention also tend to have better thermal stability. The high quality of the dielectric films allows resultant films to be integrated with multilevel aluminum (subtractive metal processing) and/or copper (e.g., dual damascene processing) for ULSI applications.

A representative embodiment of the versatile CALYPSO™ cluster tool 300 is schematically shown in Fig. 6, in which tool 300 is shown in one illustrative production configuration. Cluster tool 300 generally includes a plurality of modules 302, 303, 304, 305, 306, 307, and 308 operationally positioned around central robot 310. Advantageously, each of modules 302, 303, 304, 305, 306, 307, and 308 is a self-contained module complete with frame, skins, electronics, control hardware, and processor and facility connections. The facility connections are independently coupled to a facility platform centrally located below robot 310. The modularity allows individual modules to be easily removed for service, upgrade, replacement, or the like.

Wall 312 optionally includes one or more access ports, e.g., a door or panel or the like, to allow access into cluster tool 300 for service and maintenance. Wall 312 also may include one or more transparent panels to allow visual inspection of the interior region 316 of cluster tool 300.

Robot 310 includes base 322, jointed arm 324 attached to base 322 at joint 326, and end effector 328 releasably attached to distal end 330 of arm 324. End effector 328 releasably grips a wafer 344 being processed. In some embodiments, an end effector to be used on arm 324 is designed to be able to grab and release devices of a particular size or size range. In such embodiments, end effectors are swapped in order to switch from 200 mm processing to 300 mm processing, or vice versa. In other embodiments, a so-called universal end effector may be used that is capable of gripping and releasing objects of various sizes. In such embodiments, the same end effector can be used to handle both 200 mm and 300 mm wafers without the need for swapping the end effector for another one. Advantageously, robot 310 can reach any station in the cluster tool 300. This full, operational range eliminates the need for additional and/or secondary robots,

WO 02/04134

PCT/US01/21927

although one or more of such additional robots could be incorporated into cluster tool 300 if desired.

An integrated selection of modular processing stations is arranged within operational reach of robot 310 in the various modules 302, 303, 304, 305, 306, 307, and 308. The kind of stations, the number of each kind of station, and the placement of each kind of station in one or more of modules 302, 303, 304, 305, 306, 307, and 308 will depend upon factors such as the desired throughput, the process recipes to be used, the available utilities, the type of device being fabricated, and the like. One or more stations may be placed in each module, and the stations positioned in a particular module may be the same or different. For purposes of illustration, one suitable arrangement of stations in cluster tool 300 is shown in Fig. 6.

Specifically, one or more input/output (I/O) stations are modularly inserted into module 302. One or more cassettes 342 holding one or more wafers 344 may be loaded into I/O stations 340 through a door (not shown) or pod (not shown). Robot 310 can then access wafers 344 held in cassette 342, typically one wafer at a time, through a door (not shown) on the interior face 350 of cabinet 302. For purposes of illustration, three I/O stations are shown.

One or more spin-coating stations are incorporated into module 303. For production 2 to 3 spin coating stations are preferred. Module 304 may be used to store reservoirs 349 (four reservoirs 349 shown for purposes of illustration) of one or more process chemicals used in the various stations. For example, one reservoir 349 may be used for solvent, and the others may be used to hold dielectric precursor fluids. These reservoirs 349 are fluidly coupled to one or more of the spin-coating stations by suitable plumbing (not shown). One or more bake stations are incorporated into module 306. The bake stations may incorporate not just a bake plate but also an intrastation chill plate to accomplish chilling after a baking operation. A preferred embodiment of module 306 includes six bake stations. Module 306 also includes a chill station. One or more combination curing/in situ cooling stations of the present invention are incorporated into module 307. A preferred embodiment of module 307 includes six combination of these

WO 02/04134

PCT/US01/21927

curing/in situ cooling stations. Cabinet 308 may incorporate central controls for operating tool 300.

An alternative embodiment of the CALYPSO™ cluster tool 300' is shown in Fig. 7, in which the configuration of tool 300' is suitable for research and development applications. Cluster tool 300' generally includes a plurality of modules 302', 303', 304', 305', 306', 307', and 308' operationally positioned around a central robot 310'. Wall 312' helps to isolate interior region 316'. Module 302' houses a pair of I/O (FOUP) stations. Module 303' houses a single spin coating station and is positioned next to module 304', which houses spin coating chemicals, e.g., a solvent and three different spin coatable fluids in one embodiment. In the current CALYPSO™ design, up to two spin coating stations may be incorporated into module 303'. If more spin coating stations are desired, one or more additional modules may be added to tool 300'. Module 305' is presently blank and may later house additional processing stations for future expansion. Module 306' houses three bake stations and one chill station. Up to four more bake stations may be added to module 306'. Module 307' houses a pair of curing/in situ cooling stations and may hold up to four more of these. Controls are housed in module 308'.

A preferred mode of operation of cluster tools of the present invention will now be described in connection with Fig. 6 and the flow chart 400 shown in Fig. 8. In step 402, robot 310 withdraws a wafer 344 from I/O station 340. Prior to withdrawing the wafer, at that time, or afterwards, in step 404, a process recipe is selected for the wafer. The remainder of the process steps in flowchart 400 will be carried out in accordance with such recipe selection. In step 406, the robot 310 transfers the wafer to a spin-coating station. At that station in accordance with step 408, a spin-coatable composition comprising a curable dielectric precursor and solvent is dispensed onto the wafer as the wafer is rotated. This may be accomplished in one or more coating steps, depending on the materials being used. Spin coating forms a relatively thin, uniform, fluid coating on the wafer comprising the dielectric precursor and the solvent.

In a typical spin coating operation, the composition is dispensed onto the center of a spinning substrate. For example, the spin coating station on

WO 02/04134

PCT/US01/21927

the CALYPSO cluster tool includes three nozzles in some applications for dispensing up to 3 different chemicals onto the same or different substrates, usually being dispersed in succession. This 3-nozzle structure is useful for coating the SILK material onto a substrate in a 3-step process of priming, pre-wetting with a solvent, and top coating as recommended by the manufacturer. In each instance, the nozzle being used is translated proximal to the center axis of the rotating substrate in order to carry out the dispense.

Center dispense is a very suitable technique, but some alternative approaches may be used that reduce the volume of dispensed material required to effectively coat the spinning substrate. One such technique involves first pre-wetting the substrate with solvent after which a relatively reduced volume of the dielectric composition is dispensed. Pre-wetting can reduce the needed amount of dielectric composition. An alternative technique involves dispensing the dielectric composition as the nozzle translates radially either outward or inward relative to the spinning substrate. Radial dispensing may also be used in combination with a pre-wetting step. As compared to a center dispense, radial dispensing can reduce the needed volume of dielectric composition by as much as 25%.

After spin coating, edge bead removal (EBR) and/or backside rinse (BSR) treatments may optionally occur. The EBR treatment may occur using any suitable technique. A preferred EBR treatment occurs by cutting the edge bead on the coated wafer with a jet of solvent while the coated wafer spins at a suitable speed. When cutting the edge bead in this manner, some of the dielectric material may move to the backside of the wafer. Accordingly, it is preferred to follow the EBR treatment with a BSR treatment in which the debris on the backside is rinsed off with a solvent while the wafer spins.

Preferably, the EBR and/or BSR treatments occur only after the coated dielectric precursor material has dried to a suitable degree. According to one approach, the coated wafer may be allowed to dry in the spin coating station. However, depending upon the size of the wafer and the thickness of the film, such drying may require from about 1 minute to about 5 minutes. This is particularly the case for a 1 micrometer to 2 micrometer thick coating on a 300 mm wafer. To reduce this drying time, it can be much faster to transfer the coated wafer to a bake

WO 02/04134

PCT/US01/21927

station, bake the coated wafer for a few seconds, and then transfer the coated wafer back to a spin coating station at which the EBR and/or BSR treatments occur.

After spin coating and any optional EBR and/or BSR treatments, in accordance with step 410, robot 310 transfers the coated wafer to a bake station.

5 At the bake station, in accordance with step 412, the wafer is baked to remove all or a portion of the solvent so as to prepare the coated film to be cured in a subsequent curing step. Baking generally occurs within a relatively low temperature regime in which the temperature is below the recommended cure temperature and in which the risk of thermal oxidation is at least substantially
10 avoided. The temperature is desirably high enough, however, to allow the solvent to be removed in a reasonable amount of time. Typically, during baking, there is some advancement of the cure of the dielectric material to the so-called B-stage of polymerization. A typical temperature for baking is in the range from about 100°C to 350°C, preferably about 200°C to about 325° C depending upon the material.

15 It has now been discovered that the presence of residual solvent remaining in the baked coating can have a dramatic impact upon the quality and uniformity of the resultant cured films. Specifically, if all or substantially all (i.e., if the baked coating includes 0.1 weight percent or less of residual solvent based upon the total weight of the baked coating) is removed from the coating during the
20 baking, the quality of the resultant cured dielectric film may vary too much from device to device. Additionally, the resultant cured material itself may be different than what would have been expected based upon the starting precursor material. In contrast, if an amount of residual solvent remains in the coating after baking and is present at the onset of curing, the properties of the resultant cured films are much
25 more uniform. The nature of the cured material itself also correlates better to the starting precursor material. Accordingly, it is preferred to remove all but a relatively small amount of residual solvent in the baking step. Therefore, baked coatings of the present invention preferably include at least about 0.1 weight percent to about 5 weight percent, more preferably 0.5 to 2 weight percent, and
30 most preferably about 1 weight percent of residual solvent based upon the total weight of the baked coating.

WO 02/04134

PCT/US01/21927

With baking complete, the wafer is chilled and then robot 310 transfers the baked wafer from the bake station to a combination cure/in situ cooling station in accordance with step 414. In step 416, the wafer is loaded into the station, the station is purged with N_2 or the like to reduce the O_2 to the desired level, the baked coating on the wafer is cured, the cured film is then cooled in situ with a cooling gas, and then the cooled wafer is unloaded from station 362. In accordance with step 418, the robot then transfers the wafer to a chill station. There, the wafer is chilled to a desired final temperature in step 420. Robot 310 then transfers the wafer back to an I/O station in step 422 to complete the process for that wafer. The process shown in flowchart 400 may be repeated for a succession of one or more additional wafers using the same and/or different process recipes. After the film is formed, it may thereafter be patterned to form an insulating element or the like using any suitable technique.

In situ cooling in the context of an integrated processing system of the present invention, such as cluster tool 300, provides numerous benefits. First, as described above, in situ cooling helps to protect the wafer from thermal oxidation when the wafer is removed from station 362. This significantly enhances the quality of the resultant dielectric film. Second, robot handling leaves less of an end effector signature upon a cooled wafer, as compared to circumstances when a robot handles a hotter wafer. This, too, enhances the quality of the resultant dielectric film.

Third, with reference to Fig. 8, in situ cooling eliminates any variation in intrastation time period t_3 between curing and cooling so that every processed wafer experiences the very same process during the cure and cooling operation. This consistent timing capability not only enhances the quality of the resultant dielectric film, but also dramatically improves the wafer-to-wafer uniformity of cured low-k spin on dielectric films. In contrast, if there is too much variation in the time period t_3 between curing and cooling, as is the case for wafers batch cured in a furnace, uniformity is much worse and a unique process signature can be discerned on individual wafers.

In fact, this t_3 consistency, preferably in combination with controlling and preferably maintaining consistent interstation transfer times t_1 and

WO 02/04134

PCT/US01/21927

t_2 , offers tremendous flexibility and uniformity in processing microelectronic substrates. By making these time periods consistent between the bake, coat, cure, and cool operations, one can be assured that following a particular process recipe will provide a dielectric film of a particular quality with very little variation from substrate to substrate.

For example, a plurality of wafers can be sequentially processed through the system in which each wafer is subjected to the same coating, baking, curing, cooling, and optionally chilling recipe (including the same t_1 , t_2 , and t_3) to provide substrates bearing low-k dielectric, thin films with excellent wafer-to-wafer thickness uniformity. Moreover, a plurality of wafers can be sequentially processed through the system in any order using two or more recipes, and the groups of wafers processed according to a particular recipe will be virtually indistinguishable from each other. This flexibility also allows substrates to be custom processed on the fly. Such uniformity cannot be achieved as easily when coating, baking, curing, and cooling of spin on dielectric compositions are not integrated into a single, integrated system in which t_1 , t_2 , and/or t_3 are not as easily controlled or controllable.

Moreover, because cluster tool 300 may include multiple coating, baking, curing/cooling, and chilling stations, respectively, a plurality of wafers may be parallel processed in accordance with one or more recipes. Significantly, and due at least in part to the interstation control over time periods t_1 and t_2 and the intrastation control of the time period t_3 (if any, because one can transition from curing to cooling with essentially no delay such that t_3 is zero for practical purposes), uniformity of films prepared according to the same process recipe is exceptional, even though any particular substrate may have been processed on one or more different stations than another substrate.

Accordingly, when subjecting a plurality of substrates to a particular coating, baking, and curing/cooling recipe, it is preferred that at least one of t_1 , t_2 , and/or t_3 is/are controlled for each of such devices. More preferably, two or more of these time periods are controlled so as to be consistent from substrate to substrate, and most preferably all three of these time periods are controlled and are substantially the same, respectively for the substrates. As used with respect to

WO 02/04134

PCT/US01/21927

these time periods, "substantially the same" means that any such time period for a particular substrate varies by no more than 25%, preferably no more than 10%, and most preferably no more than about 1% with respect to the corresponding time period for any other substrate being processed in accordance with such recipe.

5 Parallel processing of wafers is schematically illustrated in Fig. 9 by flowchart 500 for a illustrative system that includes a single I/O station, a trio of spin coating stations, a trio of baking stations, a trio of cure/cooling stations, and a trio of chill stations. Flowchart 500 shows the process flow paths 501a, 501b, and 501c for three representative in-process wafers. As schematically shown by the
10 exemplary process flow paths 501a, 501b, and 501c, each wafer is withdrawn from the I/O station in step 502 and is then correlated with a particular recipe, which may be the same or different than the recipes for the other in-process wafers, in step 504. Next, each wafer is subjected to a respective sequence of a coating step 506, a baking step 508, a curing/cooling step 510, a chilling step 512, and a step
15 514 in which the device is returned to the I/O station. The process can then be repeated for more wafers as desired. If a single recipe is followed for all the wafers, the resultant dielectric films on each wafer will be virtually identical even though any one particular film may have been processed in one or more different stations than other films. If more than one recipe is followed, the resultant films
20 produced according to a particular recipe will be virtually identical to each other.

For maximum throughput, the three wafers are parallel processed.

In the practice of the present invention, this does not necessarily mean that a particular trio of wafers is processed through the same steps in tandem, but rather that at least a portion of the coating, baking, and/or curing/cooling operations for
25 one wafer will occur while at least a portion of the coating, baking, and/or curing/cooling operations are occurring for one or both of the other wafers. Further, more than one wafer may be processed in accordance with a particular flow path 501a, 501b, 501c, or the like, at any one time. For example, if one wafer on flow path 501a is at the chilling step 512, one or more other wafers may be
30 following the same flow path at one or more of the other stations. In other words, as soon as an in-process wafer leaves a station and it is unoccupied, another in-process wafer can take its place to maximize throughput.

WO 02/04134

PCT/US01/21927

The present invention will now be further described in connection with the following illustrative examples.

EXAMPLE 1

5 Low-*k* spin-on dielectric thin films were formed on a batch of 25 silicon wafers using the CALYPSO[®] tool cluster. A cassette storing the wafers was placed into the I/O module of the cluster. Each wafer was processed using an identical, predetermined, sequential process controlled through software packaged with the tool.

10 Each wafer was first transported by the central robot from the I/O module to a coating station where the wafer was coated with an adhesion promoter (AP 4000 available from the Dow Chemical Co.). The AP 4000 adhesion promoter (1 ml) was dispensed onto the center of each wafer while the wafer spun at 2500 rpm. After this dispense, the central robot transferred the wafer from the coating module to a bake station. The AP 4000 film on the wafer was baked at 15 200°C for 60 seconds. The wafer was then transferred by the central robot from the bake station to a chill station for processing at 20°C for 20 sec. The central robot then moved the chilled wafer back to the coat station. In the coat station, a low-*k* SILK dielectric precursor (Dow Chemical Co.) was dispensed (1.8 ml to 3 20 ml) onto the center of the wafer using dynamic dispense at a dispense speed of 1500 rpm. After the dispense, the wafer spin was ramped up to 3600 rpm for 45 seconds. Edge bead removal (EBR) then was performed at 1500 rpm using cyclohexanone at 2 mm from the edge of the wafer. A BSR treatment was also performed using cyclohexanone at a spin speed of 1500 rpm. The wafer was 25 allowed to continue to spin at 3000 rpm for another 10 seconds.

The central robot then moved the wafer to a first INSTACURE[™] station to carry out a baking step at 325°C for 60 seconds. The wafers were then moved to another INSTACURE[™] station with a heated platen maintained at 450°C. The thin film of coated SILK material was cured in the INSTACURE[™] 30 station at 450°C for 180 seconds with the oxygen level maintained at < 20 ppm. The cured wafers were cooled in the INSTACURE[™] station using nitrogen by lifting the wafers from the heated platen using the pins to support the wafer while

WO 02/04134

PCT/US01/21927

maintaining the anaerobic conditions. Once the wafers were cooled to below 325°C, the wafers were then transferred to a chill plate maintained at 20°C for 20 sec. The processed wafer was then returned to its cassette.

During loading of the wafer into the INSTACURE™ station,
5 nitrogen flowed through the outer plenum of the station at 55 standard ft³/hr (SCFH) as the wafer was placed on the lift pins/pins. After the door closure, when the wafer was still supported on the pins, the nitrogen flowed through both inner and outer plenums of the lid at 55 SCFH and 45 SCFH, respectively. During the curing, nitrogen flowed through the inner plenum only at 45 SCFH. When the
10 wafer was cooled on the pins, nitrogen flowed through the inner and outer plenums at 55 SCFH and 45 SCFH, respectively.

The thickness of the resultant SILK thin film on each wafer was measured using the instrument commercially available from Nanometrics. The average thickness of was about 5000 angstroms with thickness uniformity of $\leq$
15 0.15% (1 sigma).

For comparison purposes, a batch of 25 wafers was processed in similar manner, except that the comparison wafers were cured in a furnace (ex-situ) at 400°C for 60 minutes and cooled ex situ. Various properties of both the wafers processed in the CALYPSO® tool and the comparison wafers were
20 measured. The wafers processed in the CALYPSO® tool showed improved lower average refractive index of 1.6089 as compared to furnace cured film with an average refractive index of 1.6206. This and other data are reported in the following Table 1:

WO 02/04134

PCT/US01/21927

Table I

SILK Film Property		INSTACURE™ (450°C for 3 min)	Furnace Cured (400°C for 60 min)
5	Refractive Index (Rudolph)	1.6089 (633nm)	1.6206 (633 nm)
	Thickness Uniformity	≤ 0.15% (1 sigma)	≤ 0.25% (1 sigma)
	Refractive Index	1.904 (314 nm)	1.915 (314 nm)
	Refractive Index Uniformity	0.016 (1 sigma)	0.02 (1 sigma)
	Thermal Stability (TE-GC-Mass)	Less out-gassing	More out-gassing
10	Elastic Modulus (Gpa)	4.2	3.86

EXAMPLE 2

Low-*k* spin-on dielectric thin films were formed on a batch of 25
 15 silicon wafers using the CALYPSO® tool cluster. A cassette storing the wafers
 was placed into the I/O module of the cluster. Each wafer was processed using an
 identical, predetermined, sequential process controlled through software packaged
 with the tool.

To carry out the process, a wafer was transferred by the robot to the
 20 coat station. A low-*k* SILK (new version, no adhesion promoter needed) dielectric
 precursor (Dow Chemical Co.) dielectric precursor solution was dispensed (1.8 ml
 to 3 ml) onto the center of the wafer using dynamic dispense at a dispense speed of
 1500 rpm. After the dispense, the wafer spin speed was ramped up to 3600 rpm
 for 45 seconds. Edge bead removal (EBR) then was performed at 1500 rpm using
 25 cyclohexanone at 2 mm from the edge of the wafer. A BSR treatment was also
 performed using cyclohexanone at a spin speed of 1500 rpm. The wafer was
 allowed to continue to spin at 3000 rpm for another 10 seconds.

The central robot then moved the wafer to a first INSTACURE™
 station to carry out a baking step at 325°C for 60 seconds. The wafers were then
 30 moved to another INSTACURE™ station with a preheated platen maintained at
 450°C. The thin film of coated SILK material was cured in the INSTACURE™
 station at 450°C for 180 seconds with the oxygen level maintained at < 20 ppm.
 The cured wafer was cooled in the INSTACURE™ station using nitrogen to a

WO 02/04134

PCT/US01/21927

temperature below 325°C while maintaining the anaerobic conditions. The wafer was then transferred to a chill plate maintained at 20°C for 20 sec. The processed wafer was then returned to the cassette.

During loading, nitrogen flowed through the outer plenum at 55 SCFH. After the door closure, when the wafer is still on the pins, the nitrogen flowed through both inner and outer plenums at 55 SCFH and 45 SCFH, respectively. During the curing, the nitrogen flowed through the inner plenum only at 45 SCFH. When the wafer was cooled on the lift pins, nitrogen flowed through inner and outer plenums at 55 SCFH and 45 SCFH, respectively.

The thickness of the SILK thin film on each wafer was measured using the instrument commercially available from Nanometrics. The average thickness was about 5900 angstroms with thickness uniformity of $\leq 0.15\%$ (1 sigma). The refractive index of the film at 314 nm was 1.907.

EXAMPLE 3

In a manner similar to Example 2, 300 nm wafers were processed on the CALYPSO™ cluster tool. However, the wafers were coated with the SILK low-*k* dielectric precursor while each wafer spun at 1700 rpm. Additionally, the wafers were cooled in-situ to below 300°C before being chilled and transferred back to the cassette.

The average thickness of the resultant films was measured as 10,000 angstroms with a uniformity of $< 0.25\%$ (1 sigma). The average refractive index measured at 314 nm was found to be 1.904.

EXAMPLE 4

Low-*k* spin-on dielectric thin films were formed on a batch of 25 silicon wafers using the CALYPSO® cluster tool. A cassette storing the wafers was placed into the I/O module of the tool. Each wafer was processed using an identical, predetermined, sequential process controlled through software packaged with the tool.

WO 02/04134

PCT/US01/21927

To carry out the process, the central robot moved a wafer to the coat station. A low-*k* FLARE dielectric precursor (Honeywell) was dispensed (2.5 ml) onto the center of the wafer using dynamic dispense at a dispense speed of 1500 rpm. After the dispense, the wafer spin speed was ramped up to 3600 rpm for 40 seconds. Edge bead removal (EBR) then was performed at 1500 rpm using cyclohexanone at 2 mm from the edge of the wafer. A BSR treatment was also performed using cyclohexanone at a spin speed of 1500 rpm. The wafer was allowed to continue to spin at 3000 rpm for another 10 seconds.

The central robot then moved the wafers to a succession of bake stations maintained at 150°C, 200°C, 250°C, respectively. The baking was performed for 60 seconds at each temperature. The wafers were then moved to an INSTACURE™ station with a preheated platen maintained at 450°C. The thin film of coated FLARE material was cured in the INSTACURE™ station at 450°C for 180 seconds with the oxygen level maintained at < 20 ppm. The cured wafer was cooled in the INSTACURE™ station using nitrogen to a temperature below 325°C while maintaining the anaerobic conditions. The wafer was then transferred to a chill plate maintained at 20°C for 20 sec. The processed wafer was then returned to the cassette.

During the loading, the nitrogen flowed through the outer plenum at 55 SCFH. After the door closure, before the wafer was lowered into thermal contact with the heated platen, nitrogen flowed through both inner and outer plenums at 55 SCFH and 45 SCFH, respectively. During curing, nitrogen flowed through the inner plenum only at 55 SCFH. During cooling, nitrogen flowed through inner and outer plenums at 55 SCFH and 45 SCFH, respectively.

The thickness of the FLARE thin film on each wafer was measured using the instrument commercially available from Nanometrics. The average thickness was about 5990 angstroms with a thickness uniformity of $\leq 0.15\%$ (1 sigma).

For comparison purposes, a batch of 25 wafers was processed in similar manner, except that the comparison wafers were cured in a furnace (ex-situ) at 400°C for 60 minutes and cooled ex situ. Various properties of the wafers processed in the CALYPSO® tool and the comparison wafers were measured. The

WO 02/04134

PCT/US01/21927

wafers processed in the CALYPSO® tool showed improved lower average refractive index of 1.6089 compared to furnace cured film with an average refractive index of 1.6206. This and other data are reported in the following Table 2:

5

Table 2

SILK Film Property	Instacured (450°C for 3 min)	Furnace Cured (420°C for 60 min)
Refractive Index (Whoolam)	1.669 (633nm)	1.68 (633 nm)
Thickness Uniformity	≤ 0.15% (1 sigma)	≤ 0.20% (1 sigma)
10 Thermal Stability (IE-GC-Mass)	Less out-gassing	More out-gassing
Elastic Modulus (Gpa)	5.77	5.33
Hardness (Gpa)	0.384	0.363

Other embodiments of this invention will be apparent to those skilled in the art upon consideration of this specification or from practice of the invention disclosed herein. Various omissions, modifications, and changes to the principles and embodiments described herein may be made by one skilled in the art without departing from the scope and spirit of the present invention which is indicated by the following claims.

20

WO 02/04134

PCT/US01/21927

WHAT IS CLAIMED IS:

1. A method of forming a cured, dielectric composition on a substrate, comprising the steps of:
 - 5 (a) coating a composition comprising a thermally curable, dielectric precursor onto at least a portion of the substrate;
 - (b) causing the coated substrate to be positioned in a process chamber;
 - (c) while the coated substrate is positioned in the process
10 chamber:
 - (i) thermally curing the dielectric precursor to form the cured dielectric composition; and
 - (ii) causing a gas to coolingly contact the cured dielectric composition; and
 - 15 (d) after said gas coolingly contacts the cured dielectric composition, removing the coated substrate from the process chamber.
2. The method of claim 1, wherein the dielectric precursor comprises an organic prepolymer component, and wherein at least a portion of said
20 thermal curing occurs under anaerobic conditions.
3. The method of claim 1, wherein the dielectric precursor comprises an organic prepolymer component, and wherein at least a portion of said
25 thermal curing and gas cooling occur under anaerobic conditions.
4. The method of claim 3, wherein at least substantially all of the thermal curing and cooling gas contact occur under anaerobic conditions.
5. The method of 2, wherein the anaerobic conditions comprise
30 thermally processing the coated substrate in an anaerobic environment comprising no more than about 200 ppm oxygen.

WO 02/04134

PCT/US01/21927

6. The method of 4, wherein the anaerobic environment comprises no more than about 200 ppm oxygen.

7. The method of claim 1, wherein the dielectric precursor comprises an inorganic prepolymer component, and wherein at least a portion of said thermal curing and gas cooling occur under aerobic conditions.

8. The method of claim 1, wherein a side door operationally engages a portal through which a substrate to be processed is transferred to and from the process chamber.

9. The method of claim 1, wherein the coating step comprises spin coating the composition comprising the curable dielectric precursor onto the substrate.

10. The method of claim 1, wherein said dielectric precursor has a cure temperature, the coated composition comprises a solvent, and thermal curing occurs at a temperature at or above the cure temperature, and wherein the method further comprises the step of, after coating but prior to curing, causing the coated composition to be pre-baked at a temperature below the cure temperature in order to remove at least a portion of the solvent.

11. The method of claim 10, wherein said pre-baking occurs under conditions such that the coated composition comprises an amount of residual solvent.

12. The method of claim 11, wherein said amount of residual solvent comprises from about 0.5 to about 5 weight percent of solvent of the total solvent included in the composition at the time of coating.

13. The method of claim 1, wherein at least a portion of the thermal curing step occurs under vacuum.

WO 02/04134

PCT/US01/21927

14. A method of forming dielectric compositions on a plurality of substrates, comprising the steps of:
- (a) coating a composition comprising a curable dielectric precursor onto a first substrate;
 - (b) causing the coated substrate to be prebaked, said prebaking being initiated after a first time interval from the end of the coating step;
 - (c) causing the coated substrate to be thermally cured, said thermal curing being initiated after a second time interval from the end of the prebaking step;
 - (d) causing the thermally cured substrate to be cooled, said cooling being initiated after a third time interval from the end of the thermal curing step; and
 - (e) repeating steps (a) through (d) for at least one additional substrate, wherein the respective second time intervals for each of the first coated substrate and the at least one additional coated substrate are substantially the same.
15. The method of claim 14, wherein the respective first time intervals for each of the first coated substrate and the at least one additional coated substrate are substantially the same.
16. The method of claim 14, wherein the respective third time intervals for each of the first coated substrate and the at least one additional coated substrate are substantially the same.
17. The method of claim 16, wherein the respective first time intervals for each of the first coated substrate and the at least one additional coated substrate are substantially the same.

WO 02/04134

PCT/US01/21927

18. The method of claim 14 wherein at least a portion of the cooling occurs by causing a gas to coolingly contact the thermally cured substrate, and wherein the thermal curing and said cooling gas contact occur in the same process chamber.
- 5 19. The method of claim 14, wherein the dielectric precursor comprises an organic prepolymer component, and wherein at least a portion of said thermal curing occurs under anaerobic conditions.
- 10 20. The method of claim 15, wherein the dielectric precursor comprises an organic prepolymer component and wherein at least a portion of said thermal curing and said cooling gas contact occur under anaerobic conditions.
- 15 21. The method of claim 18, wherein at least substantially all of the thermal curing and cooling gas contact occur under anaerobic conditions.
22. The method of claim 14, wherein at least a portion of the thermal curing step occurs under vacuum.
- 20 23. A method of forming a cured, dielectric composition on a substrate, comprising the steps of:
- (a) coating a composition comprising a thermally curable, dielectric precursor and an amount of solvent such that the composition has a coatable viscosity onto at least a portion of the substrate;
 - 25 (b) pre-baking the coated substrate at a first, relatively low temperature profile under conditions such that at least a portion of the coated dielectric precursor is uncured and the coated composition comprises a residual amount of solvent;
 - (c) thermally curing the dielectric precursor at a second,
 - 30 relatively high temperature profile under conditions such that at least substantially all of the dielectric precursor is cured to form the dielectric composition; and
 - (d) cooling the cured dielectric composition.

WO 02/04134

PCT/US01/21927

24. A method of forming a cured, dielectric composition on a substrate, comprising the steps of:
- (a) coating a composition comprising a thermally curable, dielectric precursor onto at least a portion of the substrate;
 - (b) causing the coated substrate to be positioned in a process chamber;
 - (c) while the coated substrate is positioned in the process chamber:
 - (i) thermally curing the dielectric precursor to form the cured dielectric composition, wherein at least a portion of the thermal curing occurs under anaerobic conditions; and
 - (ii) causing a gas to coolingly contact the cured dielectric composition; and
 - (d) after said gas coolingly contacts the cured dielectric composition, removing the coated substrate from the process chamber.
25. A method of forming respective dielectric compositions on a plurality of substrates, comprising the steps of:
- (a) causing a first composition comprising a first dielectric precursor to be coated onto a first substrate;
 - (b) causing the coated, first substrate to be positioned in a processing chamber;
 - (c) while the first substrate is positioned in the processing chamber:
 - (i) causing the first substrate to be in thermal contact with a heat source under conditions effective to thermally cure the first, coated substrate; and
 - (ii) causing a gas to coolingly contact the thermally cured, first substrate; and
 - (d) repeating steps (a) through (c) for a second substrate.

WO 02/04134

PCT/US01/21927

26. The method of claim 25, wherein at least a portion of at least one of the repeated steps (a) through (c) occurs while at least a portion of at least one of said steps (a) through (c) is carried out with respect to the first substrate.

5 27. The method of claim 25, wherein said coating, positioning, thermal curing, and cooling steps are carried out in a cluster tool comprising at least one input/output module, at least one coating module, and at least one combination cure/cool module.

10 28. The method of claim 27, wherein the tool comprises at least two cure/cool modules and at least a portion of the curing step for the first substrate occurs while at least a portion of the curing step for the second substrate is occurring.

15 29. The method of claim 27, wherein the tool comprises at least two cure/cool modules and at least a portion of the gas cooling step for the first substrate occurs while at least a portion of the gas cooling step for the second substrate is occurring.

20 30. The method of claim 27, wherein the tool comprises at least two cure/cool modules and at least a portion of the gas cooling step for the first substrate occurs while at least a portion of the gas cooling step for the second substrate is occurring.

25 31. The method of claim 25, wherein each of the first and second substrates are processed in parallel according to first and second process recipes, respectively, said first and second process recipes being different.

30 32. The method of claim 29, wherein each of the first and second substrates are processed in parallel according to first and second process recipes, respectively, said first and second process recipes being substantially identical.

WO 02/04134

PCT/US01/21927

33. The method of claim 25, further comprising subjecting each of the first and second coated substrates to respective pre-bake treatments, said pre-bake treatments occurring prior to thermal curing.

5

34. The method of claim 33, wherein thermal curing of the first coated substrate is initiated after a first time interval from the end of the corresponding pre-bake treatment and thermal curing of the second coated substrate is initiated after a second time interval from the corresponding pre-bake treatment, said first and second time intervals being substantially identical.

10

35. The method of claim 34, wherein each of the first and second substrates are processed sequentially according to first and second recipes, respectively, said first and second recipes being substantially identical.

15

36. The method of claim 34, wherein each of the first and second substrates are processed sequentially according to first and second recipes, respectively, said first and second recipes being different from each other.

20

37. A method of forming respective dielectric compositions on a plurality of substrates, comprising the steps of:

(a) providing first and second groups of substrates, each of said groups comprising at least one substrate to be processed;

(b) in accordance with a first process recipe:

25

(i) causing a first composition comprising a first dielectric precursor to be coated onto each substrate in the first substrate group;

(ii) causing each of the coated, substrates of the first group to be positioned in a processing chamber;

30

(iii) while each of the substrates of the first group is positioned in the processing chamber: causing each such coated substrate of the first group to be in thermal contact with a heat source under conditions effective to

WO 02/04134

PCT/US01/21927

thermally cure such coated substrate; and causing a gas to coolingly contact each of the thermally cured, first substrates; and

- (c) in accordance with a second process recipe different than the first process recipe, repeating step (b) for each of the substrates in the second group.

38. An apparatus for thermally processing a microelectronic device precursor, comprising:

- a process chamber in which the precursor is positioned during processing;
- a heat source thermally coupled to the process chamber in a manner such that the precursor may be heated during processing;
- a source of a cooling gas in fluid communication with the process chamber such that the cooling gas may be caused to coolingly contact the precursor during processing; and
- a control system that controls the heat source and source of cooling gas in order to subject the precursor to a desired thermal processing profile involving at least one heating step and at least one cooling step during processing.

39. The apparatus of claim 38, further comprising a transport mechanism operationally coupled to the precursor positioned in the process chamber in a manner effective to transport the precursor through a range of motion comprising a precursor heating position and a precursor cooling position.

40. The apparatus of claim 38, further comprising a portal positioned on the side of the apparatus through which the precursor is loaded into and withdrawn from the process chamber.

41. The apparatus of claim 38, wherein said heat source comprises a bake plate positioned in the process chamber and wherein the apparatus further comprises a hollow support member upon which the bakeplate is supported at least in part.

WO 02/04134

PCT/US01/21927

42. A cluster tool, comprising at least one combination heat/cool process station comprising:
- 5 a process chamber in which the precursor is positioned during processing;
- a heat source thermally coupled to the process chamber in a manner such that the precursor may be heated during processing; and
- 10 a source of a cooling gas in fluid communication with the process chamber such that the cooling gas may be caused to coolingly contact the precursor during processing.
43. The cluster tool of claim 42, further comprising an input/output station, a coating station, a pre-bake station, and a robot comprising an operational range of motion that allows the robot to operationally load and unload
- 15 a workpiece from each of the stations.
44. The cluster tool of claim 43, further comprising at one additional heat/cool process station.
- 20 45. The cluster tool of claim 44, wherein the additional heat/cool process station is positioned vertically above the other heat/cool process station.
46. The cluster tool of claim 43, further comprising a central
- 25 source of at least one utility, said utility source being independently coupled to the combination heat/cool stations.
47. The cluster tool of claim 44, further comprising at least one pre-bake station.
- 30 48. The cluster tool of claim 42, further comprising a dispense station that is operationally coupled to a source of a coatable composition

WO 02/04134

PCT/US01/21927

comprising a dielectric precursor in a manner effective to allow an amount of the coatable composition to be coated onto a substrate.

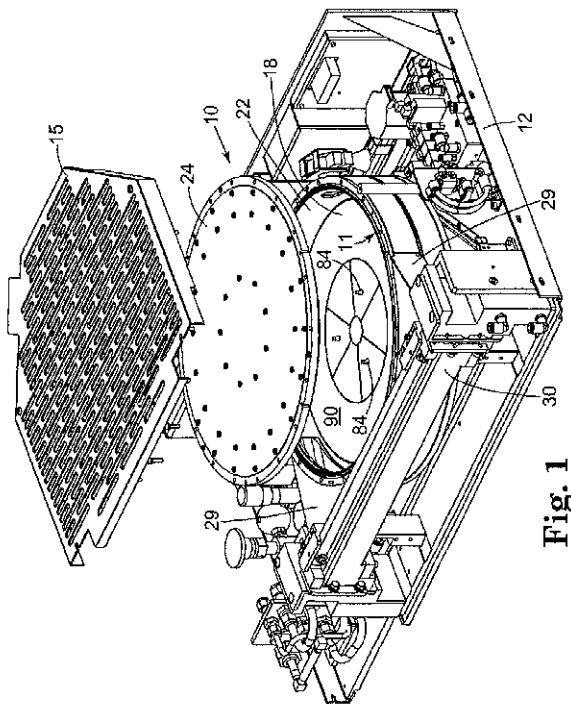


Fig. 1

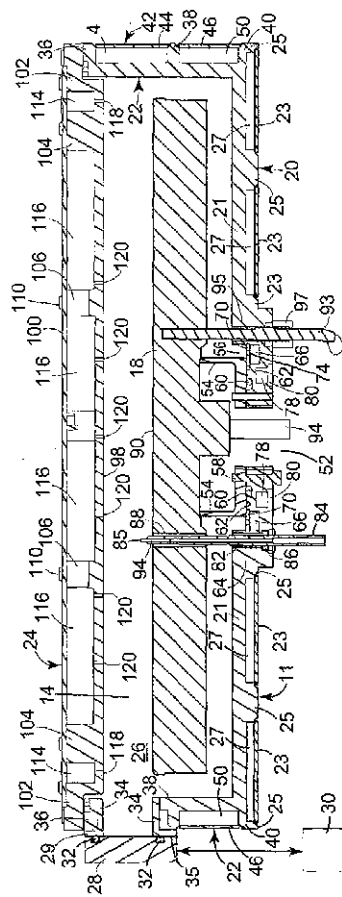
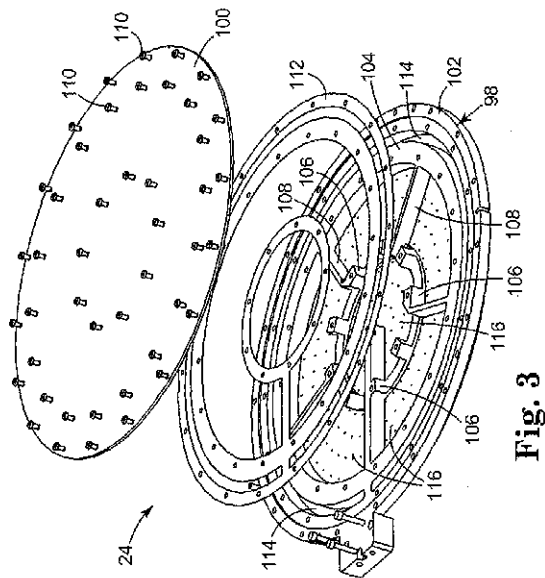


Fig. 2

SUBSTITUTE SHEET (RULE 26)

3/9

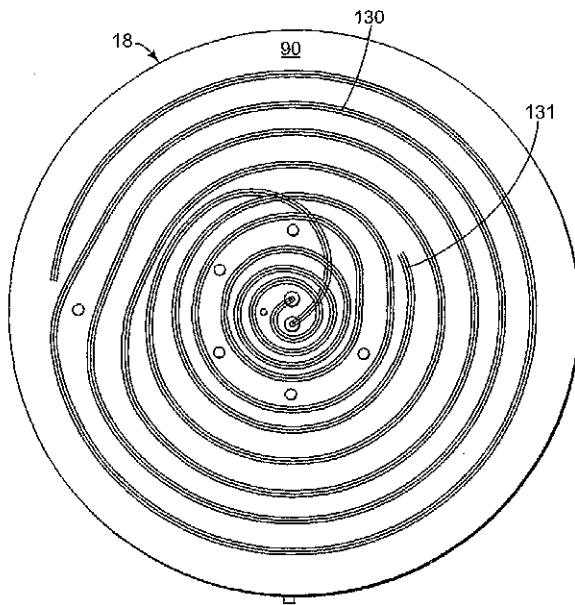


SUBSTITUTE SHEET (RULE 26)

WO 02/04134

PCT/US01/21927

4/9

**Fig. 4**

SUBSTITUTE SHEET (RULE 26)

5/9

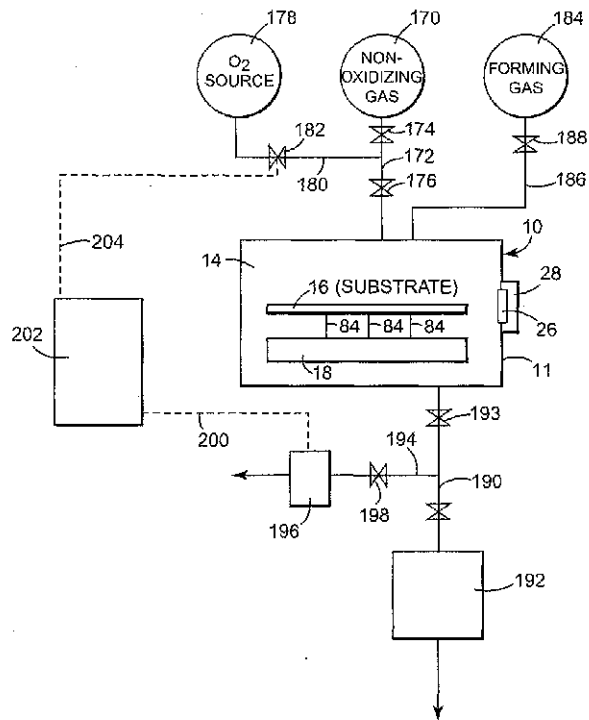
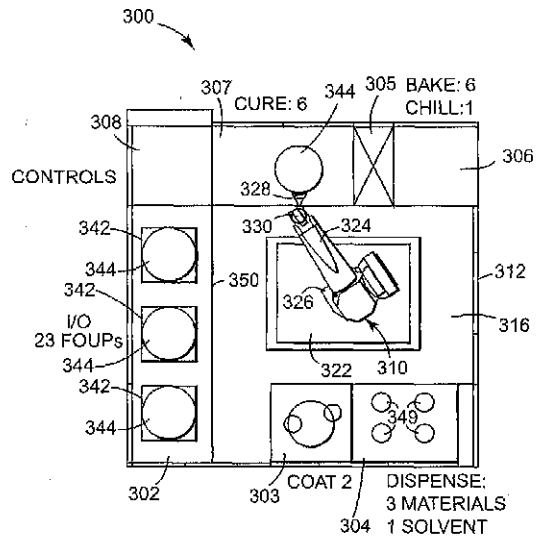
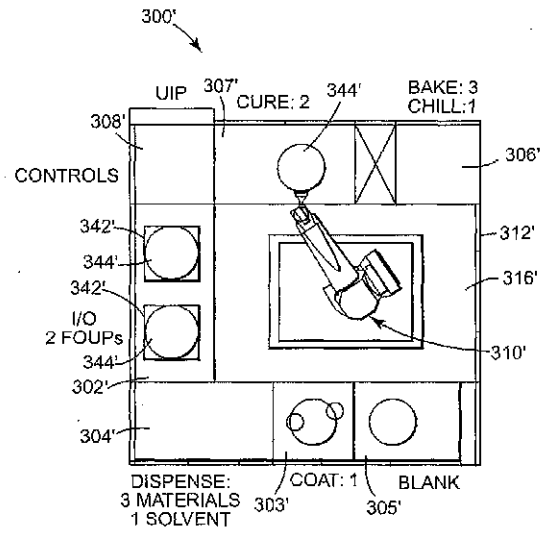


Fig. 5

6/9

**Fig. 6**

7/9

**Fig. 7**

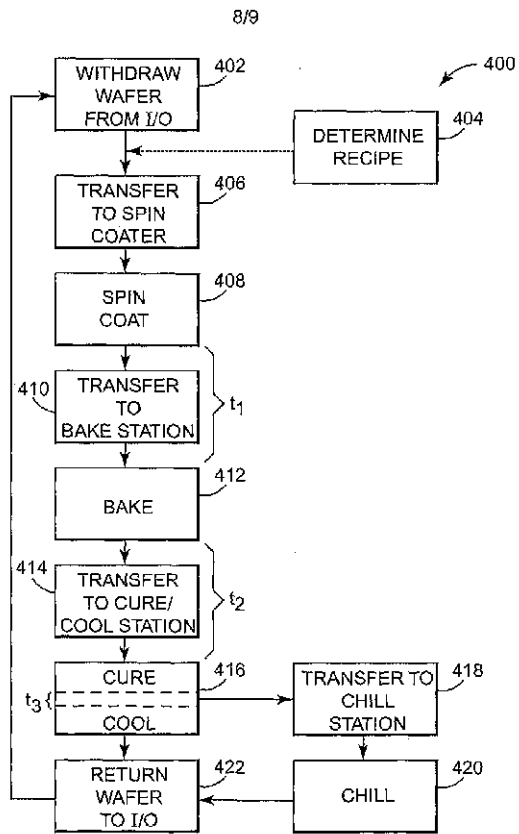
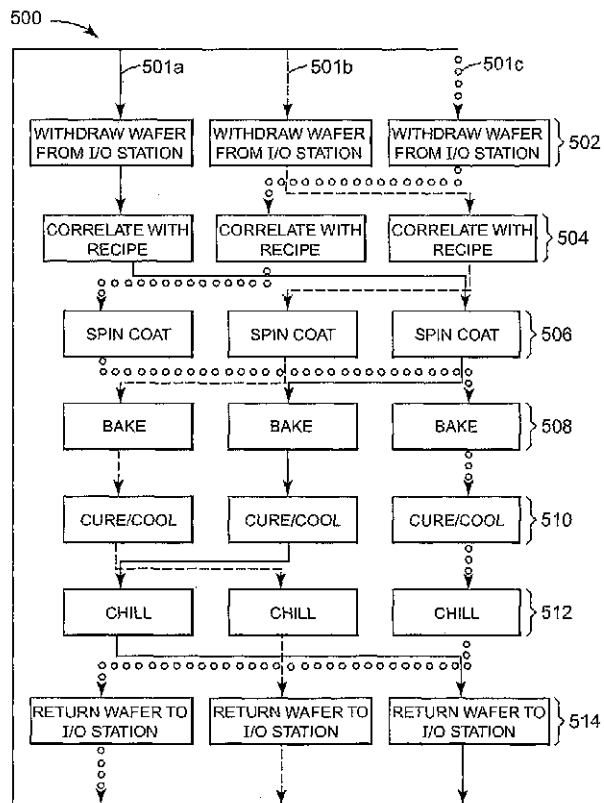


Fig. 8

**Fig. 9**

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

CORRECTED VERSION

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
17 January 2002 (17.01.2002)

PCT

(16) International Publication Number
WO 02/04134 A1

- (51) International Patent Classification: B05D 3/02, 3/04, 3/12 (81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GL, GM, GR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.
- (21) International Application Number: PCT/US01/21927 (84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), European patent (AM, AZ, BY, EG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).
- (22) International Filing Date: 11 July 2001 (11.07.2001)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 60/325,784 12 July 2000 (12.07.2000) US
- (71) Applicant: FSI INTERNATIONAL, INC. [US/US]; 322 Lake Hazeltine Drive, Chaska, MN 55318 (US).
- Published:
with international search report
- (72) Inventors: KUMAR, Devendra; 897 Altos Oaks Drive, Los Altos, CA 94024 (US); WDMACK, Jeffrey, D.; 3582 Ballantyne Drive, Pleasanton, CA 94588 (US); NGUYEN, Vuong, P.; 1834 Mt. Laurel Lane, Allen, TX 75002 (US); KASAHARA, Jack, S.; 1340 Old Adobe Road, Los Gatos, CA 95030 (US); TPCRHAPORIA, Ketan; 35648 Chaplin Drive, Fremont, CA 94536 (US); IBRAHIM, Sokol; 3692 Rockingham Drive, Pleasanton, CA 94588 (US).
- (48) Date of publication of this corrected version: 28 March 2002
- (15) Information about Correction: see PCT Gazette No. 13/2002 of 28 March 2002, Section II
- (74) Agent: KAGAN, David, B.; Kagan Binder, PLLC, Suite 200, Maple Island Building, 221 Main Street North, Stillwater, MN 55082 (US).
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

WO 02/04134 A1

(54) Title: THERMAL PROCESSING SYSTEM AND METHODS FOR FORMING LOW-K DIELECTRIC FILMS SUITABLE FOR INCORPORATION INTO MICROELECTRONIC DEVICES

(57) Abstract: Single wafer processing methods and systems for manufacturing films having low-k properties and low indices of refraction. The methods incorporate a processing station in which both curing and post-cure, in situ gas cooling takes place.

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/21027
A. CLASSIFICATION OF SUBJECT MATTER (IPC) : B60D 8/04, 8/04, 8/12 US CL : Please See Extra Sheet. According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 427/250, 287, 272.5, 279.1, 279, 285.6, 280.7, 286.4, 428; 119/52, 520; 210/590, 405, 411 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST search terms: thermal curing, rapid thermal processing, cooling gas, dielectric coating, cluster tool		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, P ---Y, P	US 6,042,994 A (YANG et al) 28 March 2000 (28.03.2000), column 6, lines 18-67, column 8, lines 49-67.	23 ----- 1-2, 9-17, 19-22, 24-26
X, P -----Y, P	US 6,215,106 B1 (BOAS et al) 10 April 2001 (10.04.2001), column 2, lines 12-50, column 4, lines 11-67.	38-41 ----- 1, 3-8, 13-14, 18, 24-26, 37, 42
X -----Y	US 5,968,691 A (YOSHIOKA et al) 19 October 1999 (19.10.1999), column 5, lines 19-67, column 6, lines 1-63, column 7, lines 1-40	23 ----- 25-37, 42-48
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) to which it is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" document published after the international filing date but prior to the date of publication of the application "X" document of particular relevance; the claimed invention cannot be considered novel or obvious in view of the document in combination with one or more other cited documents, such combination being relevant to a person skilled in the art "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other cited documents, such combination being relevant to a person skilled in the art "Z" document of the same patent family		
Date of the actual completion of the international search 29 AUGUST 2001		Date of mailing of the international search report 01 NOV 2001
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 836-8280		Authorized officer JENNIFER CALCAGNI Telephone No. (703) 306-0561

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP01/01927

A. CLASSIFICATION OF SUBJECT MATTER

US CL. :

427/540, 987, 372.2, 374.1, 375, 385.5, 389.7, 392.4, 405, 118/52, 520; 210/500, 506, 511

フロントページの続き

(51)Int.Cl.⁷ F I テーマコード (参考)
H O 1 L 21/312 H O 1 L 21/312 A

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW

(72)発明者 クーマー、デヴェンドラ
アメリカ合衆国 カリフォルニア 94024 ロス アルトス アルトス オークス ドライブ
897

(72)発明者 ウォーマック、ジェフリー ディー.
アメリカ合衆国 カリフォルニア 94588 プリーザントン バレンタイン ドライブ 35
82

(72)発明者 グエン、ボング ピー.
アメリカ合衆国 テキサス 75002 アレン マウント ローレル レイン 1834

(72)発明者 カサハラ、ジャック エス.
アメリカ合衆国 カリフォルニア 95030 ロス ガトス オールド アドビ ロード 13
0

(72)発明者 イブラニ、ソコル
アメリカ合衆国 カリフォルニア 94588 プリーザントン ロッキンガム ドライブ 36
92

Fターム(参考) 4D075 AC64 AC96 BB18Z BB26Y BB36Y BB38Y BB56Y BB57Z BB91Y BB93Y
BB95Y CA23 CA48 DA06 DB14 DC22 EA07 EA19 EB01 EB47
4F042 AA02 AA07 BA18 BA19 DB04 DB15 DC00 DC01 EB24 EB30
5F045 AB39 EB20 EJ02 EJ10
5F058 AC10 AF04 AG01 AG10