



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년09월24일
(11) 등록번호 10-1185685
(24) 등록일자 2012년09월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/092 (2006.01)
(21) 출원번호 10-2007-7017127
(22) 출원일자(국제) 2005년12월16일
 심사청구일자 2010년12월16일
(85) 번역문제출일자 2007년07월25일
(65) 공개번호 10-2007-0094807
(43) 공개일자 2007년09월21일
(86) 국제출원번호 PCT/US2005/045727
(87) 국제공개번호 WO 2006/081003
 국제공개일자 2006년08월03일
(30) 우선권주장
 11/043,337 2005년01월26일 미국(US)

(56) 선행기술조사문헌
US20050087870 A1
US6255698 A

전체 청구항 수 : 총 3 항

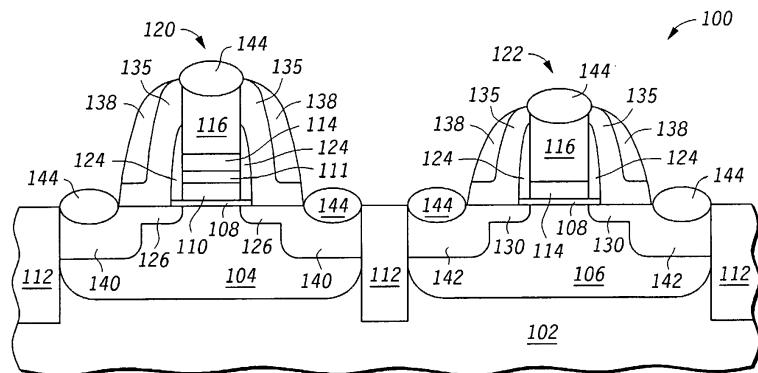
심사관 : 이승주

(54) 발명의 명칭 CMOS 프로세스를 위한 금속 게이트 트랜지스터 및 제조방법

(57) 요약

반도체 디바이스(100)를 형성하기 위한 방법은, 제1 영역(104)을 갖는 반도체 기판을 형성하는 단계, 상기 제1 영역 위에 게이트 유전체(108)를 형성하는 단계, 상기 게이트 유전체 위에 도전성 금속 산화막(110)을 형성하는 단계, 상기 도전성 금속 산화막 위에 산화 방지 장벽층(111)을 형성하는 단계, 및 상기 산화 방지 장벽층 위에 캡핑층(116)을 형성하는 단계를 포함한다. 일 실시예에서, 상기 도전성 금속 산화막은 IrO₂, MoO₂, 및 RuO₂이고, 산화 방지 장벽층은 TiN을 포함한다.

대 표 도 - 도7



특허청구의 범위

청구항 1

반도체 디바이스를 형성하는 방법으로서,

반도체 기판을 제공하는 단계 - 상기 반도체 기판은 제1 영역을 가짐 - ;

상기 제1 영역 위에 게이트 유전체를 형성하는 단계;

상기 게이트 유전체 위에 도전성 금속 산화물을 형성하는 단계;

상기 도전성 금속 산화물 위에 산화 방지 장벽층을 형성하는 단계;

상기 산화 방지 장벽층 위에 캡핑층(capping layer)을 형성하는 단계;

상기 도전성 금속 산화물, 산화 방지 장벽층, 및 상기 캡핑층을 패터닝하여 측벽을 갖는 게이트를 형성하는 단계 - 상기 측벽은, 상기 반도체 기판으로부터 확장됨 - ; 및

상기 측벽에 스페이서를 형성하는 단계 - 상기 스페이서는, 상기 패터닝된 도전성 금속 산화물, 패터닝된 산화 방지 장벽 층, 및 상기 패터닝된 캡핑층의 각각의 에지 위로 확장됨 -

를 포함하는, 반도체 디바이스 형성 방법.

청구항 2

반도체 디바이스를 형성하는 방법으로서,

반도체 기판을 제공하는 단계 - 상기 반도체 기판은 제1 영역과 제2 영역을 갖고, 상기 제1 영역은 상기 제2 영역과 서로 다른 도편트를 가지며, 상기 서로 다른 도편트는 서로 다른 도전형을 가짐 - ;

상기 제1 영역과 상기 제2 영역 위에 게이트 유전체를 형성하는 단계;

상기 제1 영역 내의 상기 게이트 유전체 위에 도전성 금속 산화물을 형성하는 단계;

상기 제1 영역 내의 상기 도전성 금속 산화물 위에 산화 방지 장벽층을 형성하는 단계;

상기 제2 영역 내의 상기 게이트 유전체 위에 도전성 재료를 형성하고, 상기 제1 영역 내의 상기 산화 방지 장벽층 위에 상기 도전성 재료를 형성하는 단계;

상기 도전성 재료 위에 캡핑층을 형성하는 단계;

상기 제1 영역 내의 상기 도전성 금속 산화물, 산화 방지 장벽층, 상기 도전성 재료, 및 상기 캡핑층을 패터닝하여 측벽을 갖는 게이트를 형성하는 단계 - 상기 측벽은 상기 반도체 기판으로부터 확장됨 - ; 및

상기 측벽에 스페이서를 형성하는 단계 - 상기 스페이서는, 상기 패터닝된 도전성 금속 산화물, 패터닝된 산화 방지 장벽 층, 상기 패터닝된 도전성 재료, 및 상기 패터닝된 캡핑층의 각각의 에지 위로 확장됨 -

를 포함하는, 반도체 디바이스 형성 방법.

청구항 3

반도체 디바이스로서,

반도체 기판 - 상기 반도체 기판은 제1 영역을 가짐 - ;

상기 제1 영역 위의 게이트 유전체;

상기 게이트 유전체 위의 패터닝된 도전성 금속 산화물;

상기 패터닝된 도전성 금속 산화물 위의 패터닝된 산화 방지 장벽층;

상기 패터닝된 산화 방지 장벽층 위의 패터닝된 캡핑층 - 상기 패터닝된 도전성 금속 산화물, 상기 패터닝된 산화 방지 장벽층, 및 상기 패터닝된 캡핑층은, 상기 반도체 기판으로부터 확장되는 측벽을 갖는 게이트를 형성함 - ; 및

상기 측벽 위에 형성된 스페이서
를 포함하는, 반도체 디바이스.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술 분야

[0001] 본 발명은 반도체 제조 분야에 관한 것으로, 보다 구체적으로는, NMOS(n-channel metal oxide semiconductor) 및 PMOS(p-channel MOS) 디바이스를 위한 게이트 금속에 관한 것이다.

배경기술

[0002] CMOS(complementary metal-oxide semiconductor) 제조 분야에서는, 금속 및 산화막 둘 다를 포함하는 게이트의 사용을 고려하고 있다. 이중 금속 게이트 프로세스에서, 제1의 금속은 PMOS 디바이스를 위한 게이트 전극을 형성하기 위해 사용되는 한편 제2의 다른 금속은 NMOS 디바이스를 위한 게이트 전극을 형성하기 위해 사용된다. 서로 다른 금속을 사용하는 이유는 일함수가 각 디바이스 유형에 대해 최적화될 수 있기 때문이다. 일함수에 있어서의 변화는 임계 전압(V_T)에 영향을 미칠 것이다. PMOS 디바이스에 대해서는, 일함수가 실리콘 가전자대 에지인 5.2eV에 가까운 것이 바람직하고, NMOS 디바이스에 대해서는, 일함수가 도전대 에지인 4.1eV에 가까운 것이 바람직하다.

[0003] 게이트 재료로서 도전성 금속 산화막을 사용하는 경우의 문제점은, 고온 어닐링, 즉, 섭씨 450도를 넘는 어닐링 동안 금속 산화막이 산소를 손실할 수도 있다는 것이다. 바람직하지 않은 산소의 손실로 인해 게이트의 일함수는 바뀌게 되고, 따라서 디바이스의 V_T 가 바뀌게 된다.

[0004] 따라서, 어닐링 처리 단계 동안 변화가 방지되는 이중 금속 게이트들이 형성될 수 있는 제조 프로세스를 구비하는 것이 상당히 바람직하다.

실시예

[0015] 일반적으로, 본 발명은 도전성 게이트 산화막 위에 산화 방지 장벽층(oxidation resistant barrier layer)을 포함함으로써, 고온 어닐링 동안 게이트 전극이 산소를 손실하는 상술한 문제를 극복한다. 게이트 실리사이드 프로세스가 종래의 방식으로 형성될 수 있도록 산화 방지 장벽층 위에 폴리실리콘 캡핑층이 퇴적된다.

[0016] 이러한 이점들 및 장점들은 다음의 상세한 설명을 각각의 도면들과 관련시켜 본다면 더욱 쉽게 이해될 것이다. 도면들은 모든 면에서 일정한 비율로 그려지지 않았지만 본원을 이해하기 위해 크기에 있어서의 정확성이 필수적이지는 않다는 것에 유의한다. 또한, 구체적으로 설명되지는 않지만 본원의 범위 내에 있는 다른 실시예들이 존재할 수도 있다.

[0017] 도 1-7은 본 발명에 따른 반도체 프로세스의 일 실시예의 여러 스텝에서의 단면도를 도시한다. 도 1에서는, 부분적으로 완성된 반도체 디바이스(100)가 도시된다. 도 1에 도시된 바와 같이 반도체 디바이스(100)는 제1 웨(104)과 제2 웨(106)이 형성된 반도체 기판(102)을 포함한다. 통상적으로, 반도체 기판(102)은 약하게 도핑된(lightly doped) n-형 혹은 p-형 단결정 실리콘을 포함하지만, 실리콘, 게르마늄, 및 SOI(silicon-on-insulator)와 같은 그 외의 반도체 재료가 사용될 수도 있다. 도시된 반도체 디바이스(100)의 실시예는, 제1의 도전형 디바이스가 형성될 기판(102) 부분에는 제1 웨(104)이 선택적으로 주입되는 한편 제2의 다른, 반대 도전형 트랜지스터가 형성될 기판(102) 영역에는 제2 웨(106)이 선택적으로 주입되는 트윈 웨 프로세스(twin well process)로 제조된다. 트윈 웨 프로세스의 일 실시예에서, 제1 웨(104)은 그 자체가 텁(tub) (도시되지 않음) 내에 둘러싸여 있을 수도 있으며, 여기서 제1 웨(104)과 텁의 도전형은 반대이다. 또 다른 실시예에서, 기판(102)은 강하게 도핑된(heavily doped) 벌크 위에 형성된 약하게 도핑된 에피택셜층을 포함할 수도 있다. 일 실시예에서, 예를 들면, 도시된 기판(102) 부분은 p+ 벌크 위에 형성된 p-에피택셜층이고, 제1 웨(104)은 n-형으로 도핑되는 한편 제2 웨(106)은 p-형으로 도핑된다. n-형 도전성 구조체는 반도체 기판(102)에 적절한 n-형 불순물, 이를테면 인이나 비소를 주입하여 형성될 수 있고, p-형 구조체는 적절한 p-형 불순물, 이

를테면 붕소를 주입하여 형성될 수 있다. 제1 웰(104) 및 제2 웰(106)은, 도 1에 도시된 바와 같이, 트렌치 분리 구조체(trench isolation structures; 112)에 의해 서로 분리된다. 트렌치 분리 구조체(112)는 유전체 재료와 같은 적절한 절연체를 포함할 수도 있다. 트렌치 분리 구조체(112)는 산화물, 질화물, 또는 그 외의 적절한 전기 절연체 재료를 포함할 수도 있다. 바람직한 실시예에서, 트렌치 분리 구조체(112)는 실리콘 이산화물을 포함한다.

[0018] 게이트 유전체(108)는 기판(102)의 제1 및 제2 웰(104, 106) 위에 형성된다. 일 실시예에서, 게이트 유연체(108)는 바람직하게는 두께가 10 나노미터보다 작고 열적으로 형성된 종래의 실리콘 이산화물을 혹은 실리콘 산질화물을 포함한다. 또 다른 실시예에서, 게이트 유전체(108)는 제1 혹은 제2 전이 금속 산화물 혹은 희토류 산화물 재료와 같은 대안적인 게이트 재료를 포함할 수도 있다. 그러한 대안적인 게이트 유전체 재료는 그들의 고유전 상수(K)에 적합하고, 이는 막의 전기 용량의 특성(electrical and capacitive characteristics)에 악영향을 미치지 않고 보다 두꺼운 게이트 유전체층의 사용을 가능하게 한다. K가 높은 하나의 바람직한 게이트 유전체는 HfO_2 (hafnium oxide)이다. 이러한 대안적인 게이트 유전체를 위해서는, 지르코늄, 하프늄, 알루미늄, 란탄, 스트론튬, 탄탈, 티타늄, 실리콘의 산화물들로부터 선택된 적절한 전이 금속 산화물의 화합물(transition metal oxide composites) 및 그들의 조합이 사용될 수도 있다. 또한, $Hf_xSi_yO_z$ (hafnium silicate), $Hf_xAl_yO_z$ (hafnium aluminate) 및 $Hf_xTi_yO_z$ (hafnium titanate)와 같은 전이 금속 규산염 및 알루민산염이 게이트 유전체를 위해 사용될 수도 있다.

[0019] 또한, 도 1에 도시된 바와 같이, 제1 금속형의 도전성 금속 산화막(110)은 게이트 유전체(108) 위에 퇴적된다. 아래에 더욱 상세히 설명되는 바와 같이, 제1 금속(110)은 반도체 기판(102)의 부분들로부터 선택적으로 제거될 것이고, 여기에는 어느 한 도전형의 트랜지스터들이 제조되므로 도전성 금속 산화막(110)은 다른 도전형의 트랜지스터들이 위치하는 곳에만 존재할 것이다. 바람직하게, 도전성 금속 산화막(110)은 CVD(chemical vapor deposition), ALD(atomic layer deposition), 또는 MBD(molecular beam deposition) 프로세스에 의해 퇴적되어 게이트 유전체(108)의 무결성(integrity)을 보호한다. 대안적인 실시예에서, 제1 금속(110)은 스퍼터 프로세스에 의해 물리적으로 증착될 수도 있다. 도전성 금속 산화막(110)이 p-형 트랜지스터 상에 최종적으로 남아있는 실시예(즉, 도 1에 도시된 바와 같이 디바이스(100)의 좌측 반쪽에 PMOS 디바이스가 형성될 때)에서, 제1 금속형은, 기판(102)이 실리콘일 때 실리콘의 가전자대에 가까운 일함수(즉, 대략적으로 5.1 eV의 일함수)를 갖는 것이 바람직하다. 도전성 금속 산화막(110)은 Ir, Mo, Ru, W, Os, Nb, Ti, V, Ni, 및 Re로 이루어진 그룹으로부터 선택된 요소를 포함한다.

[0020] 층(110)을 퇴적한 후에, 층(110) 위에는 PVD(physical vapor deposition), CVD(chemical vapor deposition), 및 ALD(atomic layer deposition)에 의해 산화 방지 장벽층(111)이 퇴적된다. 장벽층(111)은 1 나노미터(nm) ~ 50nm 사이의 두께를 가질 수 있다. 장벽층(111)은, 도전성 산화물 게이트 전극이 산소 소스로서 연속 절연 산화물층을 형성하는 것을 방지해야 한다. 높은 온도(elevated temperatures)에서, 도전성 산화막 게이트 전극은 주위의 막으로 산소를 손실할 수도 있다. 높은 온도는, 예를 들면, 고온 어닐링, 퇴적, 또는 그 외의 프로세스 단계로 인한 것일 수 있다. 게이트 전극 재료가 너무 많은 산소를 손실한다면, 게이트 전극의 일함수는 달라질 수 있다. 또한, 도전성 금속 산화막이, 예를 들어, 폴리실리콘과 같은 후속하여 형성된 층에 산소를 손실한다면, 장벽층(111)과 폴리실리콘 사이에 절연 유전체층을 형성할 수 있다. 절연층은 게이트 재료와 폴리실리콘 캡 사이에 원하지 않는 용량이 형성되게 할 수 있다. 산화 방지 장벽층(111)은 도전성 금속 산화막과 장벽층(111) 위의 층 사이에 장벽을 형성한다. 산화 방지 장벽층(111)은 도전성 금속 산화막(110)으로부터 산소의 확산을 막고, 또한 장벽층(111)과 도전성 금속 산화막(110) 사이의 접촉에 의해 야기되는 산화를 방지한다.

[0021] 장벽층(111)은 도시된 실시예에서 PMOS 디바이스의 형태로 사용된다는 것에 유의한다. 그러나, 당업자는 장벽층(111)과 유사한 장벽층이 NMOS 디바이스의 형태로 포함될 수도 있음을 이해할 것이다.

[0022] 이제, 도 2를 참조하면, 도전성 금속 산화막(110)과 산화 방지 장벽층(111)의 일부가 습식 혹은 건식 에칭을 사용하여 선택적으로 제거되었다. 도시된 실시예에서, 층(110 및 111)의 선택적인 제거는 제2 웰(106)을 형성하기 위해 사용된 웰 마스크를 사용하는 에칭 프로세스와 마스크에 의해 달성된다. 이 실시예에서, 제2 웰(106) 위의 도전성 금속 산화막(110) 및 산화 방지 장벽층(111)이 제거된다(그 위에는 최종적으로 제2 형의 트랜지스터가 제조될 것이다). 따라서, 트랜지스터 형성이 완료된 이후에, 제1 도전형의 트랜지스터의 구조체에는 도전성 금속 산화막(110) 및 장벽층(111)이 남아 있을 것이고, 제2 도전형의 트랜지스터에는 도전성 금속 산화막(110) 및 장벽층(111)이 존재하지 않을 것이다. 마스크의 오정렬은 후속 처리에 악영향을 미치지는 않을 것이므로, 도 2에 도시된 바와 같이 선택적으로 제거된 도전성 금속 산화막(110) 및 장벽층(111) 부분을 규정하는

CD(critical dimension) 허용 마스크의 사용은 요구되지 않는다.

[0023] 바람직한 실시예에서, 제2 도전형 영역으로부터(즉, 제2 웨(106) 위쪽으로부터) 층들(110 및 111)을 제거하는데 사용된 많은 적절한 금속 예칭들은 포토레지스트 마스크 역시 예칭 혹은 열화시키게 될 것이므로, 층(110) 및 장벽층(111)을 패터닝하기 위해 실리콘 산화물 혹은 실리콘 질화물 하드 마스크(도시되지 않음)가 사용된다. 따라서, 금속 예칭을 충분히 견딜 수 있는 마스크가 필요하다. 하드 마스크는 제2 웨(106)을 형성하는데 사용된 것과 동일한 마스크를 사용하여 패터닝될 수 있다. 층들(110 및 111)은 하위 게이트 유전체(underlying gate dielectric; 108)에 손상을 주지않고 제거되는데, 이는 적당한 습식, 플라즈마, 또는 가스(gaseous) 예칭으로 달성될 수 있다.

[0024] 이제, 도 3을 참조하면, 반도체 기판(102)의 제1 및 제2 웨(104 및 106) 위에 금속(114)이 형성되어 장벽층(111) 및 게이트 유전체(108)의 노출 부분을 덮는다. 금속(114)은 도전성 금속 산화막(110)을 위해 사용된 금속형과 다른 일함수를 갖는 금속형이다. 도전성 금속 산화막(110)을 위해 사용된 금속형이 기판 재료(예컨대, 실리콘)의 가전자대에 가까운 일함수를 갖는 실시예에서, 금속(114)을 위해 사용된 금속형은 기판 재료의 전도대에 가까운 일함수를 갖는다. 반대로, 도전성 금속 산화막(110)을 위해 사용된 금속형이 기판 재료의 전도대에 가까운 일함수를 갖는 실시예에서는, 금속(114)을 위해 사용된 금속형은 기판 재료의 가전자대에 가까운 일함수를 갖는다.

[0025] 도 3에 도시된 바와 같이, 도전성 재료로서 퇴적되거나 이후에 도전성이 될 실리콘 함유 층(116)이 금속(114) 위에 퇴적된다. 바람직한 실시예에서, 실리콘 함유 층(116)은, 예컨대 게이트 전극 애플리케이션을 위해, 충분하게 도전성을 갖도록 이후에 도핑되거나 또는 원위치(in-situ) 도핑되는 폴리실리콘층 혹은 폴리실리콘-게르마늄층이다. 실리콘 함유 층(116)은 도핑되거나 도핑되지 않은 비결정질 실리콘 혹은 실리콘-게르마늄 층일 수도 있다.

[0026] 바람직하게, 금속(114)은 각 금속층이 10-1000 Å(1-100nm) 두께 범위 내에 있는 도전성 금속 산화막(110)과 대략 동일한 두께로 퇴적된다. 실리콘 함유 층(116)은 바람직하게는 100-1500 Å(10-150nm) 범위 내의 두께로 퇴적된다. 실리콘 함유 층 두께가 결정적인 것은 아니지만, 그것이 두꺼우면, 후술하는 바와 같은, 후속하는 스페이서 형성 프로세스에서 더 큰 마진이 있을 것이다. 실리콘 함유 층의 두께는 게이트 스택의 가변 두께 층일 수 있다. 다시 말해, 특정 게이트 구조체가 특정한 층 두께로 한정되거나 정해진다면, 실리콘 함유 층은 그의 두께가 상기 두께를 달성하기 위해 가변하는 층일 수 있다.

[0027] 실리콘 함유 층(116) 위에 ARC(anti-reflective coating)(118)가 퇴적된다. ARC(118)는 바람직하게는 실리콘-농도가 높은 실리콘 질화층, 유기 ARC, 실리콘 질산화막, 또는 특정한 리소그래피 프로세스를 위해 ARC 기능을 행하는 임의의 ARC 재료이다. 바람직한 실시예에서, ARC는 약 1nm와 20nm 두께 사이가 되도록 종래의 기술에 의해 퇴적된다.

[0028] 이제, 도 4를 참조하면, 도전성 금속 산화층(110), 장벽층(111), 금속층(114), 및 실리콘 함유 층(116)을 패터닝하기 위해 게이트 마스크 및 예칭 프로세스가 수행된 후에, 결과적으로 제1 웨(104) 위에 제1 게이트(120)가 형성되고 제2 웨(106) 위에 제2 게이트(122)가 형성된 반도체 디바이스(100)가 도시된다. 제1 게이트(120)는 게이트 유전체(108) 위에 층(110)을 포함하고, 층(110) 위에 장벽층(111)을 포함하고, 장벽층(111) 위에 형성된 제2 금속(114)을 포함한다. 한편, 제2 게이트(122)는 게이트 유전체(108)와 접촉하는 제2 금속(114)을 포함한다. 제1 게이트(120)와 제2 게이트(122) 둘 다 실리콘 함유 층(116)으로 형성된 상위 캡(overlying cap)을 갖는다. ARC 층(118)은 게이트 스택 예칭동안 초기에 패터닝되지만 게이트 예칭 이후에 전체적으로 제거될 수 있고, 따라서 도 4에는 도시되지 않는다. 실리콘 함유 층(116)은 후속하는 예칭 및 클리닝 동안 금속 게이트를 보호하는 역할을 하기 때문에, 게이트 맨 위에 ARC 층을 놓을 필요가 없다. ARC는 나중에 게이트로의 접촉을 형성하기 위한 접촉 예칭 프로세스 동안 별개로 예칭될 필요가 없다는 점에서 유리하고, 대신 습식 예칭될 수 있다. 또한, ARC를 완전히 제거하면 게이트의 맨 위에서 보다 강한 실리사이드화 프로세스가 가능하게 된다.

[0029] 게이트(120, 122)는 포토레지스트에 의해 동시에 패터닝되고, 그 다음에 예칭된다. 게이트들은 서로 다른 높이를 갖기 때문에, 도 4에 도시된 바와 같이 게이트 유전체(108)까지 게이트들을(the gates down to the gate dielectric 108) 예칭하기 위해서는 게이트 예칭 화학이 선택되어야 한다. 도시된 실시예에서, 게이트 예칭은 게이트 유전체(108)를 제거하지 않는다.

[0030] 계속해서 도 4를 참조하면, 제1 게이트(120)와 제2 게이트(122)를 패터닝한 이후에, 두 게이트의 측면을 따라 제1 스페이서가(124)가 형성된다. 바람직한 실시예에서, 제1 스페이서(124)는 얇은 실리콘 질화층(100-300 Å

혹은 10-30nm)을 퇴적한 다음 웨이퍼를 이방성(anisotropically) 에칭함으로써 형성되므로 실리콘 질화물은 단지 게이트의 측벽을 따라 남겨진다. 에칭의 결과, 결과물인 스페이서는 테이퍼 형상이 될 것이고, 도 4에 도시된 바와 같이, 각 게이트의 바닥 근처에서 약 50-200Å(5-20nm)의 최대 두께 혹은 폭을 갖는다. 도시된 실시예에서, 제1 스페이서(124)는 후속하는 주입 마스크의 제거 동안 금속 게이트가 에칭되는 것으로부터 보호하는 역할을 한다. 이전에 언급한 바와 같이, 포토레지스트 마스크를 제거하기 위해 사용된 종래의 피라냐(piranha) 및 SC-1 클린(cleans) 역시 금속 게이트를 위해 제안되는 많은 금속들을 공격한다. 또 다른 실시예에서, 스페이서(124)는 제거될 수도 있다.

[0031] 도 4에 도시된 바와 같이, 총 높이에 대한 제1 스페이서(124)의 높이 혹은 게이트의 두께는 달라질 수도 있다. 예를 들어, 제1 스페이서(124)는 제1 게이트(120)와 비교해서 제2 게이트(122)의 측벽을 따라 더 높게 올라간다. 실리콘 함유 층(116)은 에칭으로부터의 공격을 방지하므로 실리콘 함유 층(116)의 존재는 후속하는 에칭 동안 금속 게이트를 충분히 보호하기 때문에 문제가 발생하지 않는다. 따라서, 상기 프로세스는 실리콘 함유 층(116)의 존재로 인해 표면형태(topography) 및 게이트 스택 높이에 있어서의 변화에 대해 큰 프로세스 마진을 갖는다. 스페이서가 실리콘 함유 층(116) 바로 밑에 있는 하위 금속의 측벽 전체를 덮는 한, 게이트 스택은 충분히 보호될 것이다.

[0032] 제1 스페이서(124)의 형성 이후에, 게이트 유전체(108) 중 비보호 부분(예컨대, 제1 게이트(120), 제2 게이트(122), 및 제1 스페이서(124) 바로 아래 이외의 부분들)은 유전체가 고 K 유전체(예컨대, K가 3.9보다 큰)인 경우에 제거된다. 더 낮은 K 값에 대해서는, 예컨대, 실리콘 이산화물(silicon dioxide)의 경우에는, 게이트 유전체가 남아 있을 수도 있다. 게이트 유전체의 제거는 건식 화학이나 습식 화학 중 하나를 사용하여 달성될 수 있고, 또는 특정한 유전체 재료의 사용에 의존하여, 재료를 휘발성 종(volatible species)으로 변환하는 어닐링에 의해 달성될 수 있다.

[0033] 다음으로, 확장 영역(126, 130)은, 도 4에 도시된 바와 같이, 각각 제1 게이트(120) 및 제2 게이트(122)에 자기 정렬되어 형성된다. 확장 영역들은 단채널 효과를 막기 위해 소스 및 드레인 영역으로의 확장으로서 MOS 트랜지스터 구조체로 형성된다. 확장 영역들(126 및 130)은 서로 다른 2개의 도전형(확장 영역(126)은 제1 도전형이고 확장 영역(130)은 제2 도전형)일 것이므로, 각 주입 단계 동안 디바이스 부분의 마스크는 마스크 오프할 필요가 있다. 예를 들어, 제2 웨(106)과 관련된 디바이스 부분은 확장 영역(126) 형성 동안 마스크 오프되고 제1 웨(104)과 관련된 디바이스 부분은 확장 영역(130) 형성 동안 마스크 오프된다. 주입 단계 동안 사용된 마스크는 종래의 포토레지스트 마스크일 수도 있다. 이전에 언급된 바와 같이, 종래의 이중 금속 게이트 프로세스에서 이러한 스테이지에서의 포토레지스트 마스크의 제거는 위험할 수 있는데, 클리닝 솔루션이 게이트 금속을 공격할 수도 있기 때문이다. 그러나, 본 발명에 따라, 제1 스페이서(124)와 실리콘 함유 층(116)을 조합할 경우, 금속 게이트 자체에 악영향을 미치지 않고, 피라냐(piranha) 및 SC-1과 같은, 종래의 클리닝 화학에 의해 주입 마스크를 쉽게 제거할 수 있다.

[0034] 도시되지는 않았지만, 이 지점에서 종래의 방식에 따라 헤일로 주입(halo implants)이 수행될 수도 있다. 다시, 주입 마스크들이 사용될 필요가 있고, 이 마스크들의 제거는 본 발명을 실시함으로써 금속 게이트 재료에 해를 끼치지 않고 쉽게 달성될 수 있다.

[0035] 도 5를 참조하면, 확장 영역들(126 및 130)이 형성된 후에, 제1 게이트(120)와 제2 게이트(122) 및 제1 스페이서(124)를 포함하는, 디바이스 위에 산화물 라이너(oxide liner)(134)가 퇴적된다. 산화물 라이너(134) 위에는 층(136)이 형성된다. 산화물 라이너(134)는 일반적으로 약 50-250Å(5-25nm) 두께이고, 층(136)은 일반적으로 100-1000Å(10-100nm) 두께이다. 산화물 라이너(134)는 바람직하게는 실리콘 이산화물로 형성되고 층(136)은 바람직하게는 실리콘 질화물로 형성되지만, 산화물 라이너(134)에 충분히 선택적으로 에칭될 수 있고 (트랜지스터들의 게이트 혹은 소스/드레인 영역이 실리사이드화되는 경우) 실리사이드 형성 금속과 반응하지 않는 또 다른 재료일 수도 있다.

[0036] 도 6에 도시된 바와 같이, 층(136)은 이방성 에칭되어 산화물 라이너(134)를 완전히 제거하지 않고 제2 스페이서(138)를 형성한다. 이는 실리콘 이산화물 및 실리콘 질화물의 조합, 및 CF₄, HBr 및 Ar의 종래의 건식 에칭 화학을 사용하여 달성될 수 있다. 스페이서(138)를 형성하는 동안 산화물 라이너(134)가 얇아질 수도 있지만, 이는, 그 공정에 있어서 하위 기판 재료(예컨대, 실리콘)가 이 지점에서 노출되지 않는 한 해롭지는 않다.

[0037] 도 6에 도시된 바와 같이, 소스/드레인 영역은, 얇아진 산화물 라이너(134)를 통한 스페이서(138)의 형성 이후, 주입에 의해 디바이스(100)에서 자기 정렬 방식으로 형성된다. 소스/드레인 영역(140)은 제1 게이트(120)를 포함하는 트랜지스터 부분으로서 형성되는 한편 소스/드레인 영역(142)은 제2 게이트(122)를 포함하는 트랜지스터

부분으로서 형성된다. 소스/드레인 영역들은 종래의 주입 기술을 사용하여 형성된다.

[0038] 이제, 도 7을 참조하면, 다음으로, 바람직한 프로파일로 확장 영역 및 소스/드레인 영역을 확산시키고, 도편트를 활성화시키기 위해 어닐링이 수행된다. 이 또한 종래의 방식을 사용하여 실시된다. 이후에, 산화물 라이너(134)의 나머지 부분들은 종래의 습식 에칭을 사용하여 디바이스의 비보호 영역으로부터(예컨대, 상기 소스/드레인 영역, 게이트, 및 분리 영역으로부터) 제거된다. 그 다음, 노출된 소스/드레인 영역 및 게이트는, 예를 들어, 티타늄, 코발트 혹은 니켈의 블랭킷 층을 퇴적하고 이 금속을 인접한 실리콘 영역과 열적으로 반응시킴으로써 자기 정렬 프로세스를 사용하여 실리사이드화되어, 도 7에 도시된 바와 같은 실리사이드 영역(144)을 형성한다. 따라서, 소스/드레인 영역을 실리사이드화하기 위해 사용된 실리사이드화 프로세스는 충분한 저항 레벨을 위해 동시에 게이트를 실리사이드화하기 위해 사용될 수 있기 때문에, 저항의 관점에서는 제1 게이트(120)와 제2 게이트(122) 위에 실리콘 함유 캡을 사용하는데 있어서 해로운 영향은 거의 없다. 저항은 소스/드레인 영역 위에 실리사이드화된 영역이 제공된 게이트 스택에서 실리콘 함유 층(116)을 완전히 실리사이드화함으로써 더 감소될 수 있고, 소스/드레인 영역 자체는 필요에 따라 조정된다.

[0039] 도 8은 본 발명의 또 다른 실시예에 따른 반도체 디바이스(200)의 단면도를 도시한다. 반도체 디바이스(200)에서는 PMOS 트랜지스터에 대해 금속층이 퇴적되기 전에 NMOS 트랜지스터에 대해 금속 층이 퇴적된다는 점을 제외하면 반도체 디바이스(100)와 반도체 디바이스(200)는 유사하다. 참조 번호는 동일하고 프로세스 단계들은 도 1-7에 대해 위에서 논의된 것과 유사하다.

[0040] 현 시점에서, 이중 금속 게이트 디바이스는 사실상 완성된다. 당업자라면, 디바이스 설계에 따라 다양한 트랜지스터에 라우트하기 위해 여러 층간 절연막 및 금속 상호접속이 후속하여 형성된다는 것을 인지하고 이해할 것이다. 그 다음 본드 패드 및 패시베이션 층이 추가되고 개개의 집적 회로가 테스트되고, 시뮬레이트되고, 최종 배포를 위해 패키징된다.

[0041] 이제, 이전에 기술된 문제점들을 극복하기 위해 CMOS 프로세스에서 사용하기 위한 이중 금속 게이트 구조를 제공했다는 것이 명백할 것이다. 보다 구체적으로, 본 발명은 도전성 금속 산화막으로 형성된 게이트 전극을 사용하여 이중 게이트 금속 구조를 형성하기 위한 신뢰할만한 방법을 제공한다. 도전성 금속 산화막에서 후속 층으로의 산소 이동은 도전성 금속 산화막 위에 산화 방지 장벽층을 형성함으로써 방지된다. 또한, 도전성 금속 산화막과 후속 층 사이에 추가 절연층의 형성이 방지된다. 장벽층은 도전성 금속 산화막 게이트 전극으로부터 산소의 손실을 막기 때문에 도전성 금속 산화막 게이트 전극의 일함수의 변화 역시 회피할 수 있다.

[0042] 전술한 명세서에서, 본원은 특정한 실시예를 참조하여 기술되었다. 그러나, 아래 청구범위에서 설명되는 바와 같은 본 발명의 범위에서 벗어나지 않고 다양한 수정 및 변경이 실시될 수 있다는 것을 당업자는 이해할 것이다. 예를 들어, 본원은 특정한 도전형 혹은 전위의 극성에 대해 설명했지만, 도전형과 전위의 극성은 그 반대일 수도 있다는 것을 당업자는 이해할 것이다. 또한, 본원은 서로 다른 금속 게이트 재료를 갖는 셋 이상의 게이트 스택을 형성하도록 확장될 수 있다. 예를 들어, 실리콘 함유 층으로 캡핑된 하나의 금속을 포함하는 게이트 스택 및 실리콘 함유층으로 캡핑된 두 개의 금속을 포함하는 게이트 스택에 더해, 실리콘 함유 층으로 캡핑된 세 개의 금속을 포함하는 제3 게이트 스택이 존재할 수 있다. 제3 게이트 스택은 로직 트랜지스터들에 비해 통상적으로 높은 임계 전압 요구 조건을 갖는 디바이스의 입/출력 트랜지스터를 형성하는데 유리할 수도 있다. 제3 게이트 스택은, 도 2에 도시된 바와 같이, 제1 금속층을 퇴적 및 패터닝하고, 그 다음 제2 금속을 퇴적하고 이를 제2 게이트 스택을 위한 에리어에 걸쳐 유사하게 패터닝함으로써 달성될 수 있다. 제3 금속층을 퇴적하고 그 다음 도 3에 도시된 바와 같이 실리콘 함유 캡핑층을 퇴적한다. 이는 유사하게 제4 게이트 스택, 제5 게이트 스택 등을 형성하는 것으로 더 확장될 수 있다. 따라서, 명세서 및 도면은 한정적인 개념이라기 보단 예시적인 것으로 간주될 것이고 그러한 모든 수정은 본 발명의 범위 내에 포함되는 것으로 생각된다.

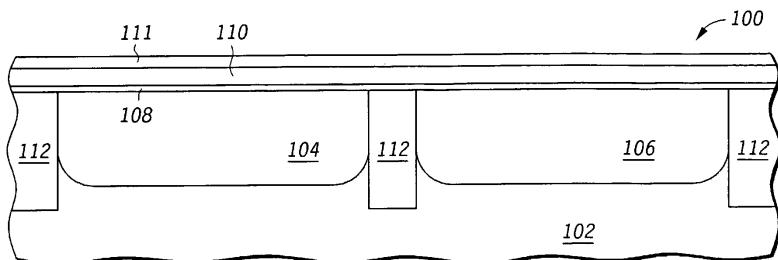
[0043] 이점, 그 외의 장점, 및 문제들에 대한 해결책은 특정 실시예들과 관련하여 위에서 설명되었다. 그러나, 임의의 이점, 장점, 또는 해결책이 나타나거나 보다 명백해지도록 할 수 있는 이점, 장점, 문제에 대한 해결책 및 임의의 요소(들)이, 임의의 혹은 모든 청구범위의 결정적, 필수적, 혹은 가장 중요한 특징이나 요소인 것으로 해석되지는 않는다. 여기서 사용되는 것으로서, "포함한다(comprise)", "포함하는(comprising)", 또는 그에 대한 임의의 다른 표현은 비-배타적 포함을 커버하기 위해 의도된 것이므로, 요소들의 리스트를 포함하는 프로세스, 방법, 품목, 또는 장치는 단지 이 요소들만을 포함하는 것이 아니라 리스트로 표시되지 않은 다른 요소들이나 프로세스, 방법, 품목, 또는 장치 고유의 요소들을 포함할 수도 있다.

도면의 간단한 설명

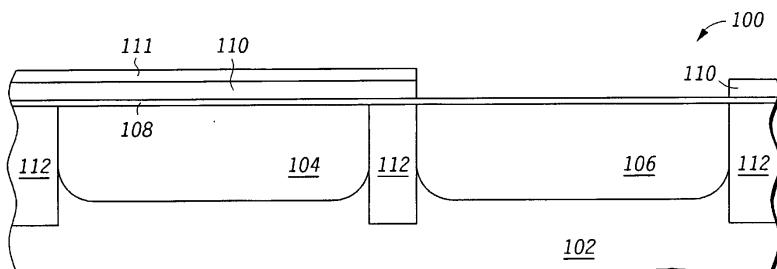
- [0005] 본 발명은 예로서 도시된 것으로 첨부 도면에 한정되는 것이 아니며, 동일한 참조 번호는 유사한 요소들 (elements)을 나타낸다.
- [0006] 도 1은 본 발명의 일 실시예에 따라 부분적으로 완성된 반도체 디바이스의 부분적 단면도이다.
- [0007] 도 2는 도 1에 후속하는 처리 단계로서, 상기 반도체 디바이스의 부분들로부터 도전성 금속 산화막 및 장벽층이 선택적으로 제거된 도면이다.
- [0008] 도 3은 도 2에 후속하는 부분적 단면도로서, 제1 게이트 금속 위에 제2 게이트 금속, 폴리실리콘 캡핑층 (polysilicon capping layer), 및 ARC가 퇴적된 도면이다.
- [0009] 도 4는 도 3에 후속하는 처리 단계로서, 상기 퇴적된 금속들이 게이트 구조체로 패터닝되고 게이트 구조체에 인접하여 제1 스페이서가 형성된 도면이다.
- [0010] 도 5는 도 4에 후속하는 처리 단계로서, 게이트 구조체와 제1 스페이서 위를 포함하는 기판 위에 산화층 및 질화층이 퇴적된 도면이다.
- [0011] 도 6은 도 5에 후속하는 처리 단계로서, 질화층으로부터 제2 스페이서가 형성되는 한편, 동시에 산화층을 박막화하고, 이어서, 소스/드레인 영역이 형성된 도면이다.
- [0012] 도 7은 도 6에 후속하는 처리 단계로서, 게이트와 소스/드레인 영역 위의 얇은 산화층이 제거되고, 이어서 이들 영역이 살리사이드화되어 사실상 완성된 디바이스를 형성한 도면이다.
- [0013] 도 8은 본 발명의 또 다른 실시예에 따른 반도체 디바이스의 단면도를 도시한다.
- [0014] 도면에 있어서의 요소들은 간단 명료하게 도시된 것으로 반드시 일정한 비율로 그려져야 하는 것이 아니라는 것을 당업자는 이해할 것이다. 예를 들어, 도면에 있어서 일부 요소들의 크기가 다른 요소들에 비해 과장되어 본 발명의 실시예들의 이해를 높이는 것을 도울 수도 있다.

도면

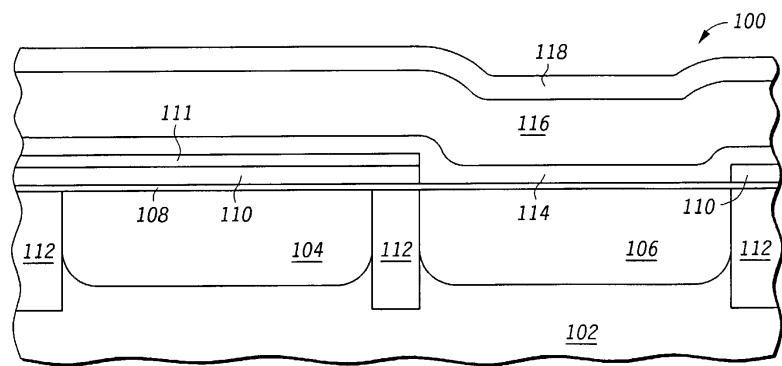
도면1



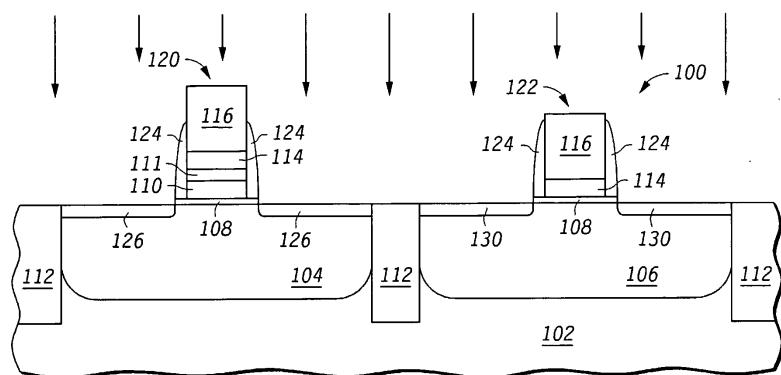
도면2



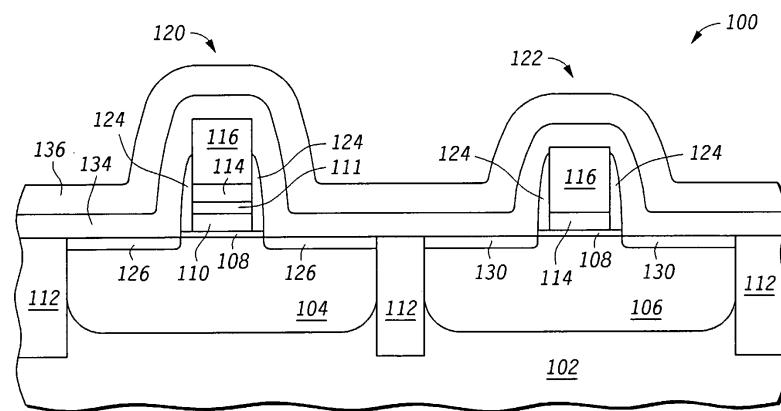
도면3



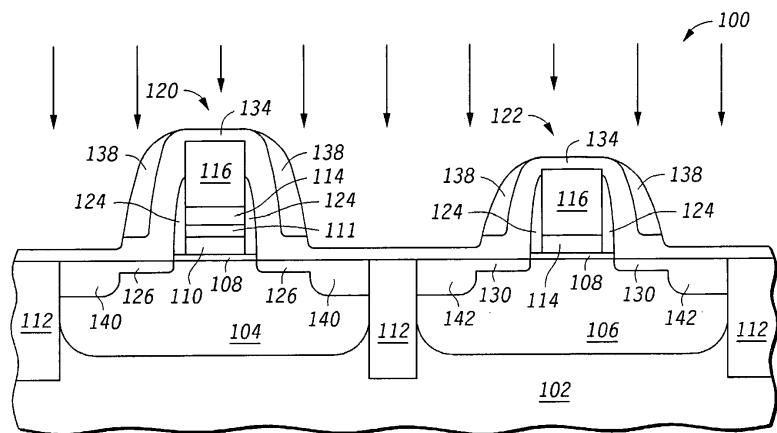
도면4



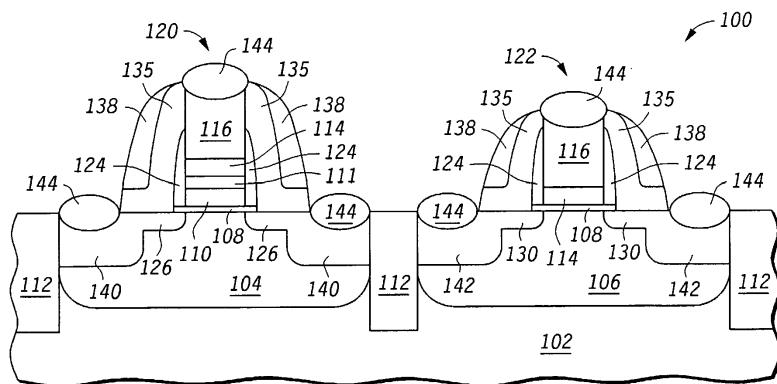
도면5



도면6



도면7



도면8

