



(12) 发明专利

(10) 授权公告号 CN 111371542 B

(45) 授权公告日 2022.11.18

(21) 申请号 202010112346.6

H04L 7/00 (2006.01)

(22) 申请日 2016.03.30

H04L 25/49 (2006.01)

(65) 同一申请的已公布的文献号

G06F 1/12 (2006.01)

申请公布号 CN 111371542 A

H03K 5/133 (2014.01)

(43) 申请公布日 2020.07.03

(56) 对比文件

BE 674358 A, 1966.04.15

(30) 优先权数据

EP 0145188 A2, 1985.06.19

62/146,801 2015.04.13 US

WO 03023587 A2, 2003.03.20

15/084,171 2016.03.29 US

WO 0249314 A2, 2002.06.20

(62) 分案原申请数据

US 9112550 B1, 2015.08.18

201680021338.2 2016.03.30

EP 1976140 A1, 2008.10.01

(73) 专利权人 高通股份有限公司

US 2005195907 A1, 2005.09.08

地址 美国加利福尼亚州

US 2005134305 A1, 2005.06.23

(72) 发明人 S·森戈库

CN 1871635 A, 2006.11.29

(74) 专利代理机构 上海专利商标事务所有限公司 31100

CN 1531718 A, 2004.09.22

专利代理人 陈炜 元云

CN 105393238 A, 2016.03.09

(51) Int.Cl.

CN 105453067 A, 2016.03.30

H04L 7/033 (2006.01)

CN 101480026 A, 2009.07.08

(54) 发明名称

CN 101421961 A, 2009.04.29

用于基于脉冲的多线链路的时钟和数据恢复的方法和装置

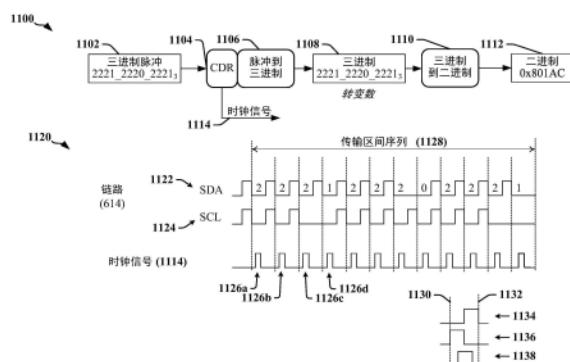
审查员 王灿

(57) 摘要

权利要求书1页 说明书21页 附图24页

本申请涉及用于基于脉冲的多线链路的时钟和数据恢复。提供了一种方法和装置。该装置可包括时钟恢复电路，其具有配置成在多个输入信号中的一者或者者中接收到第一脉冲时采取第一状态的多个输入锁存器，配置成响应于第一脉冲来提供第二脉冲响应的组合逻辑，配置成在相对于第二脉冲延迟的接收时钟上产生第三脉冲的延迟电路，配置成在由所述第三脉冲触发时捕获所述第一状态的多个输出触发器。第一状态可标识多个输入信号中的哪一者接收到输入脉冲。

CN 111371542 B



1. 一种方法,包括:

将数据字转码成多数位数,其中将所述数据字转码成所述多数位数包括将时钟信息嵌入在所述多数位数中;以及

在传输区间序列中的每一传输区间中在多线通信链路的多个连接器上传送脉冲组合,其中所述多数位数的每一数位定义针对所述传输区间序列中的对应传输区间的脉冲组合,

其中脉冲在所述传输区间序列中的每一传输区间期间在所述多个连接器中的至少一者上传送,并且

其中所述多个连接器包括N个连接器并且所述多数位数被表达为以 (2^N-1) 为基数的数。

2. 如权利要求1所述的方法,其中所述多个连接器包括两个连接器并且所述多数位数被表达为三进制数,或者所述多个连接器包括三个连接器并且所述多数位数被表达为七进制数。

3. 如权利要求1所述的方法,进一步包括:

将信息编码在一个或多个非归零信号中;以及

在所述多线通信链路的一个或多个其他连接器上传送所述一个或多个非归零信号。

4. 如权利要求1所述的方法,其中通过电容式、电感式或光学耦合将所述脉冲组合提供给所述多个连接器。

5. 一种通信接口,包括:

配置成从数据字产生多数位数的转码器,其中所述多数位数包括嵌入的时钟信息;以及

配置成提供用于在传输区间序列中的一个传输区间期间在多个连接器上传输的脉冲组合的电路系统,其中所述脉冲组合由所述多数位数的数位来定义,

其中脉冲在所述传输区间序列中的每一传输区间期间在所述多个连接器中的至少一者上传送,并且

其中所述多个连接器包括N个连接器并且所述多数位数被表达为以 (2^N-1) 为基数的数。

6. 如权利要求5所述的通信接口,其中所述多个连接器包括两个连接器并且所述多数位数被表达为三进制数,或者所述多个连接器包括三个连接器并且所述多数位数被表达为七进制数。

7. 如权利要求5所述的通信接口,进一步包括发射机电路,其被配置成:

将信息编码在一个或多个非归零信号中;以及

在所述通信接口的一个或多个其他连接器上传送所述一个或多个非归零信号。

8. 如权利要求5所述的通信接口,进一步包括发射机,其被配置成将所述发射机电容式地、电感式地、或光学地耦合到所述多个连接器。

用于基于脉冲的多线链路的时钟和数据恢复的方法和装置

[0001] 本申请是申请日为2016年3月30日申请号为第201680021338.2号发明 名称为“用于基于脉冲的多线链路的时钟和数据恢复”的中国专利申请的分案 申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求于2015年4月13日在美国专利局提交的美国临时申请S/N. 62/146,801以及于2016年3月29日在美国专利局提交的非临时申请S/N. 15/084,171的权益,其全部内容通过援引纳入于此并用于所有适用目的。

技术领域

[0004] 本公开一般涉及通信系统,更具体地涉及从采用基于脉冲的信令的多线接 口进行时钟和数据恢复。

[0005] 背景

[0006] 移动设备(诸如蜂窝电话)的制造商可从各种来源(包括来自不同制造商 的组件)获得移动设备的各组件。例如,蜂窝电话中的应用处理器可从第一制 造商获得,而蜂窝电话的显示器可从第二制造商获得。可使用基于标准的或专 有物理接口来互连应用处理器和显示器或另一设备。例如,显示器可具有遵从 由移动行业处理器接口联盟(MIPI)所规定的显示系统接口(DSI)标准的接 口。

[0007] 随着移动设备的能力和功能性持续增长,存在着对在日益具有挑战性的信 令环境中提供灵活且可靠通信的新技术的持续需求。

[0008] 概述

[0009] 在本公开的一方面,提供了一种涉及在多线接口上传送的基于脉冲的信令 以及用于采用基于脉冲的信令的接口的时钟和数据恢复的方法、计算机程序产 品、以及装置。

[0010] 在各方面,一种装置包括时钟恢复电路。时钟恢复电路可包括配置成在多 个输入信号中的一者或者者中接收到第一脉冲时采取第一状态的多个输入锁 存器,配置成响应于第一脉冲来提供第二脉冲响应的组合逻辑,配置成在相对 于第二脉冲延迟的接收时钟上产生第三脉冲的延迟电路,配置成在由所述第三 脉冲触发时捕获所述第一状态的多个输出触发器。第一状态可标识多个输入信 号中的哪一者已接收到输入脉冲。

[0011] 在一个方面,时钟恢复电路包括配置成固定第二脉冲的历时的单稳电路。

[0012] 在另一方面,第一状态被输出为多数位数的数位。多个输入信号可接收自 包括N 条导线的多线接口且多数位数被表达为以 $(2^N - 1)$ 为基数的数。在一个示 例中,多个输入信号接收自双导线接口,且多数位数被表达为三进制数。在另一示例中,多个输入信号接收自三导线接口,且多数位数被表达为七进制数。

[0013] 在另一方面,第一状态表示编码在接收自多个输入信号的第一部分的归零 脉冲 编码的信号中的第一信息。该装置可包括配置成从接收自多个输入信号的 第二部分的一个或多个非归零信号解码第二信息的接收机电路。

[0014] 在一些示例中,多个输入信号接收自电容式地耦合的多线接口或电感式地 耦合的多线接口。在其他示例中,多个输入信号接收自光学接口。

[0015] 时钟恢复电路可包括配置成对在接收时钟上提供的连贯脉冲之间发生的一条或多条导线上的转变的数目进行计数的计数器。

[0016] 在各方面,一种用于恢复时钟信号的方法包括:在多个传输区间中的每一者中响应于在多线接口的一条或多条导线上检测到脉冲来在接收时钟中生成边沿;在多个传输区间中的每一者中生成了接收时钟中的边沿之后,提供多数位数的数位;组合多个传输区间中生成的数位以获得多数位数;以及将多数位数转码以获得接收到的数据,该数位的每一比特可以标识在对应的传输区间期间是否在多线接口的一条导线上传送了脉冲。脉冲在多个传输区间中的每一者期间存在于多线接口的至少一条导线上。

[0017] 在一个方面,数据字被编码在多数位数中。

[0018] 在另一方面,多线接口包括N条导线并且多数位数被表达为以 (2^N-1) 为基数的数。在一个示例中,多线接口是双导线接口且多数位数被表达为三进制数。在另一示例中,多线接口是三导线接口,其中多数位数被表达为七进制数。

[0019] 在一个方面,该方法包括从接收自多线接口的归零脉冲编码的信号中解码第一信息,以及从接收自多线接口的一个或多个非归零信号解码第二信息。

[0020] 在一些示例中,从多线接口接收电容式地耦合的信号或电感式地耦合的信号。在其他示例中,从多线接口接收光学耦合的信号。

[0021] 在一个方面,在接收时钟中生成边沿包括将一条或多条导线上接收到的脉冲组合成组合信号,以及延迟该组合信号以提供接收时钟。在接收时钟中生成边沿可包括将一条或多条导线上接收到的脉冲组合成组合信号,将该组合信号提供给配置成响应于该组合信号中的边沿产生固定历时脉冲的单稳逻辑,以及延迟该固定历时脉冲以在接收时钟中提供脉冲。

[0022] 在各方面,一种方法包括:将数据字转码成多数位数;以及在传输区间序列中的每一传输区间中在多个连接器上传送脉冲组合,其中多数位数的每一数位定义针对传输区间序列中的对应传输区间的脉冲组合。在数据字被转码时,时钟信息被嵌入在多数位数中。可通过确保在传输区间序列中的每一传输区间期间在多个连接器中的至少一者上传送脉冲来将时钟信息嵌入在多数位数中。

[0023] 在一些方面,多个连接器包括N个连接器且多数位数被表达为以 (2^N-1) 为基数的数。在一个示例中,多个连接器包括两个连接器且多数位数被表达为三进制数。在另一示例中,多个连接器包括三个连接器且多数位数被表达为七进制数。

[0024] 在一个方面,该方法包括将信息编码在一个或多个非归零信号中,以及在多线通信链路的一个或多个其他连接器上传送该一个或多个非归零信号。

[0025] 在一些方面,通过电容式、电感式或光学耦合将脉冲组合提供给多个连接器。

[0026] 在各方面,一种通信接口包括:配置成从数据字产生多数位数的转码器,以及配置成提供用于在传输区间序列中的一个传输区间期间在多个连接器上传输的脉冲组合的电路系统。多数位数可通过确保在传输区间序列中的每一传输区间期间在多个连接器中的至少一者上传送脉冲来包括嵌入式时钟信息。每一脉冲组合可由多数位数的数位来定义。

[0027] 在一些方面,多个连接器包括N个连接器且多数位数被表达为以 (2^N-1) 为基数的数。在一个示例中,多个连接器包括两个连接器且多数位数被表达为三进制数。在另一示

例中,多个连接器包括三个连接器且多数位数被表达为七进 制数。

[0028] 在一个方面,通信接口包括发射机电路,其被配置成:将信息编码在一个 或多个非归零信号中;以及在通信接口的一个或多个其他连接器上传送该一个 或多个非归零信号。

[0029] 该通信接口可包括发射机,其被配置成将该发射机电容式地、电感式地、或光学地耦合到该多个连接器。

[0030] 在本公开的各方面,一种处理器可读存储介质存储或维护代码,该代码在 由一个或多个处理器执行时使得该一个或多个处理器执行本文公开的某些方法。该存储介质可包括非瞬态存储介质或瞬态存储介质。

[0031] 附图简要说明

[0032] 图1描绘了采用集成电路 (IC) 设备之间的数据链路的装置。

[0033] 图2解说了采用IC设备之间的数据链路的装置的系统架构。

[0034] 图3解说了N!多线接口的示例。

[0035] 图4解说了N!多线接口中的数据编码、传输以及解码。

[0036] 图5解说了采用被用于IC设备之间的通信的PCIe数据链路的装置的系统 架构。

[0037] 图6解说了PCIe数据链路中的数据编码、传输以及解码。

[0038] 图7解说了PCIe数据链路中的时钟生成。

[0039] 图8解说了可被用在转变编码通信接口中的时钟和数据恢复电路。

[0040] 图9解说了根据本文所公开的一个或多个方面的与图8的时钟和数据恢复 电路相关联的某些信号的定时。

[0041] 图10解说了电容耦合信号的某些方面。

[0042] 图11解说了脉冲编码接口的某些方面,其中数据通过双导线串行链路来 传达数据。

[0043] 图12解说了可被用在基于脉冲的接口中的时钟恢复电路的第一示例。

[0044] 图13是解说了通过图12的时钟恢复电路的操作来生成的某些信号的时序 图。

[0045] 图14解说了可被用在基于脉冲的接口中的时钟恢复电路的第二示例。

[0046] 图15是解说了通过图12的时钟恢复电路的操作来生成的某些信号的时序 图。

[0047] 图16解说了根据本文公开的某些方面的脉冲编码通信接口的某些配置。

[0048] 图17是解说了根据本文公开的某些方面的可以在通信接口上传送的不同类 型的信号的第一示图。

[0049] 图18是解说了根据本文公开的某些方面的可以在通信接口上传送的不同类 型的信号的第二示图。

[0050] 图19解说了根据本文公开的某些方面的使用在通信接口上传送的不同类 型的信号的编码。

[0051] 图20是解说了根据本文公开的某些方面来适配的处理电路的装置的 示例的框图。

[0052] 图21是根据本文公开的某些方面的用于从在多线通信接口上传送的信号 恢复时钟信号的方法的流程图。

[0053] 图22是解说了根据本文公开的某些方面来适配的处理电路的接收装 置的硬

件实现的示例的示图。

[0054] 图23是根据本文公开的某些方面的用于在多线通信接口上传送信号的方法的流程图。

[0055] 图24是解说采用根据本文所公开的某些方面来适配的处理电路的传送装置的硬件实现的示例的示图。

[0056] 详细描述

[0057] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文所描述的概念的仅有配置。本详细描述包括具体细节以提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。

[0058] 现在将参照各种装置和方法给出通信系统的若干方面。这些装置和方法将在以下详细描述中进行描述并在附图中由各种框、模块、组件、电路、步骤、过程、算法等(统称为“元素”)来解说。这些元素可使用电子硬件、计算机软件、或其任何组合来实现。此类元素是实现成硬件还是软件取决于具体应用和加诸于整体系统上的设计约束。

[0059] 概览

[0060] 本文公开的某些方面涉及在设备之间和/或在各种设备的组件或子组件之间提供的通信链路。在一装置中,多个IC设备或IC设备内的电路可以使用包括导线、连接器、迹线、光学介质等的总线来进行通信。在一些实例中,将IC设备或IC设备内的电路解耦和/或向总线的连接器提供电容式、电感式或光学连接可能是必需的。在一些示例中,可以定义使用基于脉冲的信令进行通信的通信接口。通信接口可以是专有的或基于行业标准。公开了时钟和数据恢复电路、系统和方法,它们使接收机能够可靠地生成接收时钟信号,该接收时钟信号可被用来捕获和解码被编码在总线的一条或多条导线上传送的脉冲中的信息。

[0061] 通信链路的示例

[0062] 本文公开的某些方面涉及通信接口的操作以及从多线链路的时钟和数据恢复。通信接口可以基于标准定义的链路或可根据专有协议来操作。通信接口可被适配成使用基于脉冲的信令来通信。

[0063] 在一些实例中,通信接口可以提供采用或基于包括低电压差分信令(LVDS)的差分信令的多信号数据传递系统。数据可被编码在定义或控制多线链路上的信令的码元中。数据可使用一个或多个转码器来执行不同编码类型之间的数字到数字数据转换而进行编码。转码器可被适配成通过确保码元转变发生在每一码元传输时段的结尾处来将时钟信息嵌入在经编码码元序列中。将时钟信息与数据嵌入在一起可以降低与多线通信链路相关的互连的数目,其中用于实现通信接口电路和/或输入/输出(I/O)的设备引脚数和/或IC设备上使用的半导体占用空间对应地降低。将时钟信息与数据嵌入在一起可以免除在分开的数据通道中发送时钟信息的需求,其中数据通道可对应于差分传输路径。通过转码来嵌入时钟信息是使时钟与数据信号之间的偏斜最小化以及消除用锁相环(PLL)来从数据信号中恢复时钟信息的必要性的有效途径。

[0064] 在一个示例中,通信接口可根据由MIPI联盟标准或其派生来定义的相机控制接口(CCI)协议来操作。CCI协议使用被配置作为连接主控和一个或多个从动的总线的双导

线、双向、半双工、串行接口。常规CCI与集成电路间(I2C)总线的变体中所使用的协议兼容并且能够用单个主控设备来处置该总线上的多个从动设备。CCI总线包括串行时钟(SCL)线和串行数据(SDA)线。CCI设备和I2C设备可被部署在同一总线上以使得两个或更多个CCI设备可使用CCI协议来通信,同时涉及I2C总线的任何通信使用I2C协议。CCI的较新版本使用经修改的协议来支持较快信令速率以提供较高吞吐量。CCI扩展(CCIe)总线可被用于与CCIE总线操作兼容的设备提供更高数据率。此类设备可被称作CCIE设备,并且CCIE设备可以在彼此通信时通过将数据编码为在常规CCI总线的SCL线和SDA线两者上传送的码元来达到较高数据率。CCIE设备和I2C设备可以在相同的CCIE总线上共存,以使得在第一时间区间中可以使用CCIE编码来传送数据,并且可以在不同的时间区间中根据I2C信令约定来传送其他数据。

[0065] 采用通信链路的设备的示例

[0066] 图1描绘了可采用IC设备之间的通信链路的装置100。在一个示例中,装置100可包括通信设备,该通信设备通过射频(RF)通信收发机106与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。通信收发机106可以可操作地耦合至处理电路102。可使用片上系统(SoC)IC、一个或多个专用集成电路(ASIC)108和/或其他IC设备来实现处理电路102。ASIC108可包括逻辑电路、存储器112以及一个或多个处理设备,诸如应用处理器110。处理电路102可包括和/或耦合到处理器可读存储器114。处理器可读存储器114可包括非瞬态存储介质且可被用来存储和维护数据与用于由应用处理器110或处理电路102中的另一控制器或处理器执行的指令。处理电路102可由操作系统、或可提供支持并启用处理器可读存储器114和/或存储器112中提供或驻留的软件模块的执行的应用编程接口(API)层的其他控制程序中的一者或多者控制。处理器可读存储器114和/或存储器112可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程只读存储器(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。在一些示例中,处理器可读存储器114和/或存储器112包括用来维护配置处理电路102的某些操作模式或功能的参数的寄存器。处理电路102可以访问本地数据库,这可使用处理器可读存储器114和/或存储器112来实现以维护用来配置并操作装置100的操作参数和其他信息。本地数据库可以使用数据库模块来实现。处理电路可以可操作地耦合至外部设备,诸如天线122、显示器124、操作者控件(诸如按钮128和按键板126)、以及其他组件。

[0067] 图2解说了诸如移动通信设备等采用通信链路220来连接各种子组件的装置200的架构的示例。在所解说的示例中,装置200包括可彼此邻近地定位或可以在物理上位于装置200的不同部分中的多个设备。通信链路220可被用来连接各种IC设备,其中例如两个IC设备202和230可通过通信链路220交换数据和控制信息。在一个示例中,通信链路220可被设在搭载IC设备202和230的芯片载体、基板或电路板上。在另一示例中,通信链路220的一部分可包括电缆或光学连接。在一些实例中,电缆或光学连接可互连位于移动计算设备的按键板区域中的第一IC设备202或230和位于移动计算设备的显示器区域中的第二IC设备230或202。

[0068] 通信链路220可提供多个信道222、224和226。一个或多个信道226可以是双向的,并且可以工作在半双工和/或全双工模式下。一个或多个信道222和224可以是单向的。通信链路220可以是非对称的,由此在一个方向上提供较高带宽。在本文描述的一个示例中,

第一通信信道222可被称为前向链路,而 第二通信信道224可被称为反向链路。第一IC设备202可以被指定为主机系统或发射机,而第二IC设备230可以被指定为客户端系统或接收机,即便IC设备202和230两者都被配置成在通信链路220上发射和接收。在一个示例中,第一通信信道222可以在将数据从第一IC设备202传达给第二IC设备230时 以较高数据率操作,而第二通信信道224可以在将数据从第二IC设备230传达给第一IC设备202时以较低数据率操作。

[0069] IC设备202和230可各自具有控制器、定时器、或其他计算设备或处理器 206、236。在一个示例中,第一IC设备202可执行装置200的核心功能,包括 通过收发机204和天线214来进行通信,而第二IC设备230可支持管理或操作显示器控制器232的用户接口。在这一示例中,第二IC设备230可被适配 成使用相机控制器234来控制相机或视频输入设备的操作。IC设备202和230 中的一者或者所支持的其他特征可涉及键盘、语音识别组件、以及其他输入 或输出设备。显示器控制器232可包括支持显示器(诸如液晶显示器(LCD) 面板、触摸屏显示器、指示器等)的电路和软件驱动器。存储介质208和238 可包括瞬态和/或非瞬态存储设备,其被适配成维持由相应处理器206和236、和/或IC设备202和230的其他组件所使用的指令和数据。每个处理器206、236与其相应的存储介质208和238以及其他模块和电路之间的通信可分别由 一条或多条总线212和242来促成。

[0070] 在第一通信信道222被配置成前向链路时,第二通信信道224可被配置成 可以按与第一通信信道222相同的方式来操作的反向链路。第一通信信道222 和第二通信信道224可以能够以相当的速度或以不同的速度进行传送,其中速 度可被表达为数据传输速率和/或时钟速率。取决于应用,前向链路上的数据率 可基本上与反向链路上的数据率相同,或者相反方向上的数据率可相差数个量 级。在一些应用中,单个通信信道226可被配置成支持第一IC设备202与第 二IC设备230之间的通信的双向链路。第一通信信道222和/或第二通信信道 224可以可配置以按双向模式工作,并且例如前向和反向通信信道222和224 可共享相同的物理连接并以半双工方式操作。在一个示例中,通信链路220可 被操作以根据行业或其他标准在第一IC设备202与第二IC设备230之间传达 控制、命令以及其他信息。

[0071] 在一些实例中,前向和反向通信信道222和224可被配置或适配成支持宽 视频图形阵列(WVGA)、每秒80帧的LCD驱动器IC而不需要帧缓冲器,从 而以810Mbps递送像素数据以供显示器刷新。在另一示例中,前向和反向通信 信道222和224可被配置或适配成用动态 随机存取存储器(DRAM) (诸如双 倍数据率同步动态随机存取存储器(SDRAM)) 来启用通信。编码设备210和 /或240可被配置成在每一时钟转变编码多个比特,且多组导线可被用来传 送和 接收来自SDRAM的数据、控制信号、地址信号以及其他信号。

[0072] 前向和反向通信信道222和224可遵循或与专用工业标准兼容。在一个示 例中,某些MIPI联盟标准定义应用处理器IC设备202和支持移动设备中的相 机或显示器的IC设备 230之间的物理层接口。MIPI联盟标准可定义管控遵循 移动设备的MIPI联盟所对应的标准 或规范的产品的可操作特性的规范。在一 些实例中,MIPI联盟标准或规范可被实现在采用 互补金属氧化物半导体 (CMOS) 并行总线的接口中。

[0073] 图2的通信链路220可被实现为包括多条信号导线(记为N条导线)的有 线总线。这N条导线可被配置成携带编码在码元中的数据,其中时钟信息被嵌 入在多条导线上传送的 码元序列中。通过确保连贯码元之间的转变来嵌入定时 信息的编码方案可被称为转变编

码方案。转变编码方案可被用于例如N阶乘 (N!) 接口和PCIe接口中。

[0074] N!接口

[0075] 图3是解说包括在两个设备302与320之间提供的N线通信链路314的 N!接口300的示例的示图。在发射机302处,转码器306可被用来将数据比特 304和时钟信息编码在要在通信链路314的一组N条导线上传送的码元中。在 发射机302中,时钟信息可推导自发射时钟312并且可通过确保在连贯码元之间在这_NC₂个信号中的至少一个信号上发生信令状态转变而被编码到在通信链路314的N条导线上的_NC₂个差分信号中传送的码元序列中。当N!编码被用来 驱动通信链路的N条导线时,码元的每一比特作为差分信号由一组差分线路驱动器310中的一者来传送,其中差分线路驱动器310被耦合到通信链路314的 N条导线中的不同导线对。通信链路314的N条导线中的每条线路可与通信链路 314的N条导线中的另外N-1条线路中的每条线路配对,并且线路对的可用组合 的数目 (_NC₂) 决定了能在通信链路314的N条导线上传送的信号的数目。可以基 于可用于每个码元传输区间的可用信令状态的数目来计算能够被编码在码元 中的数据比特304的数目。

[0076] 端接阻抗(通常为电阻性的)将通信链路314的N条导线中的每一条耦合 到端接网络316中的共用中心点318。将领会,通信链路314的的N条导线的 信令状态反映了端接网络316中的电流的组合,该电流组合归因于耦合到每条 导线的差分线路驱动器310。将进一步领会,中心点318是零点,藉此端接网 络316中的诸电流在该中心点318处彼此抵消。在一个示例中,4!接口中的4 条导线中的每一者连接到端接网络336的终端340a、340b、340c、340d。每一 终端340a、340b、340c、340d通过端接电阻器耦合到端接网络336的中心点 338。

[0077] 因为链路中的这_NC₂个信号中的至少一个在连贯码元之间转变,所以N! 编码方案不需要使用单独的时钟信道和/或非归零解码。实际上,转码器306通 过产生其中N条导线的信令状态在连贯地传送的码元之间变化的码元序列来 确保转变发生在通信链路314的N 条导线上所传送的每一对连贯码元之间。在 图3中所描绘的示例中,提供了四条线路 (N= 4),并且该4条线路可携带₄C₂=6个差分信号。转码器306可以采用映射方案来生成原始码元以供在这N条 导线上进行传输。转码器306可将数据比特304映射到转变数集合。这些转变数可被用来基于紧前码元的值来选择用于传输的原始码元,以使得所选原始码 元不同于该前一原始码元。原始码元可以由串行化器308来串行化以获得用于 在通信链路314的N条导线上传输的码元序列。在一个示例中,转变数可以被 用于参照连贯原始码元中的第一原 始码元来查找对应于这些连贯原始码元中 的第二原始码元的数据值。在接收机320处,转 码器328可采用映射以确定(例 如使用查找表来确定)表征连贯原始码元对之间的差 异的转变数。转码器306、328在每一对连贯原始码元包括两个不同码元的基础上操作。

[0078] 发射机302处的转码器306可在每次码元转变时在N!-1个可用信令状态 之间进行选择。在一个示例中,4! 系统在每个码元转变处为要被传送的下一码 元提供4!-1=23个信 令状态。比特率可被计算为每发射时钟循环 \log_2 (可用状态)。

[0079] 根据本文中公开的某些方面,可采用双倍数据率 (DDR) 信令以通过在发 射时钟312的每个周期中传送两个码元来增大接口带宽。在使用DDR时钟计 时的系统中,码元转变在发射时钟的上升沿和下降沿二者处发生。发射时钟循 环中的总可用状态是 $(4!-1)^2 = (23)^2 = 529$ 个,并且每码元可传送的数据比特304 的数目可被计算为 $\log_2(529) = 9.047$ 比 特。

[0080] 接收方设备320使用一组线路接收机322接收该码元序列,其中该组线路 接收机322中的每个接收机确定通信链路314的N条导线中的一对导线上的信 令状态上的差别。相应地,使用_NC₂个接收机322,其中N表示线路数目。_NC₂个接收机322产生相应数目的原始码元作为输出。在4导线示例中,在这4条 导线上接收到的信号由6个接收机 (C₂=6) 处理以产生提供给时钟和数据恢 复(CDR) 电路324和解串器326的原始码元信号332。原始码元信号332表 示通信链路314的N条导线的信令状态,并且CDR电路324可以处理原始码 元信号332以生成能够由解串器326使用的接收时钟信号334。

[0081] 接收时钟信号334可以是能由外部电路系统用来处理由转码器328提供的 输出数据330的DDR时钟信号。转码器328通过将每个码元与其紧前的前趋 作比较来解码来自解串器326的收到码元块。转码器328产生与提供给发射机 302的数据比特304相对应的输出数据330。

[0082] 图4是解说发射机402处的编码、基本N! 多线通信链路414上的传输以 及接收机 416处的解码的某些方面的数据流程图。在该示例中,提供给发射机 402的二进制字404可被表达为十六进制值0xD1AC。二进制到五进制编码器 406可被配置成将二进制字404转换成五进制转变数408。在该示例中,转变 数408具有五进制值3204201。转变数408被提供给生成码元序列412的线路 编码器410,码元序列412中的每一码元表示通信链路414的各线路的信令状 态。转变数408的每一数位被编码成连贯码元传输区间中各线路的信令状态的 差异。在一个示例中,对应于可能信令状态的可能码元中的每一者可通过单数 位五进制数 来索引。当前传送的码元可由索引值S_{Current} 来表示,且下一码元的 索引值S_{Next} 可被计算为 S_{Next} = S_{Current} + T (mod 5),其中T表示转变数的对应数 位的值。

[0083] 在接收机416处,码元序列418可由线路解码器420转换成五进制转变数 422。转变数422随后被提供给五进制到二进制解码器424,它产生输出二进制 数据字426。线路解码器420观察到两个连贯码元之间的信令状态的差异,并 且可使用与发射机402所使用的索引方案相同的索引方案来生成五进制转变数 422的数位。

[0084] 双导线转变编码串行接口的示例

[0085] 图5是解说其中多个设备502、520、522a-522n通过通信链路来互连的装 置500的某些方面的示图。装置500可被实现在移动通信设备、移动电话、移 动计算系统、蜂窝电话、可穿戴计算设备(例如,智能手表、保健或健康跟踪 器、眼镜,等等)、笔记本计算机、平板计算设备、媒体播放器、游戏设备、电器、传感器、安全设备、自动售货机、智能计量表、无人机、多螺旋桨直升 机等等中。装置500的多个设备502、520以及522a-522n可被适配成通过串行 总线530(诸如使用转变编码的CCI总线) 来通信。要通过串行总线530传送 的数据可被编码成用来选择要在串行总线530上在相继传输区间中传送的码元 的三进制数。在一个示例中,多个设备502、520以及522a-522n可以使用CCIE 协议来通信。在另一示例中,多个设备502、520以及522a-522n可以使用I3C 协议来通信。对转变编码的使用可为被配置成使用包括转变编码在内的增强型 特征的设备扩展支持常规CCI或I2C协议的串行总线530的 能力。例如,串行 总线530上的转变编码传输可以提供比常规CCI总线上达到的比特率更高的比 特率。根据本文公开的某些方面,CCIE协议可被配置或适配成支持16.7Mbps 或更高的比特率,且在CCIE协议的一些版本中可支持至少每秒23兆比特的数 据率。

[0086] 在图5中解说的示例中,成像设备502被配置成作为串行总线530上的从 动设备来

操作。成像设备502可被适配成提供例如管理图像传感器的传感器控制功能504。另外,成像设备502可包括配置寄存器506或其他存储、控制逻辑512、收发机510以及线驱动器/接收机514a和514b。控制逻辑512可包括处理电路,诸如状态机、定序器、信号处理器或通用处理器。收发机510可包括接收机510a、发射机510c和共用电路510b(包括定时、逻辑和存储电路和/或设备)。在一个示例中,发射机510c基于由时钟生成电路508提供的定时来编码并传送数据。

[0087] 图6是解说发射机602处的转变编码、多线通信链路614上的传输以及接收机616处的解码的某些方面的数据流程图。在该示例中,提供给发射机602的二进制字604可被表达为十六进制值0x0801AC。二进制到三进制编码器606可被配置成将二进制字604转换成三进制转变数608。在该示例中,转变数608具有三进制值2221_2220_2221。转变数608被提供给生成码元序列612的线路编码器610,码元序列612中的每一码元表示通信链路614的各线路的信令状态。转变数608的每一数位被编码成连贯码元传输区间中各线路的信令状态的差异。在一个示例中,对应于可能信令状态的可能码元中的每一者可通过单数位三进制数来索引。当前传送的码元可由索引值 $S_{Current}$ 来表示,且下一码元的索引值 S_{Next} 可被计算为 $S_{Next} = S_{Current} + T \pmod{3}$,其中T表示转变数的对应数位的值。

[0088] 在接收机616处,码元序列618可由线路解码器620转换成三进制转变数622。转变数622随后可被提供给三进制到二进制解码器624,它产生输出二进制数据字626。线路解码器620观察到两个连贯码元之间的信令状态的差异,并且可使用与发射机602所使用的索引方案相同的索引方案来生成三进制转变数622的数位。数字系统之间的转换可被称为转码,包括例如二进制和三进制数之间的转换。

[0089] 基于状态的时钟和数据恢复

[0090] 图7解说了转变编码接口中的时钟生成的示例。仅出于解说的目的,图7-9中解说了示例涉及图5的转变编码串行总线530的示例。本文描述的原理可被应用于其他转变编码接口,包括本文描述的N!接口。接收机702可以检测或捕获串行链路(诸如串行总线530)中的线路516、518的信令状态704。信令状态704由配置成检测信令状态704中的转变的转变检测电路706来监视。转变检测电路706可以产生可由时钟生成电路系统708处理以获得接收时钟信号710的转变信号,接收时钟信号710可被用来捕获每一码元传输区间期间线路516、518的信令状态。

[0091] 如时序图720解说的,由线路编码器(例如,参见图6中的线路编码器610)生成的码元号722对应于串行总线530的SDA线518和SCL线的信令状态。转变检测电路706可以产生与检测到的线路516、518的信令状态中的转变相对应的一个或多个指示724。这些指示可包括被处理以产生时钟信号710上的脉冲726a-726d的信号。

[0092] 图8解说了可用于在N线系统中恢复所嵌入的时钟信息的时钟和数据恢复(CDR)电路800的示例。图9是解说了通过CDR电路800的操作来生成的某些信号的时序图900。CDR电路800及其时序图900作为一般化示例来提供,但在一些实例中可以使用CDR电路800的其他变型和/或其他CDR电路。从N条线808接收到的信号最初由数个接收机802处理,这些接收机产生对应数目原始信号作为输出。在一个示例中,N=4条线808由 ${}_4C_2=6$ 个接收机802处理,这些接收机产生包括表示收到码元的6个原始信号的第一状态转变信号(SI信号)820。在另一示例中,双导线转变编码接口的N=2条线808上传送的码元可由两个接收

机802接收。对于从每一不同接收机输出的每一原始信号,码元 S_0 902和 S_1 904之间可能存在某一时间段,在该时间段期间,对应信号的状态是未定义的、中间的或以其他方式不稳定的,并且可能导致瞬变或毛刺908。电平锁存器810、比较器804、置位-复位锁存器806、延迟元件812以及(总线化)电平锁存器810可被配置成输出表示SI信号820的经延迟实例的电平锁存信号(S信号)822,其中SI信号820由电平锁存器810捕获以提供经更新S信号822之前的延迟可通过配置延迟元件812来选择。

[0093] 比较器804将SI信号820与S信号822进行比较并输出二进制比较信号(NE信号814)。置位-复位锁存器806可以从比较器804接收NE信号814并输出作为NE信号814的经滤波版本的信号(NEFLT信号816)。置位-复位锁存器806的操作可被配置成移除NE信号814中的任何瞬态不稳定性,其中该瞬态不稳定性展现为NE信号814中的尖峰910。置位-复位锁存器806的“复位”输入可被优先化,以使得NEFLT信号816在RXCLK信号818为高时被复位,而不管NE信号814的状态。

[0094] 在一些实例中,RXCLK信号818可被外部电路系统用来对CDR电路800的数据输出828进行采样。在一个示例中,RXCLK信号818或RXCLK信号818的派生信号可被提供给解码器或解串器电路。在一些实例中,其他信号816可被用来生成用于外部电路系统的时钟信号。电平锁存器810接收SI信号820并输出S信号822,其中电平锁存器810由RXCLK信号818来触发或以其他方式进行控制。在一个示例中,S信号822可以用作CDR电路800的码元输出。在其他示例中,附加电路系统可被包括在CDR电路800中以延迟、锁存和/或其他方式调节S信号822来用作CDR电路800的码元输出。

[0095] 在操作中,比较器804将SI信号820与从电平锁存器810输出的S信号822进行比较。比较器804在SI信号820与S信号822相等时将NE信号814驱动至第一状态(例如,逻辑低),并且在SI信号820和S信号822不相等时将NE信号814驱动至第二状态(例如,逻辑高)。NE信号814在SI信号820和S信号822表示不同码元时处于第二状态。由此,第二状态指示转变正在进行。

[0096] 如从时序图900中可以领会的,S信号822实质上是SI信号820的经延迟和经滤波版本,其中瞬变或毛刺908已经由于SI信号820与S信号822之间的延迟914而被移除。SI信号820中的多个瞬变或毛刺910可被反映为NE信号814中的尖峰910,但这些尖峰910通过置位-复位电路的操作而从NEFLT信号816中被掩蔽。此外,RXCLK信号818基于使用在至电平锁存器810和置位-复位锁存器806的反馈路径中提供的延迟元件812来抵抗线路偏斜和码元转变中的毛刺,藉此RXCLK信号818控制置位-复位锁存器806的复位功能。

[0097] 在第一码元值 S_0 902和下一码元值 S_1 904之间的转变开始916时,SI信号820开始改变状态。由于 S_0 902与 S_1 904之间的转变期间可能发生中间或不确定状态(包括瞬变或毛刺908)的可能性,SI信号820的状态可能不同于 S_1 904。这些瞬变或毛刺908可能是由例如导线间偏斜、过冲/欠冲、串话等导致的。

[0098] 只要比较器804检测到SI信号820与S信号822之间的值差异,NE信号814就变为高,并且NE信号814转变为高异步地使置位-复位锁存器806输出置位,从而将NEFLT信号816驱动至高。NEFLT信号816保持在其高状态,直到置位-复位锁存器806由IRXCLK信号818的高状态复位。RXCLK信号818是NEFLT信号816的经延迟版本。

[0099] SI信号820上的瞬变或毛刺908可表示无效数据。这些瞬变或毛刺908可包含短时

段的前一码元值 S_0 902，并且可导致 NE 信号 814 在短时间段内返回至低。SI 信号 820 的转变可以在 NE 信号 814 上生成尖峰 910。尖峰 910 被有效地滤除并且不出现在 NEFLT 信号 816 中。

[0100] NEFLT 信号 816 的高状态导致 RXCLK 信号 818 在由延迟元件 812 所导致的延迟时段 840 后转变为高。RXCLK 信号 818 的高状态将置位-复位锁存器 806 输出复位，从而导致 NEFLT 信号 816 转变至低状态。RXCLK 信号 818 的高状态还启用电平锁存器 810，并且 SI 信号 820 值可在 S 信号 822 上输出。

[0101] 比较器 804 检测到 S 信号 822 (对于码元 S_1 902) 匹配存在于 SI 信号 820 上的码元 S_1 902 值，并将其输出 (NE 信号 814) 切换为低。NEFLT 信号 816 的低状态导致 IRXCLK 信号 818 在由延迟元件 812 所导致的延迟时段 842 后转为低。该循环对于 SI 信号 820 中的每一转变重复。在 IRXCLK 信号 818 的下降沿后的时间，新码元 S_2 906 可被接收并且可使得 SI 信号 820 根据下一码元 S_2 906 来切换其值。

[0102] 图 8 中解说的 CDR 电路 800 表示这样的电路的各示例之一，并且 CDR 电路 800 可被适配或配置成用在各种通信接口中。在一些实例中，可从使用被适配或配置成相对于时间段 920 来延迟或提前采样沿的其他类型的 CDR 电路中得到益处，在时间段 920 期间接收到的码元 904 是稳定的且可被可靠地捕获。例如，接收机 802 的类型和/或配置可基于接口中采用的信号编码技术来确定。在第一示例中，双单端接收机配置 802a 可被采用以接收来自双导线 CCIe 串行总线的信号。在第二示例中，多线接口可以携带由 N 个差分接收机 802b 接收到的 N 个 LVDS 信号。在第三示例中，三接收机配置 802c 可被采用来比较接收自三线 N! (3!) 接口 (这由电阻网络 830a 来端接) 的信号对。在第四示例中，六接收机配置 802d 可被采用来比较接收自在四线 N! (4!) 编码接口 (这由电阻网络 830b 来端接) 上接收到的两个信号的不同组合的信号。

[0103] 基于脉冲的通信接口

[0104] 本文公开的某些方面涉及将数据编码在脉冲中而非信令状态或信令状态之间的转变中的接口。在信号电容式地、电感式地或光学地耦合时，或者在信号信道将信息编码在事件中并且不支持使用信令状态的编码时，基于脉冲的信令可被使用。在这样的实例中，信号转换和/或桥接可被执行以将基于转变编码状态的接口与没有携带状态信息的信号信道对接。

[0105] 图 10 是解说基于脉冲的通信的某些方面的经简化示图 1000。脉冲 1020 可被提供作为线驱动器 1004 的输入信号 1002。线驱动器 1004 在传输线 1006 上产生对应脉冲 1022，其中与传输线 1006 相关联的低通滤波效果可移除较高阶频率。反射和其他效果可能通过在信号转变上引入过冲和/或欠冲来使所传送的脉冲 1022 失真。电容器 1008 从所传送的脉冲 1022 移除 DC 分量，从而产生以电阻器 1010、1012 所选择的 DC 电平为中心的脉冲 1024。这一经电压平衡的脉冲 1024 可被提供给线接收机 1016 的输入端 1014，它产生接收到脉冲 1026 作为接收到信号 1018。

[0106] 使用基于信令状态的编码的多线接口可被适配或以其他方式修改来将信息编码在传输区间期间的脉冲存在或缺失中。多线接口的每一条导线可以在每一传输区间期间携带脉冲，并且至少一条导线在任何传输区间期间携带脉冲。时钟信号可通过在与每一传输区间中的第一检测到的脉冲相对应的时钟信号上提供边沿来被生成。

[0107] 图 11 是解说脉冲编码接口 1100 的某些方面的示图，其中数据通过双导线串行链

路来传递数据。在发射机处,二进制数据被编码在码元中,每一码元作为传输区间序列1128之一中的脉冲通过通信接口来传送。接收机检测每一传输区间的所传送的脉冲模式1102。每一传输区间的脉冲模式1102可被表达为三进制数的数位。每一传输区间的脉冲模式1102被提供给CDR 1104,它提取接收时钟信号1114并启用线解码器1106来生成表示在传输区间序列1128期间接收到的脉冲模式的三进制数1108。三进制到二进制转码器1110随后可提供二进制字1112作为输出。

[0108] 时序图1120解说了在双导线串行总线的传输区间序列1128中对数据字1112的接收。脉冲可以在SDA线1122或SCL线1124上传送。基于脉冲在SDA线1122或SCL线1124中的任一者或两者上的出现,时钟脉冲序列1126a-1126d被生成在接收时钟信号1114上。

[0109] 在时序图1120中,SDA线1122和SCL线1124上的脉冲被描绘成具有50%占空比。在一些实例中,脉冲可具有大于或小于50%的占空比,使得脉冲被定义为具有在历时上长于低状态的高状态或者在历时上短于低状态的高状态。脉冲的定时也可相关于时间参考点1130、1132(诸如发射机处的发射时钟的边沿)来变化。在一个示例1134中,SDA线1122和/或SCL线1124可以在第一发生的参考点1130处保持在低信令状态,在脉冲要被传送时转变为高以使得线1122或1124在第二发生的参考点1132之处或附近转变为低。在另一示例1136中,SDA线1122和/或SCL线1124可以在要传送脉冲时在第一发生的参考点1130处转变为高信令状态,并且在第一发生的参考点1130和第二发生的参考点1132之间的中点附近的某一点处,该线转变为低。在另一示例1138中,SDA线1122和/或SCL线1124上的脉冲能以第一发生的参考点1130和第二发生的参考点1132之间的中点附近的时间为中心,或者以某一其他时间点为中心,使得该线处于低状态达每一参考点1130、1132之前和之后的某一时间历时。这些示例1134、1136、1138中的每一者的信令状态的极性可按需反转或按设计考虑来指示。

[0110] 基于脉冲的时钟和数据恢复

[0111] 图12解说了可被用在基于脉冲的接口中的CDR电路1200的第一示例。图13是解说了通过CDR电路1200的操作来生成的某些信号的时序图1300。图12中描绘的示例涉及双导线通信链路以简化CDR电路1200的描述。操作原理同样适用于其他通信链路,包括N线链路(其中N≥2)以及在N对导线上传送N个LVDS信号的通信链路。信号1202和1204是使用比较器、接收机、调节电路系统等从通信链路接收的。每一信号1202、1204被提供给对应置位-复位锁存器1206、1208的置位(S)输入端。相应地,在第一信号1202中接收到的脉冲1306将第一置位-复位锁存器1206置位,且在第二信号1204中接收到的脉冲1304、1308将第二置位-复位锁存器1208置位。输出SF[0]1210和SF[1]1212被提供给产生输出信号(SFOR信号)1216的OR(或)门1214。因为编码方案确保脉冲1304、1306和/或1308在每一传输时段1302期间在信号1202、1204中的至少一者中传送,所以SFOR信号1216包括针对每一传输时段1302的脉冲1310、1312。

[0112] SFOR信号1216被提供给延迟元件1218,延迟元件1218对SFOR信号1216中的脉冲1310、1312进行延迟以获得具有经延迟脉冲1314、1316的RXCLK信号1220。延迟元件1218可被配置成产生具有足以确保RXCLK信号1220上的脉冲1314、1316的尾沿中的每一者发生在输入信号1202、1204已稳定化时的最后可能时间之后的历时的延迟1318。例如,在信号1202、1204中接收到的脉冲1306、1308可经受不同传播时间,使得延迟1322发生在脉冲

1306、1308之间。在后一示例中,与延迟元件1218相关联的延迟1318可用于阻止RXCLK信号1220上发生多个脉冲或毛刺。RXCLK信号1220使置位-复位锁存器1206、1208复位,其中复位(R)输入优先于置位(S)输入。

[0113] RXCLK信号1220作为一对输出触发器1226、1228的时钟,它们中的每一者通过对称的反相器1222、1224耦合到置位-复位锁存器1206、1208之一的输出。在输出触发器1226、1228被时钟控制时,置位-复位锁存器1206或1208的输出当在其对应的输入信号1202、1204中接收到脉冲时处于置位状态,并且置位-复位锁存器1206或1208的输出当在其对应的输入信号1202、1204中没有接收到脉冲时处于已清除状态。置位-复位锁存器1206、1208的经反相输出可被提供给输出触发器1226、1228,以将所需比特取向置位和/或延迟由RXCLK信号1220对置位-复位锁存器1206、1208的复位造成的转变。在该示例中,在置位-复位锁存器1206、1208和输出触发器1226、1228之间提供的反相器1222和1224可充当简单形式的“脉冲到三进制”解码器。

[0114] 输出触发器1226、1228的输出1230、1232可被提供给解码器。输出触发器1226、1228的输出1230、1232可被处理为三进制数1320。

[0115] 图14解说了可被用在基于脉冲的接口中的CDR电路1400的第二示例。图15是解说了通过图14的CDR电路1400的操作来生成的某些信号的时序图1500。图14中描绘的示例增强了图12中描绘的CDR电路1200的某些方面,并且还涉及双导线通信链路以简化CDR电路1400的描述。操作原理同样适用于其他通信链路,包括N线链路(其中N≥2)以及在N对导线上传送N个LVDS信号的通信链路。信号1402和1404是使用比较器、接收机、调节电路系统等从通信链路接收的。每一信号1402、1404被提供给对应置位-复位锁存器1406、1408的置位(S)输入端。相应地,在第一信号1402中接收到的脉冲1506将第一置位-复位锁存器1406置位,且在第二信号1404中接收到的脉冲1504、1508将第二置位-复位锁存器1408置位。输出SF[0]1410和SF[1]1412被提供给产生输出信号(SFOR信号)1416的OR(或)门1414。因为编码方案确保脉冲1504、1506和/或1508在每一传输时段1502期间在信号1402、1404中的至少一者中传送,所以SFOR信号1416包括针对每一传输时段1502的脉冲。

[0116] SFOR信号1416被提供给在其输出信号(1SHOT)1420中产生固定历时脉冲1510和1512的单稳电路1418。脉冲1510和1512对应于SFOR信号1416中生成的脉冲。1SHOT信号1420被提供给延迟元件1422,延迟元件1422对1SHOT信号1420中的脉冲1510、1512进行延迟以获得具有经延迟脉冲1514、1516的RXCLK信号1424。单稳电路1418所产生的脉冲1510和1512的历时可被配置成产生具有超过在不同输入信号1402、1404中传送的脉冲1506、1508之间的最大预期延迟1522的历时的单个固定长度脉冲。延迟元件1422可被配置成产生具有足以确保RXCLK信号1424上的脉冲1514、1516的尾沿中的每一者发生在输入信号1402、1404已稳定化时的最后可能时间之后的历时的延迟1518。例如,在信号1402、1404中接收到的脉冲1506、1508可经受不同传播时间,使得延迟1522发生在脉冲1506、1508之间。在后一示例中,与1SHOT信号1420和/或延迟元件1422相关联的延迟1518可用于阻止RXCLK信号1424上发生多个脉冲或毛刺。RXCLK信号1424使置位-复位锁存器1406、1408复位,其中复位(R)输入优先于置位(S)输入。

[0117] RXCLK信号1424作为一对输出触发器1430、1432的时钟,它们中的每一者耦合到置位-复位锁存器1406、1408之一的输出。在输出触发器1430、1432被时钟控制时,置位-复

位锁存器1406或1408的输出当在其对应的输入信号1402、1404中接收到脉冲时处于置位状态，并且置位-复位锁存器1406或1408的输出当在其对应的输入信号1402、1404中没有接收到脉冲时处于已清除状态。置位-复位锁存器1406、1408的经反相输出可被提供给输出触发器1430、1432以将所需比特取向置位和/或延迟由RXCLK信号1408对置位-复位锁存器1406、1424的复位造成的转变。在该示例中，在置位-复位锁存器1206、1208和输出触发器1426、1428之间提供的反相器1430和1432可充当简单形式的“脉冲到三进制”解码器。

[0118] 输出触发器1430、1432的输出1434、1436可被提供给解码器。输出触发器1430、1432的输出1434、1436可被处理为三进制数1520。

[0119] 某些电路系统和方法的附加描述

[0120] 本文公开的某些方面可被应用于包括携带脉冲编码信号的一个或多个连接器的多连接器接口。图16解说了脉冲编码信令的使用的某些一般化示例。在第一示例1600中，多连接器接口上携带的信号1604、1606、1608中的每一者是脉冲编码的。即，编码在传输区间序列1602中的每一者中在至少一个信号1604、1606和/或1608中提供了归零脉冲。数据可被编码在信号1604、1606、1608中归零脉冲的存在或缺失中，和/或在多连接器串行通信链路上传送的信号1604、1606、1608中提供的归零脉冲的模式中。在第一示例1600中，解说了三个信号，但多连接器接口可包括任何数目的连接器。

[0121] 在第二示例1610中，多连接器接口上携带的一个或多个信号（在此，两个信号1614、1616）是脉冲编码的，而信息被编码在传输区间序列1612中的每一者期间的一个或多个其他信号1618的信令状态中。在一些实例中，信息可被编码在未被脉冲编码的一个或多个信号1618的信令状态的转变中。

[0122] 在一些实例中，多连接器接口可以采用转码来在第一示例1600中将数据转换成在信号1604、1606和/或1608上传送的脉冲的组合，或在第二示例1610中将数据转换成在信号1614、1616和/或1618上传送的脉冲的组合。

[0123] 图17是解说根据本文公开的某些方面的可在多线通信接口上传送的不同类型的信号1702、1704、1706、1708的第一组示例的时序图1700。多线通信接口可被适配成在所有导线或连接器上携带各类型的信号1702、1704、1706、1708之一，或者在不同连接器或导线上携带各类型的信号1702、1704、1706、1708的某一组合。在一些实例中，多线通信接口可以是可重配置的，使得不同组合或类型的信号1702、1704、1706、1708可被用于不同时刻的信令。

[0124] 第一类型的信号1702可以表示信令的归零（RZ）或脉冲编码模式，如在图16的示例1600中解说的（例如）。脉冲1712可被提供在由起始点1710和结束点1720界定的区间内，其可对应于发射时钟边沿等等。如图11的示例1134、1136和1138所解说的，脉冲1712可被定位在起始点1710和结束点1720内，或者可具有与起始点1710或结束点1720相一致的边沿。信息可被编码于脉冲1712在起始点1710和结束点1720之间的存在或缺失中。在这一示例中，起始点1710和结束点1720之间的时段可对应于单码元区间。

[0125] 第二类型的信号1704可以表示信令的归零或脉冲编码模式，其中多个脉冲1714、1716、1718可被提供在由起始点1710和结束点1720界定的区间内，其可对应于发射时钟边沿等等。一个或多个脉冲1714、1716、1718的边沿可被定位在起始点1710和结束点1720内，或者可以与起始点1710和/或结束点1720相一致。信息可被编码在脉冲1714、1716、1718的

存在或缺失中,和/或 编码在起始点1710和结束点1720之间传送的脉冲1714、1716、1718的组合 中,和/或在多线通信接口的不同导线上传送的脉冲的组合中。可基于应用需求 或设计者偏好来选择位于起始点1710和结束点1720内的脉冲1714、1716的 数目。在这一示例中,起始点1710和结束点1720之间的时段可对应于三个码 元区间。

[0126] 第三类型的信号1706可以表示信令的非归零模式,其中信息可被编码在 起始点1710和结束点1720之间的线的信令状态中和/或在多线通信接口的不 同导线上提供的状态的组合中。在这一示例中,起始点1710和结束点1720之 间的时段可对应于单码元区间。在一些实例中,信息可被编码在起始点1710和 /或结束点1720处的信令状态的转变中。

[0127] 第四类型的信号1708可表示信令的非归零模式,其中信息的多个比特可 被编码在起始点1710和结束点1720之间。在此,两个、三个或更多比特可在 导线的信令状态中和/或在多线通信接口的一条或多条导线上提供的状态组合 中传送在这一示例中,起始点1710和结束点1720之间的时段可对应于三个码 元区间。在一些实例中,信息可被编码在发生于起始点1710和/或结束点1720 之间的某些点处的信令状态的转变中。

[0128] 图17中解说的那些类型的信号1702、1704、1706、1708中的一些可以在 一个码元循环内产生一个、两个或更多翻转。CDR电路1400(参见图14)的 延迟元件可被配置成过滤该多个翻转,使得对于每一码元在RXCLK信号1424 上生成单个脉冲。当在信号上在同一循环中提供奇数个翻转时,触发器1432、1430可以捕获来自前一循环的相反值。当在信号上在同一循环中发生偶数个翻 转时,可从前一循环捕获相同值。奇数或偶数可以携带额外带 内信息。当在信 号上在同一循环中发生奇数和偶数个翻转这两者时,可以提供计数器以对翻转 的数目和/或单个码元内的上升沿或下降沿的数目进行计数。计数器可以提供附 加带内信息。

[0129] 图18是解说根据本文公开的某些方面的可在多线通信接口上传送的不同 类型的信号1810、1812、1814、1816、1818的第二组示例的示图1800。在这一示图1800中,码元序列1802可以使用各类型的信号1810、1812、1814、 1816、1818之一在多条导线之一上传送。码 元序列1802中的每一码元(例如, 码元1804和1806)占用具有历时 t_{SYM} 1808的码元区间。

[0130] 第一类型的信号1810可以使用单脉冲归零 (RZ) 编码,其中导线上的信 息被编码在脉冲的存在或缺失中。第二类型的信号1812可以将数据编码在码 元区间期间传送的RZ 脉冲的数目中,其中脉冲的数目可包括零个脉冲。第三 类型的信号1814可以将数据编码在单个非归零 (NRZ) 翻转中,其中例如在码 元区间的开始或期间的信令状态的转变指示一个二进制值并且码元区间的开 始或期间的信令状态的转变的缺失指示另一二进制值。第四类型的信号1816可 以将数据编码在码元区间内发生的NRZ翻转的数目中,其中转变的数目可包 括零个转变。第五类型的信号1818可以使用脉冲的存在、缺失或数目以及翻转 的存在或缺失来编码数据。例如,第五类型的信号1818可被用在将一些设备与 滤除短脉冲的输入滤波器进行耦合的总线系统中。在一些示例中,I2C从动设备可能没有看到码元区间内的短脉冲,但可能在码元区间的结束处识别出状态 转变。相应地,在码元区间的结束处发生 的翻转(或没有翻转)添加了I2C从 动设备可使用窄带滤波器来观察到的状态转变信息。例如,脉冲的数目可在第一群设备之间传达信息,并且使用在码元区间的结束处的翻转提供的状态转变 可以在第二群设备之间传达信息。

[0131] 图19是解说被适配用于在通信接口上传送的不同类型的信号的编码方案 的某些

方面的示图1900。码元序列1902可包括与要通过串行链路传送的字相对应的一组码元(字单元1904)。某些字单元1904可包括数个(w)子单元1906,其中每一子单元可包括数个(s)码元。可以如下从每码元数个(r)可用状态解码数据:

[0132] 示例1 (CCIE)

[0133] $s=1, w=12, r=3$ 数据 = $\sum_{k=0}^{11} T_k 3^k$

[0134] 示例2 (3!)

[0135] $s=1, w=7, r=5$ 数据 = $\sum_{k=0}^{11} T_k 5^k$

[0136] 示例3

[0137] $s=2, w=12, r=3$ sub = 0~7 (保留1), 数据 = sub[5:0]

[0138] 示例4

[0139] $s=3, w=12, r=3$ sub = 0~24 (保留2), 数据 = $\sum_{k=0}^3 T_k 25^k$

[0140] 示例5

[0141] $s=3, w=12, r=3$ sub = 0~24 (保留2), 数据 = sub[3:0]

[0142] 示例6

[0143] $s=1, w=4, r=7$ 数据 = $\sum_{k=0}^3 T_k 7^k$

[0144] 示例7

[0145] $s=2, w=8, r=7$ sub = 0~31 (保留17), 数据 = sub[3:0]

[0146] 图20是解说采用可被配置成执行本文所公开的一个或多个功能的处理电路2002的装置2000的硬件实现的简化示例的概念图。根据本公开的各种方面,本文所公开的元素、或元素的任何部分、或者元素的任何组合可使用处理电路2002来实现。处理电路2002可包括一个或多个处理器2004,其由硬件和软件模块的某种组合来控制。处理器2004的示例包括:微处理器、微控制器、数字信号(DSP)、现场可编程门阵列(FPGA)、可编程逻辑设备(PLD)、状态机、定序器、门控逻辑、分立的硬件电路、以及其他配置成执行本公开中通篇描述的各种功能性的合适硬件。该一个或多个处理器2004可包括执行特定功能并且可由软件模块2016之一来配置、增强或控制的专用处理器。该一个或多个处理器2004可通过在初始化期间加载的软件模块2016的组合来配置,并且通过在操作期间加载或卸载一个或多个软件模块2016来进一步配置。

[0147] 在所解说的示例中,处理电路2002可使用由总线2010一般化地表示的总线架构来实现。取决于处理电路2002的具体应用和整体设计约束,总线2010可包括任何数目的互连总线和桥接器。总线2010将各种电路链接在一起,包括一个或多个处理器2004、和存储2006。存储2006可包括存储器设备和大容量存储设备,并且在本文可被称为计算机可读介质和/或处理器可读介质。总线2010还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口2008可提供总线2010与一个或多个收发机2012之间的接口。可针对处理电路所支持的每种联网技术来提供收发机2012。在一些实例中,多种联网技术可共享收发机2012中找到的电路系统或处理模块中的一些或全部。每个收发

机2012提供用于通过传输介质与各种其它装置通信的手段。取决于该装置的本质,也可提供用户接口2018(例如,按键板、显示器、扬声器、话筒、操纵杆),并且该用户接口2018可直接或通过总线接口2008通信地耦合至总线2010。

[0148] 处理器2004可负责管理总线2010和一般处理,包括对存储在计算机可读介质(其可包括存储2006)中的软件的执行。在这一方面,处理电路2002(包括处理器2004)可被用来实现本文所公开的方法、功能和技术中的任一种。存储2006可被用于存储处理器2004在执行软件时操纵的数据,并且该软件可被配置成实现本文所公开的方法中的任一种。

[0149] 处理电路2002中的一个或多个处理器2004可执行软件。软件应当被广泛地解释成意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数、算法等,无论其是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来述及皆是如此。软件可按计算机可读形式驻留在存储2006中或驻留在外部计算机可读介质中。外部计算机可读介质和/或存储2006可包括非瞬态计算机可读介质。作为示例,非瞬态计算机可读介质包括:磁存储设备(例如,硬盘、软盘、磁条)、光盘(例如,压缩碟(CD)或数字多功能碟(DVD))、智能卡、闪存设备(例如,“闪存驱动器”、卡、棒、或钥匙驱动器)、RAM、ROM、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、EEPROM、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的软件和/或指令的合适介质。作为示例,计算机可读介质和/或存储2006还可包括载波、传输线、和任何其它用于传送可由计算机访问和读取的软件和/或指令的合适介质。计算机可读介质和/或存储2006可驻留在处理电路2002中、处理器2004中、在处理电路2002外部、或跨包括该处理电路2002在内的多个实体分布。计算机可读介质和/或存储2006可实施在计算机程序产品中。作为示例,计算机程序产品可包括封装材料中的计算机可读介质。本领域技术人员将认识到如何取决于具体应用和加诸于整体系统上的总体设计约束来最佳地实现贯穿本公开给出的所描述的功能性。

[0150] 存储2006可维持以可加载代码段、模块、应用、程序等来维持和/或组织的软件,其在本文中可被称为软件模块2016。软件模块2016中的每一者可包括在安装或加载到处理电路2002上并由一个或多个处理器2004执行时有助于运行时映像2014的指令和数据,运行时映像2014控制一个或多个处理器2004的操作。在被执行时,某些指令可使得处理电路2002执行根据本文所描述的某些方法、算法和过程的功能。

[0151] 软件模块2016中的一些可在处理电路2002初始化期间被加载,并且这些软件模块2016可配置处理电路2002以实现本文所公开的各种功能的执行。例如,一些软件模块2016可配置处理器2004的内部设备和/或逻辑电路2022,并且可管理对外部设备(诸如,收发机2012、总线接口2008、用户接口2018、定时器、数学协处理器等)的访问。软件模块2016可包括控制程序和/或操作系统,其与中断处理程序和设备驱动器交互并且控制对由处理电路2002提供的各种资源的访问。这些资源可包括存储器、处理时间、对收发机2012的访问、用户接口2018等。

[0152] 处理电路2004的一个或多个处理器2002可以是多功能的,由此软件模块2016中的一些被加载和配置成执行不同功能或相同功能的不同实例。这一个或多个处理器2004可附加地被适配成管理响应于来自例如用户接口2018、收发机2012和设备驱动器的输入而发起的后台任务。为了支持多个功能的执行,这一个或多个处理器2004可被配置成提供

多任务环境,由此多个功能中的每个 功能按需或按期望实现为由一个或多个处理器2004 服务的任务集。在一个示 例中,多任务环境可使用分时程序2020来实现,分时程序2020在不同任务之 间传递对处理器2004的控制权,由此每个任务在完成任何未决操作之际和/或响应于输入(诸如中断)而将对一个或多个处理器2004的控制权返回给分时程 序2020。当任务具有对一个或多个处理器2004的控制权时,处理电路有效地 专用于由与控制方任务相关联的功能所针对的目的。分时程序2020可包括操 作系统、在循环基础上转移控制权的主循环、根据各功能的优先级化来分配对 一个或多个处理器2004的控制权的功能、和/或通过将对一个或多个处理器 2004的控制权提供给处置功能来对外部事件作出响应的中断驱动式主循环。

[0153] 图21是用于从在多线通信接口上传送的信号恢复时钟信号的方法的流程 图2100。数据可被编码在多线接口的一条或多条导线上传送的脉冲的组合或模 式中。

[0154] 在框2102,在接收方设备处在多线接口的一条或多条导线上检测脉冲。

[0155] 在框2104,响应于在多线接口的一条或多条导线上检测到脉冲,在多个传 输区间中的每一者中在接收时钟中生成边沿。在多个传输区间中的每一者期间 在多线接口的至少一条导线上传送脉冲。多线接口可以是电容式地耦合的接口。多线接口可以是电感式地耦合的接口。多线接口可以是光学地耦合的接口。在 一条或多条导线上接收的脉冲可被组合成组合信号并被延迟以提供接收时钟。

[0156] 在框2106,在多个传输区间中的每一者中生成了接收时钟中的边沿之后, 提供多 数位数的数位。该数位的每一比特可以标识在对应的传输区间期间是否 在多线接口的一条导线上传送了脉冲。

[0157] 在框2108,在多个传输区间中生成的数位可被组合以获得多 数位数。多线 接口可具有N条导线且多 数位数可被表达为以 $(2^N - 1)$ 为基数的数。在一个示例 中,多线接口是双 导线接口且多 数位数被表达为三进制数。在另一示例中,多 线接口是三导线接口且多 数位数被表达为七进制数。

[0158] 在框2110,多 数位数可被转码以获得接收到的数据。数据字可被编码在多 数位数中。

[0159] 在一些实例中,可通过将在一条或多条导线上接收到的脉冲组合成组合信 号、将 该组合信号提供给配置成响应于该组合信号中的边沿来产生固定历时脉 冲的单稳逻辑、 以及将该固定历时脉冲进行延迟以在接收时钟中提供脉冲,来 在接收时钟中生成边沿。

[0160] 在一些示例中,第一信息可以从接收自多线接口的第一多条导线的归零脉 冲编 码的信号解码。例如,第一信息可被编码在传输区间期间第一多条导线中 的每一者上的脉 冲的存在或缺失中。第二信息可以从接收自多线接口的第二多 条导线的非归零信号解码。 信息可以在第二多条导线上的信令状态中传送。在 一个示例中,每一导线可携带具有两个 或更多个电压或电流状态的信号,且第 二信息可被编码在传输区间期间第二多条导线的 信令状态的组合中或者相继 传输区间之间的第二多条导线的信令状态的转变中。

[0161] 图22是解说采用处理电路2202的装置2200的硬件实现的简化示例的示 图。该处理 电路通常具有处理器2216,处理器2216可包括微处理器、微控制 器、数字信号处理器、定 序器和状态机中的一者或多者。处理电路2202可以用 由总线2220一般化地表示的总线架 构来实现。取决于处理电路2202的具体应 用和整体设计约束,总线2220可包括任何数目的

互连总线和桥接器。总线2220 将包括一个或多个处理器和/或硬件模块(由处理器2216、模块或电路2204、2206、2208和2210、可配置成通过连接器或导线2214通信的线接口电路2212、以及计算机可读存储介质2218表示)的各种电路链接在一起。总线2220还可 链接各种其他电路(诸如定时源、外围设备、稳压器和功率管理电路),这些 电路在本领域中是众所周知的,并且因此将不再进一步描述。

[0162] 处理器2216负责一般性处理,包括执行存储在计算机可读存储介质2218 上的软件。该软件在由处理器2216执行时使处理电路2202执行上文针对任何 特定装置描述的各种功能。计算机可读存储介质2218还可被用于存储由处理器2216在执行软件时操纵的数据,包括从通过连接器或导线2214传送的码元 中解码的数据。处理电路2202进一步包括模块2204、2206、2208和2210中的 至少一个模块。各模块2204、2206、2208、和2210可以是在处理器2216中运 行的软件模块、驻留/存储在计算机可读存储介质2218中的软件模块、耦合至 处理器2216的一个或多个硬件模块、或其某种组合。模块2204、2206、2208、和/或2210 可包括微控制器指令、状态机配置参数、或其某种组合。

[0163] 在一种配置中,装置2200包括:用于检测在接收自多线接口的连接器或 导线2214 的一个或多个信号中发生的脉冲的模块和/或电路2204,用于响应于 在接收自多线接口的连接器或导线2214的一个或多个信号中检测到脉冲来在 接收时钟信号上提供脉冲的模块和/或电路2206,用于捕获表示多线接口的每一导线2214中的脉冲的存在或缺失的值的模块和/或电路2208,以及一个或多 个延迟电路。在一个示例中,装置2200包括时钟恢复电路,其具有:配置成在 多个输入信号中的一者或者者中接收到第一脉冲时采取第一状态的多个输入 锁存器,配置成响应于第一脉冲来提供第二脉冲响应的组合逻辑,配置成在相对于第二脉冲延迟的接收时钟上产生第三脉冲的延迟电路,以及配置成在由第 三脉冲触发时捕获第一状态的多个输出触发器,其中第一状态标识多个输入信 号中的哪一者接收到输入脉冲。在一些实例中,单稳电路被配置成固定第二脉 冲的历时。

[0164] 第一状态可被输出为多数位数的数位。多个输入信号可以接收自包括N条 导线的多线接口。在一个示例中,多数位数可被表达为基数($2^N - M$),其中可出 于处理效率的原因和/或基于嵌入时钟信息的存在或缺失和/或多数位数中的其 他信息来选择M。在一个示例中,多个输入信号接收自双导线接口,且多数位 数可被表达为三进制数。在另一示例中,多个输入信号接收自三导线接口,且 多数位数被表达为七进制数。

[0165] 多个输入信号可接收自电容式地耦合或电感式地耦合的多线接口。在一些 实例中,多个输入信号接收自光学接口。

[0166] 图23是用于在多线通信接口上通信的方法的流程图2300。数据可被编码 在N线接口的N条导线上传送的脉冲的组合或模式中。

[0167] 在框2302,数据字可被转码成多数位数。时钟信息可被嵌入在该多数位数 中。

[0168] 在框2304,对于传输区间序列中的每一传输区间,脉冲的组合可以在多线 通信链路的第一多个连接器上传送。多数位数的每一数位可以定义针对传输区 间序列中的对应传输区间的脉冲的组合。脉冲可以在传输区间序列中的每一传 输区间期间在多个连接器中的至少一者上传送。

[0169] 在一些实例中,通过电容式、电感式或光学耦合将脉冲组合提供给第一多 个连接器。

[0170] 第一个连接器包括N个连接器且多数位数被表达为基数(2^N-M)，其中可出于处理效率的原因和/或基于嵌入时钟信息的存在或缺失和/或多数位数中的其他信息来选择M。在一个示例中，第一个连接器可包括两个连接器且多数位数被表达为三进制数。在另一示例中，第一个连接器包括三个连接器且多数位数被表达为七进制数。

[0171] 在一些示例中，第一信息可被编码在多线接口的第一多个连接器上传送的非归零脉冲编码的信号中。例如，第一信息可被编码在传输区间期间第一个连接器中的每一者上的脉冲的存在或缺失中。第二信息可被编码在一个或多个非归零信号中。该一个或多个非归零信号可以在多线接口的第二多个连接器上传送。信息可以在第二多个连接器上的信令状态中传送。在一个示例中，一条或多条导线可携带具有两个或更多个电压或电流状态的信号，且第二信息可被编码在传输区间期间第二多个连接器的信令状态的组合中或者相继传输区间之间的第二多个连接器的信令状态的转变中。

[0172] 图24是解说采用处理电路2402的装置2400的硬件实现的简化示例的示图。该处理电路通常具有处理器2416，处理器2416可包括微处理器、微控制器、数字信号处理器、定序器和状态机中的一者或多者。处理电路2402可以用由总线2420一般化地表示的总线架构来实现。取决于处理电路2402的具体应用和整体设计约束，总线2420可包括任何数目的互连总线和桥接器。总线2420将包括一个或多个处理器和/或硬件模块(由处理器2416、模块或电路2404、2406、2408和2410、可配置成通过连接器或导线2414通信的线接口电路2412、以及计算机可读存储介质2418表示)的各种电路链接在一起。总线2420还可链接各种其他电路(诸如定时源、外围设备、稳压器和功率管理电路)，这些电路在本领域中是众所周知的，并且因此将不再进一步描述。

[0173] 处理器2416负责一般性处理，包括执行存储在计算机可读存储介质2418上的软件。该软件在由处理器2416执行时使处理电路2402执行上文针对任何特定装置描述的各种功能。计算机可读存储介质2418还可被用于存储由处理器2416在执行软件时操纵的数据，包括从通过连接器或导线2414传送的码元中解码的数据。处理电路2402进一步包括模块2404、2406和2408中的至少一个模块。各模块2404、2406、2408、和2410可以是在处理器2416中运行的软件模块、驻留/存储在计算机可读存储介质2418中的软件模块、耦合至处理器2416的一个或多个硬件模块、或其某种组合。模块2404、2406和/或2408可包括微控制器指令、状态机配置参数、或其某种组合。

[0174] 在一种配置中，装置2400包括：用于将数据字转码成多数位数的模块和/或电路2404，用于在多线通信链路的连接器或导线2414上的一个或多个信号中传送从多数位数导出的脉冲模式的模块和/或电路2406，以及用于将该装置耦合到多线通信链路的连接器或导线2414的模块和/或电路2408。

[0175] 在一个示例中，装置2400包括：将数据字转码成其中嵌入有时钟信息的多数位数的转码器以及配置成提供用于在传输区间序列中的一个传输区间期间在多个连接器上传输的脉冲组合的电路系统。每一传输区间中的脉冲组合可由多数位数的数位来定义。脉冲在传输区间序列中的每一传输区间期间在多个连接器中的至少一者上传送。

[0176] 在多个连接器包括N个连接器的情况下，多数位数可被表达为以(2^N-1)为基数的数。在一个示例中，多个连接器包括两个连接器且多数位数被表达为三进制数。在另一示例中，多个连接器包括三个连接器且多数位数被表达为七进制数。

[0177] 用于将该装置耦合到多线通信链路的连接器或导线2414的模块和/或电路 2408 可包括配置成将发射机电容式地耦合到多个连接器的发射机。用于将该装置耦合到多线通信链路的连接器或导线2414的模块和/或电路2408可包括配置成将发射机电感式地耦合到多个连接器的发射机。用于将该装置耦合到多线 通信链路的连接器或导线2414的模块和/或电路2408可包括配置成将发射机 光学地耦合到多个连接器的发射机。

[0178] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。此外,一些步骤可被组合或被略去。所附方法权利要求以示例次序呈现各种步 骤的要素,且并不意味着被限 定于所给出的具体次序或层次。

[0179] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所述的各 个方面。对这些方面的各种修改将容易为本领域技术人员所明白,并且在本文 中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于 本文中所示的方面,而是应被授予与语言上的权利要求相一致的全部范围,其 中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”, 而是“一个或多个”。除非特别另外声明,否则术语“某个”指的是“一个或多个”。贯穿本公开所描述的各种方面的要素为本领域普通技术 人员当前或今后所知 的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨 在被权利要 求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样 的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为 装置加功 能,除非该元素是使用短语“用于……的装置”来明确叙述的。

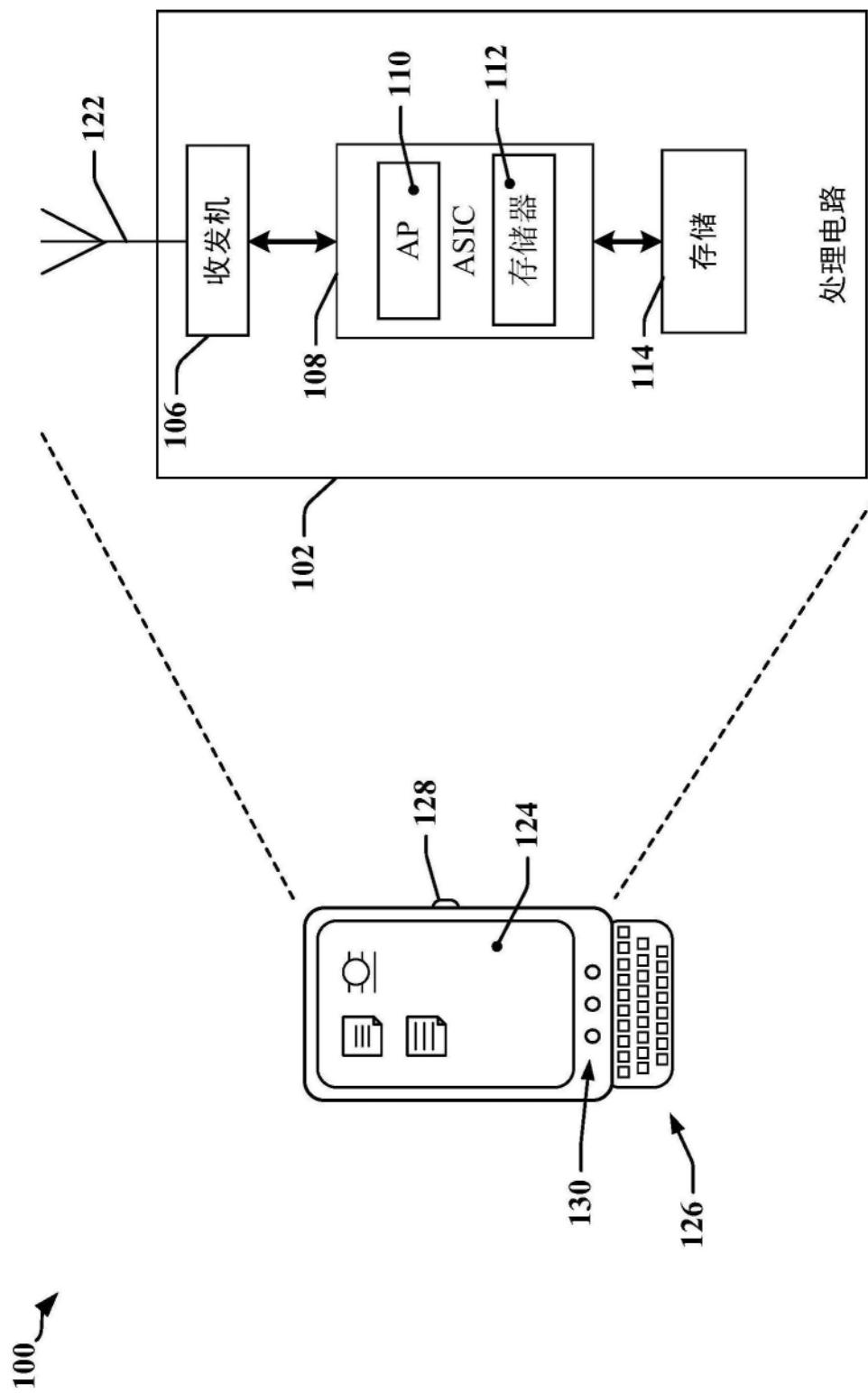


图1

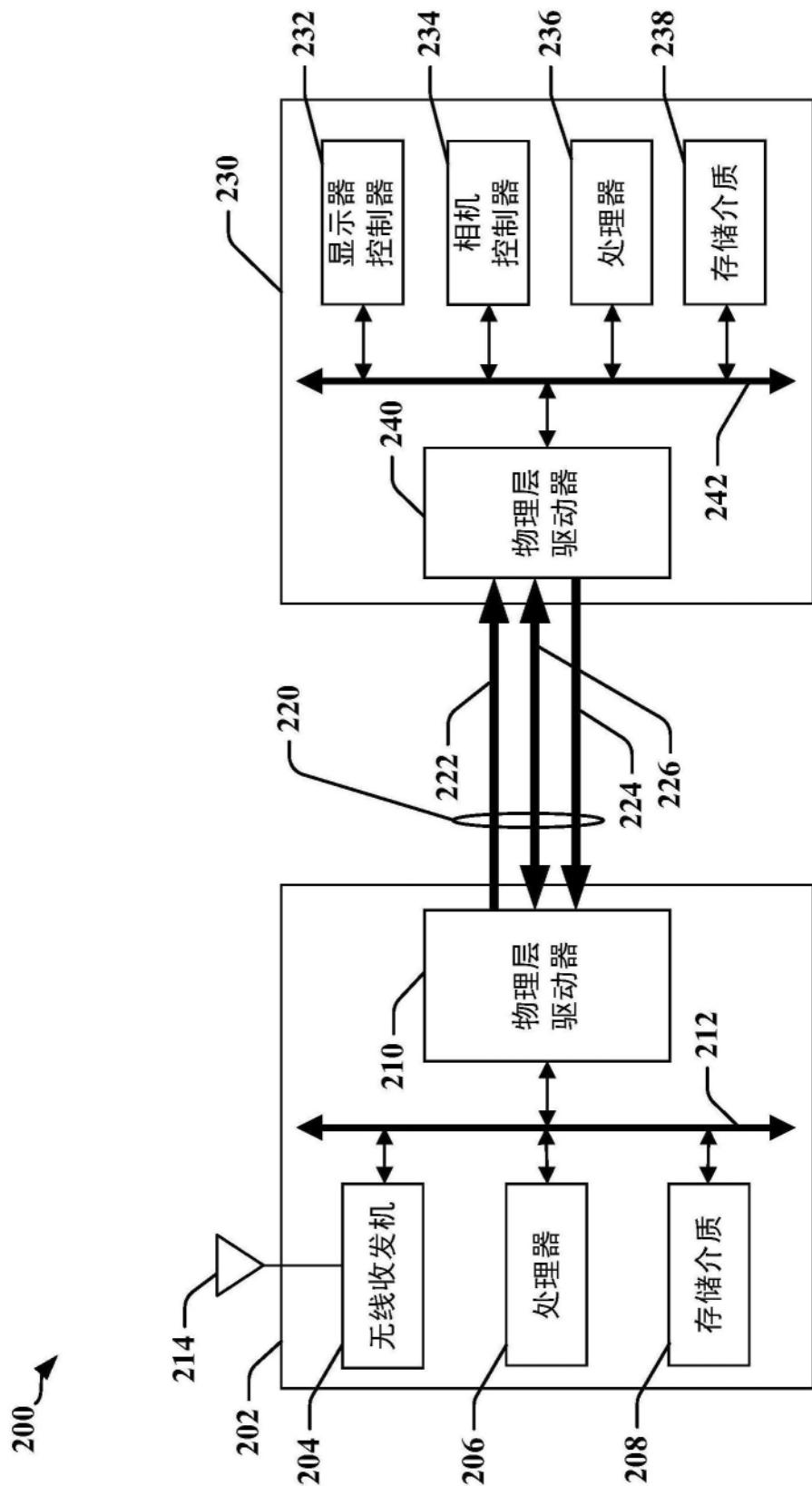


图2

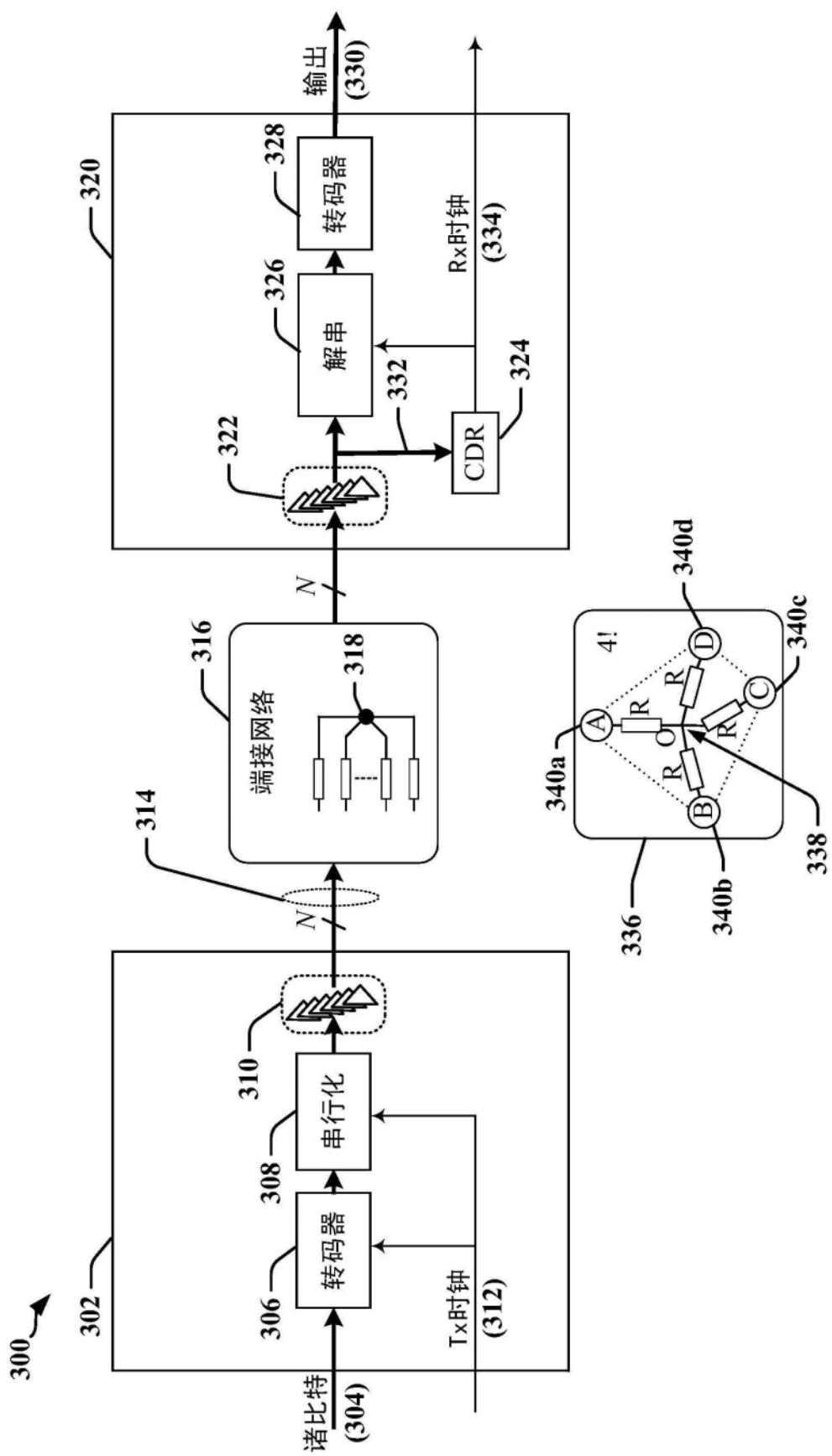


图3

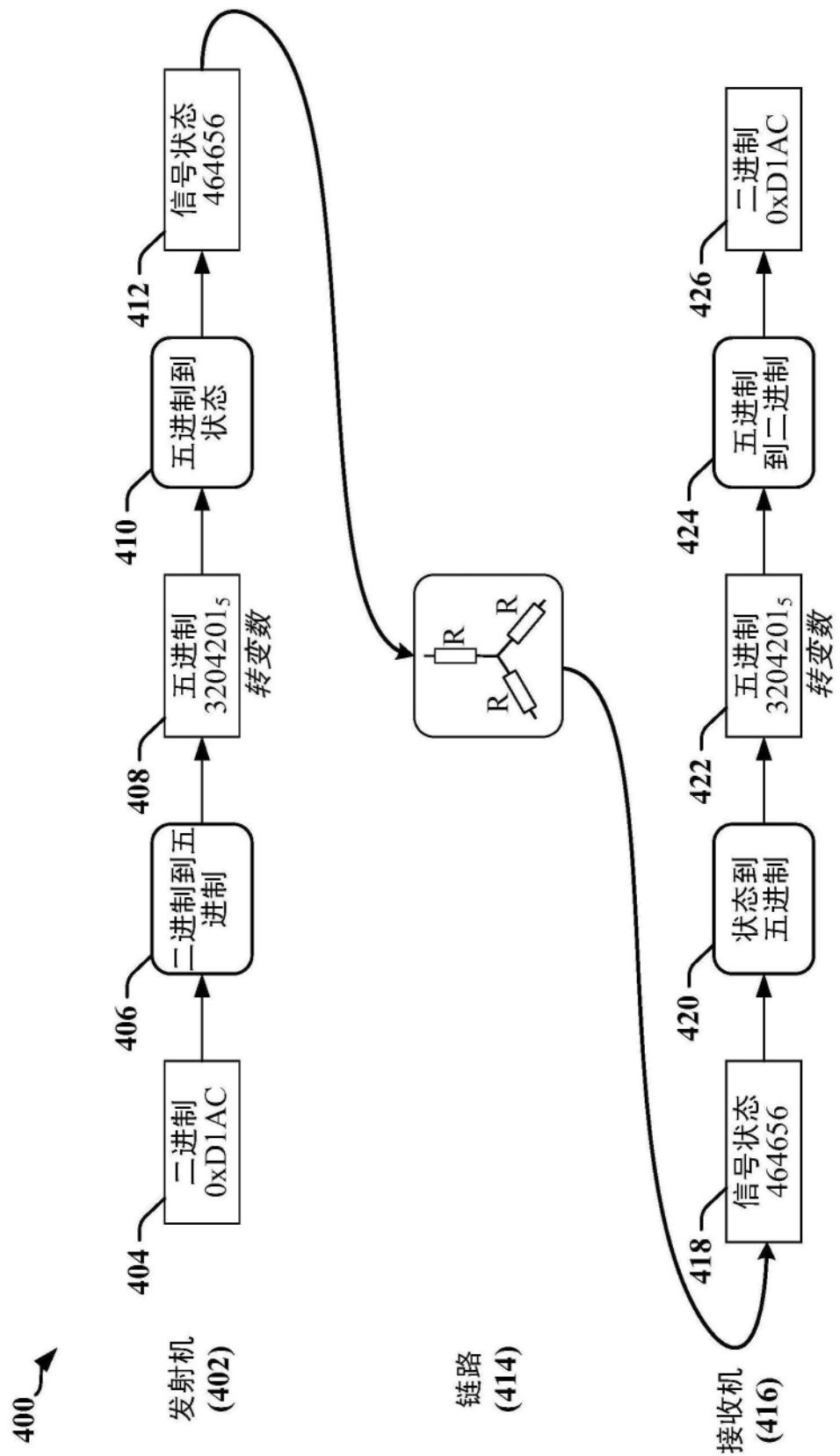


图4

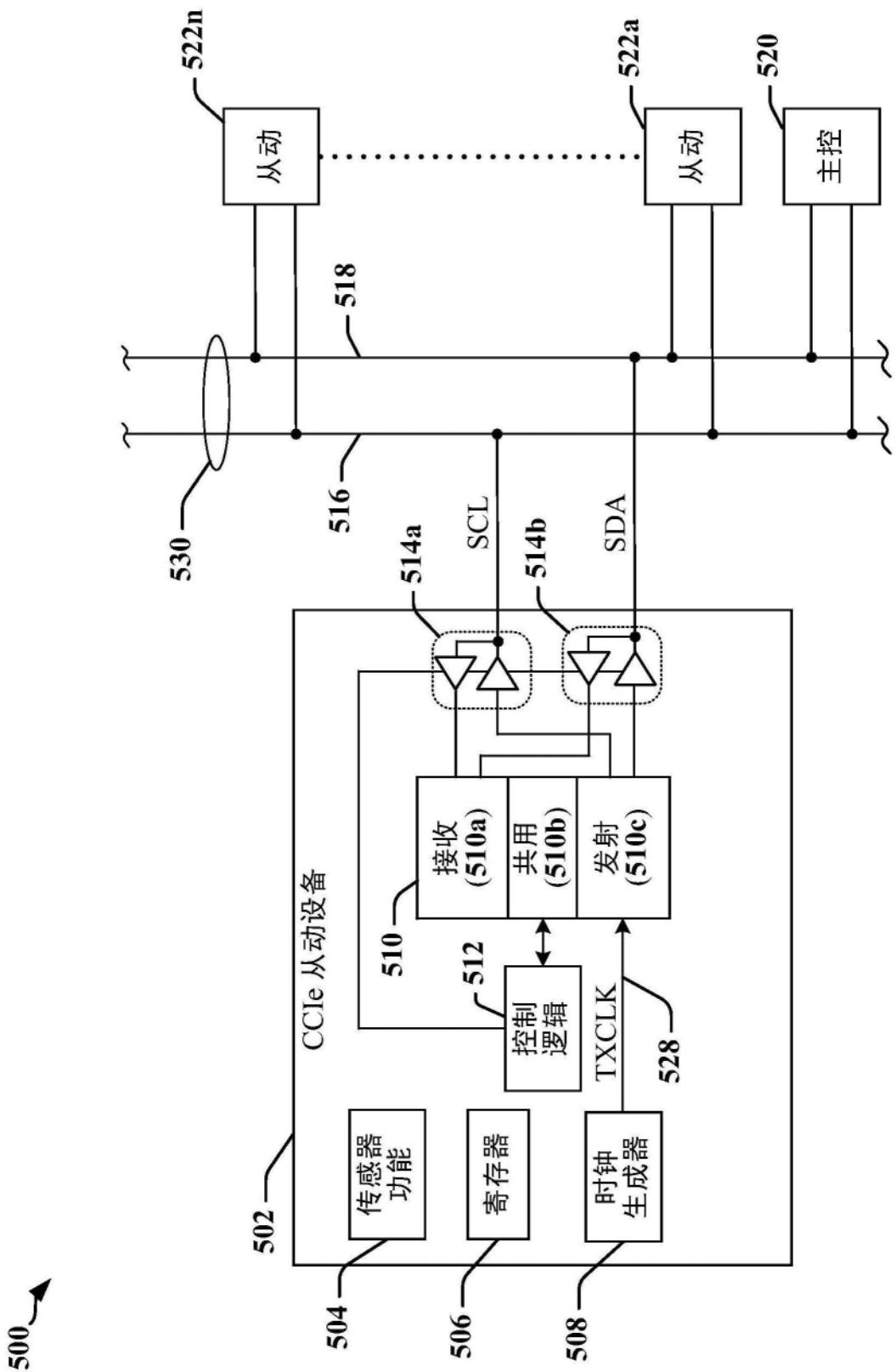
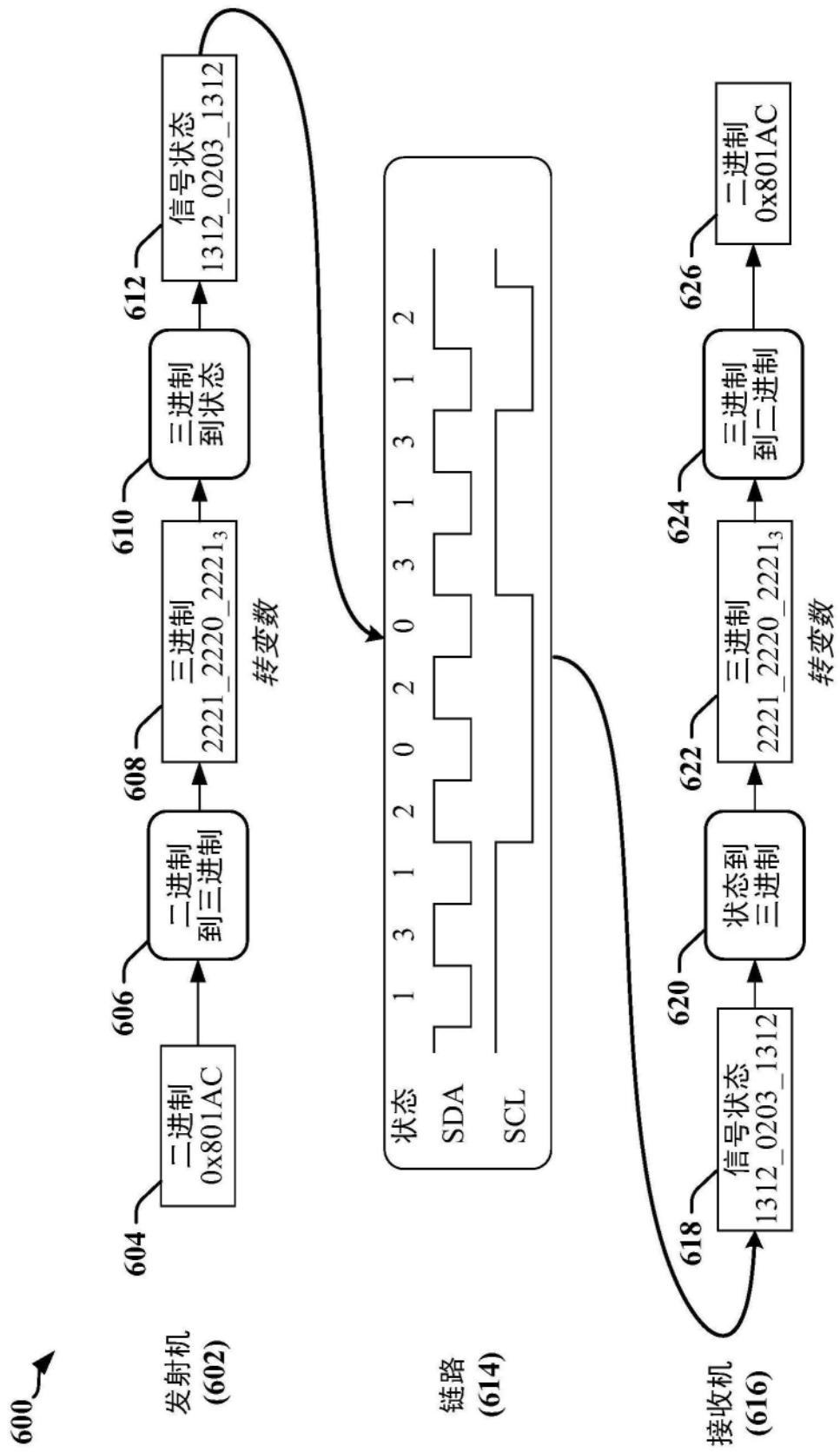


图5



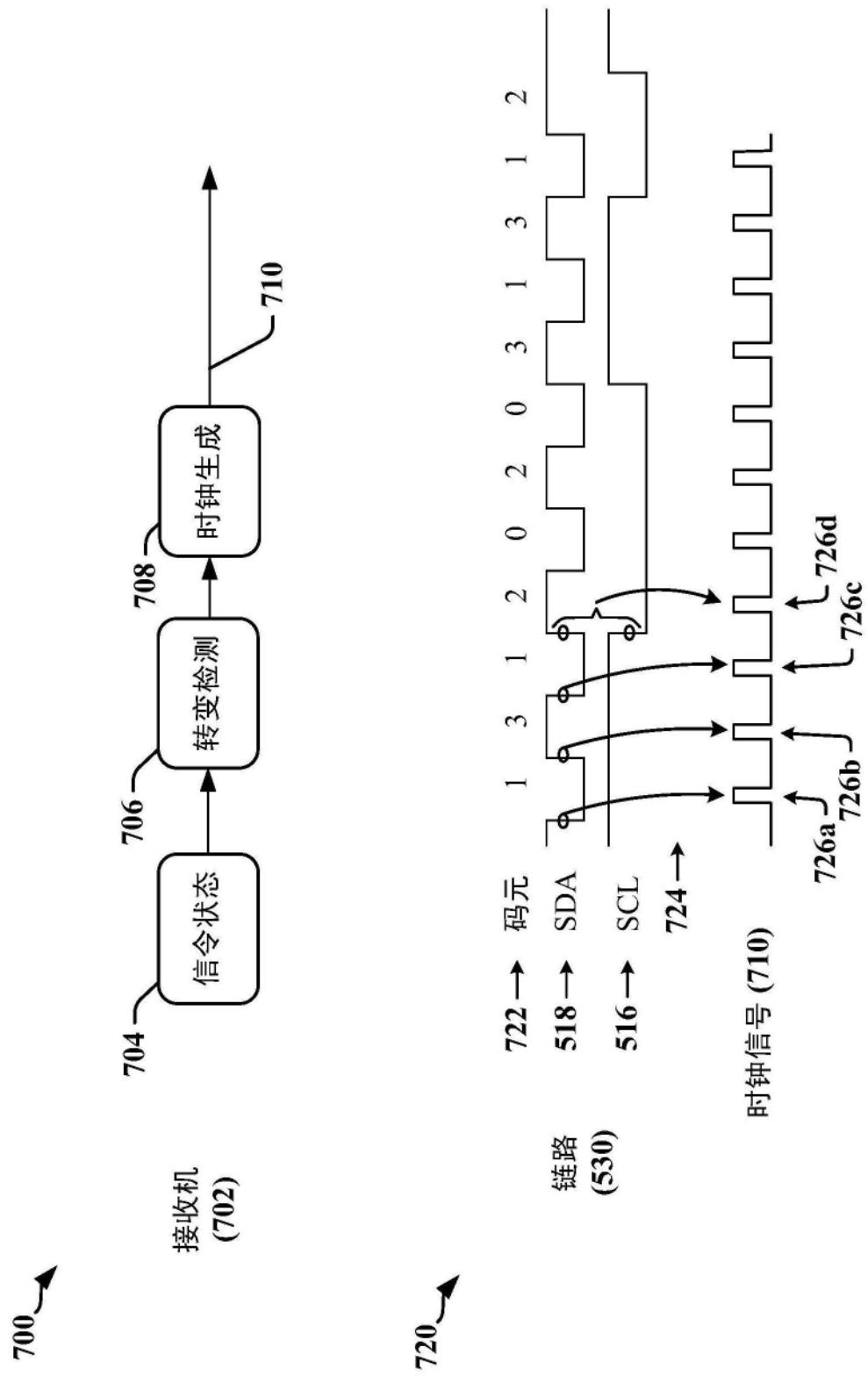


图7

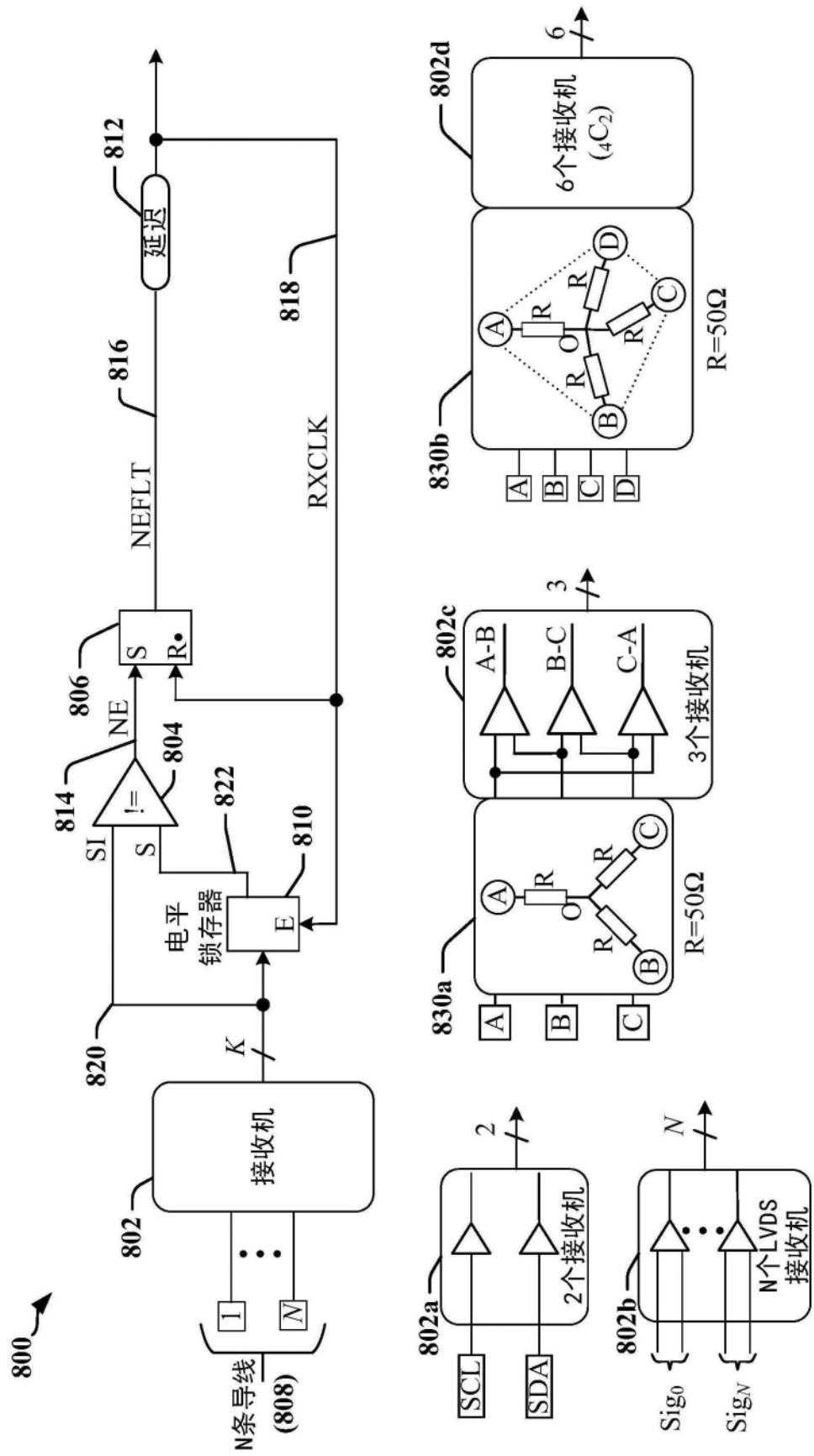


图8

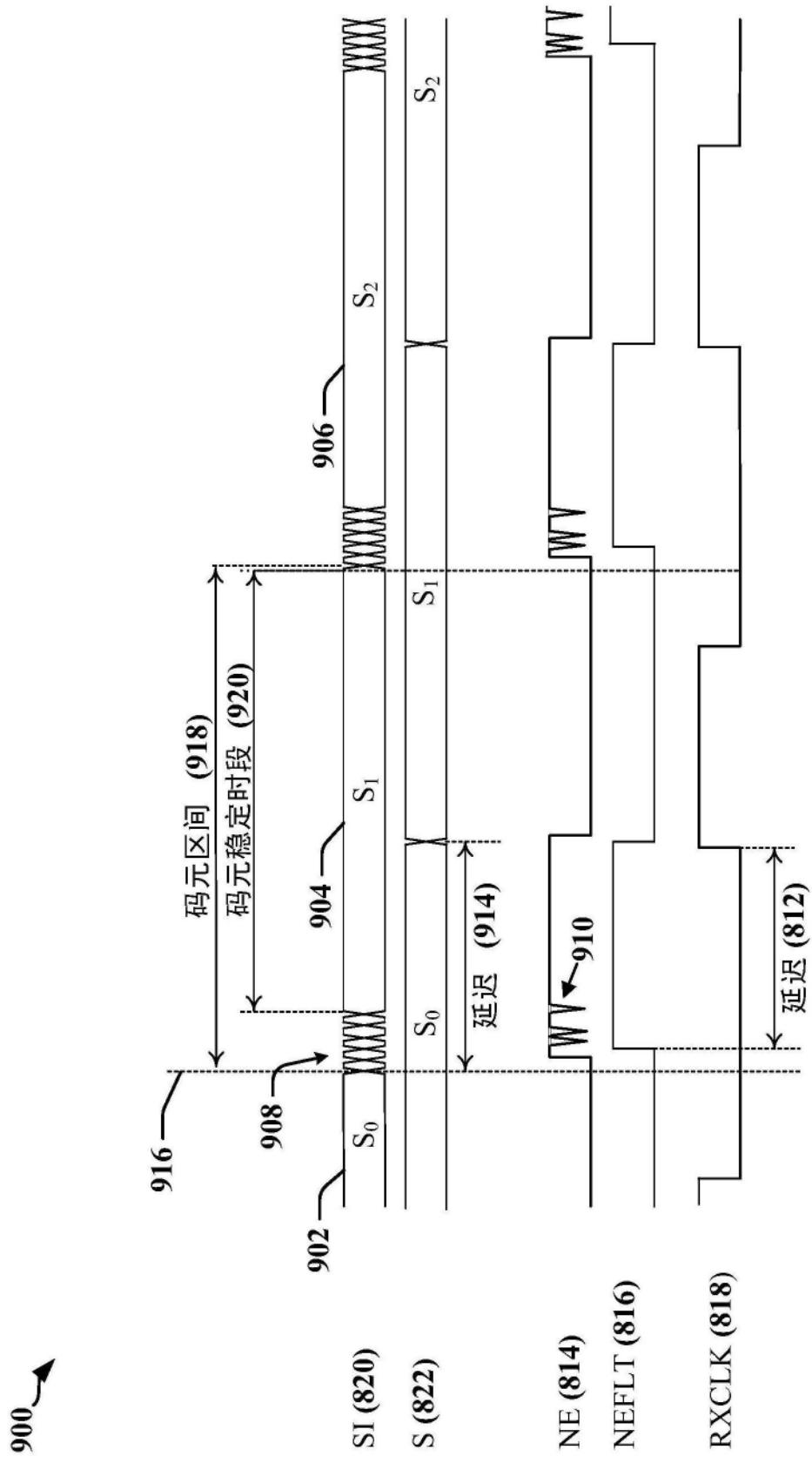


图9

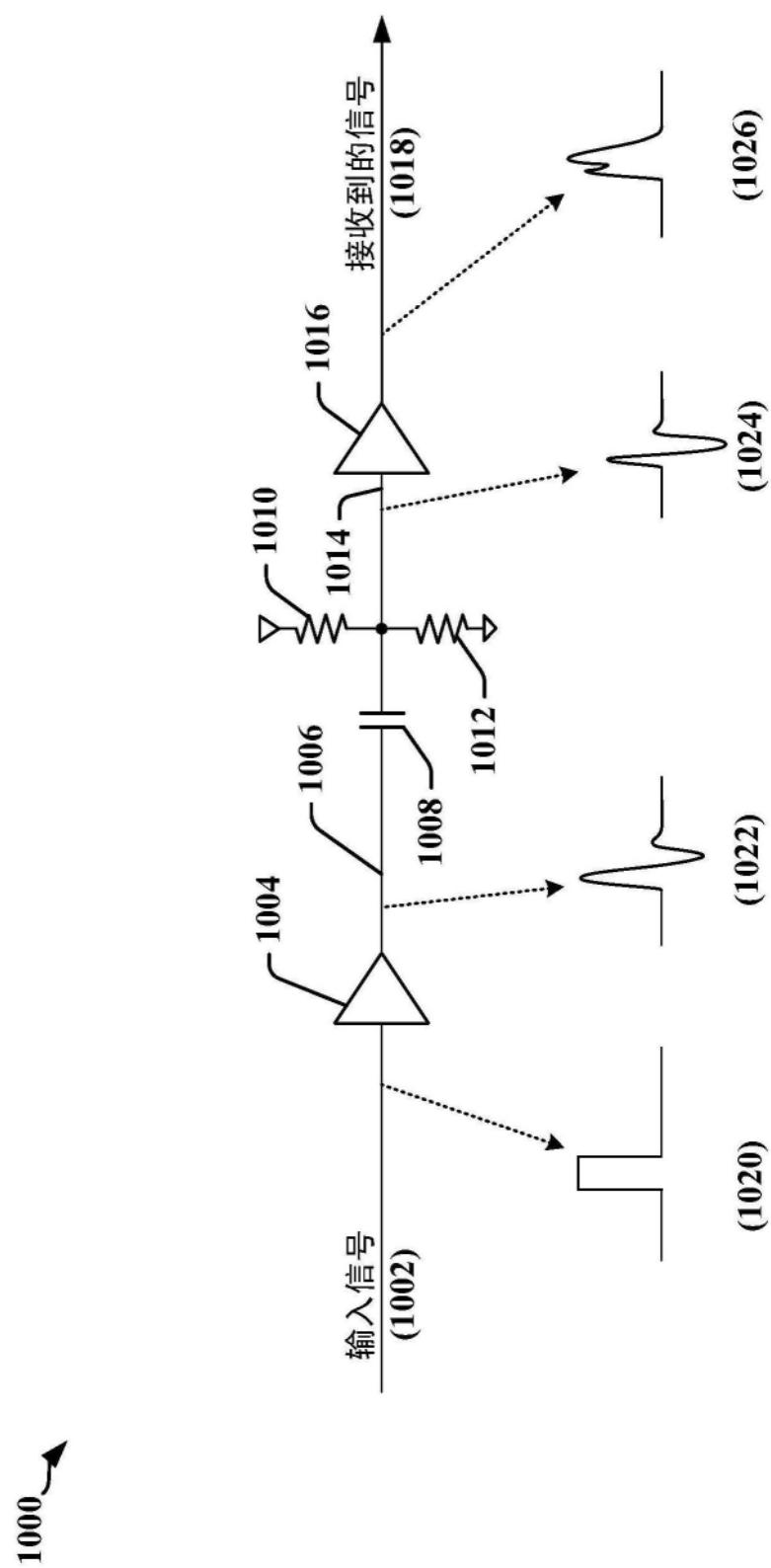


图10

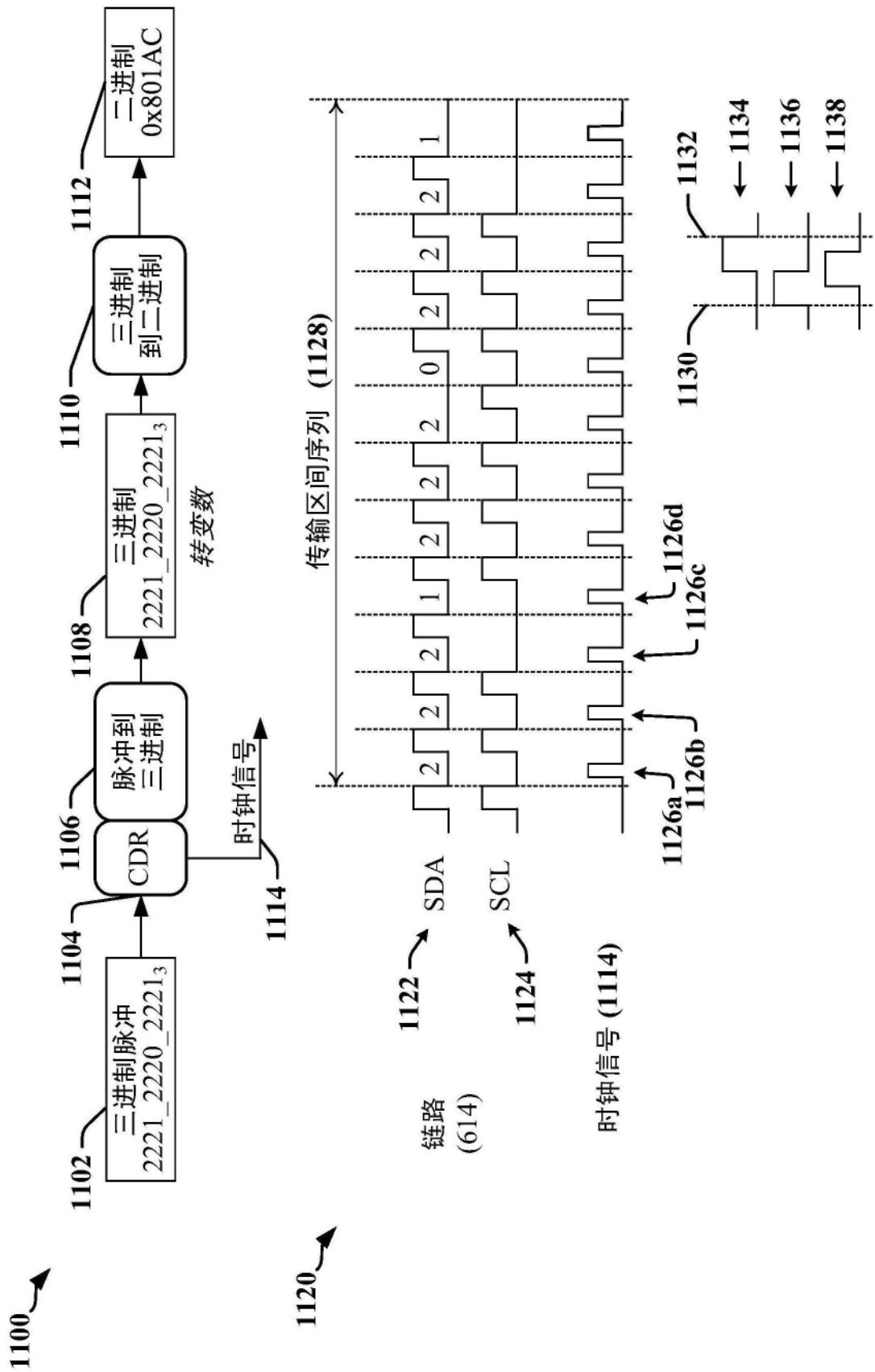


图11

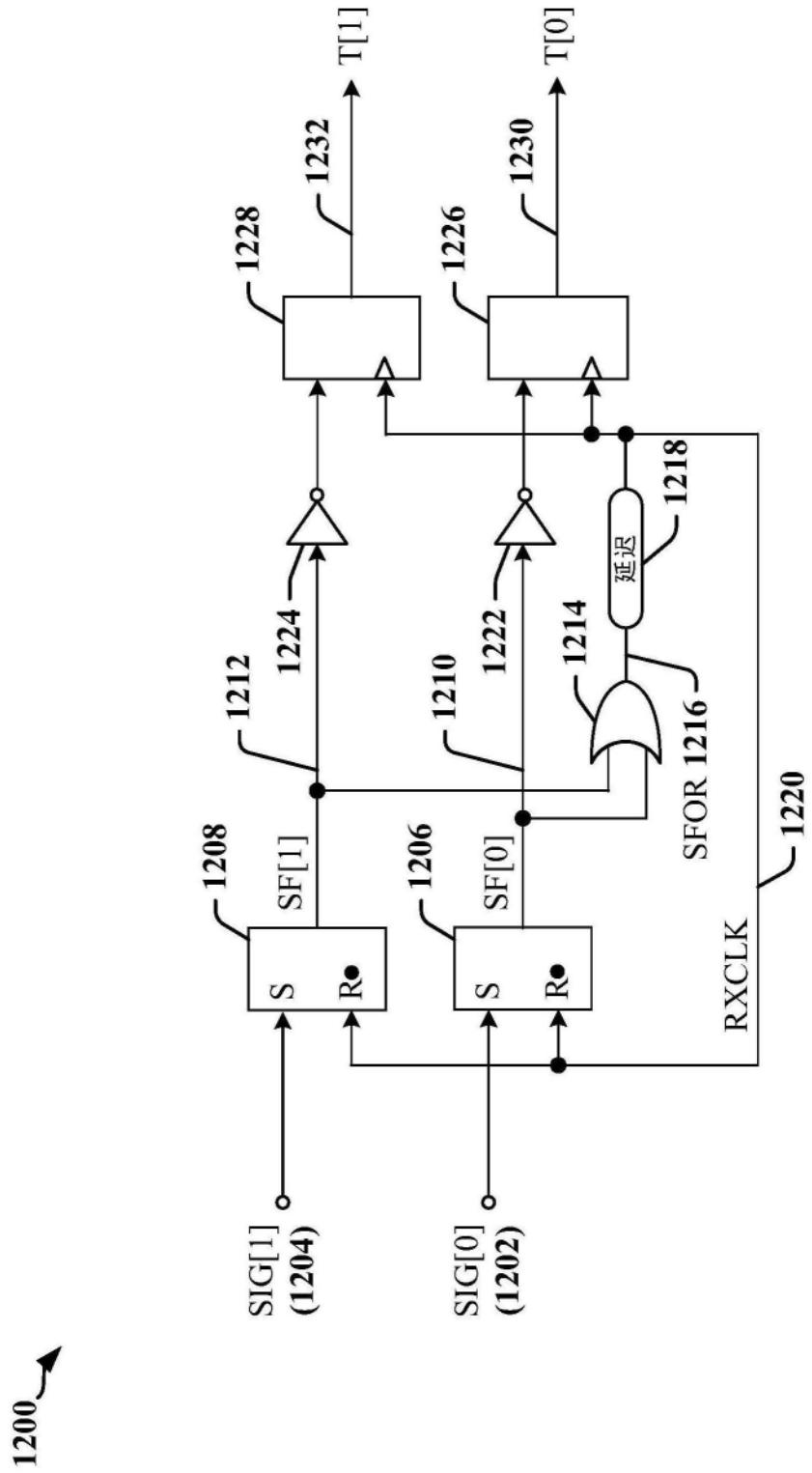


图12

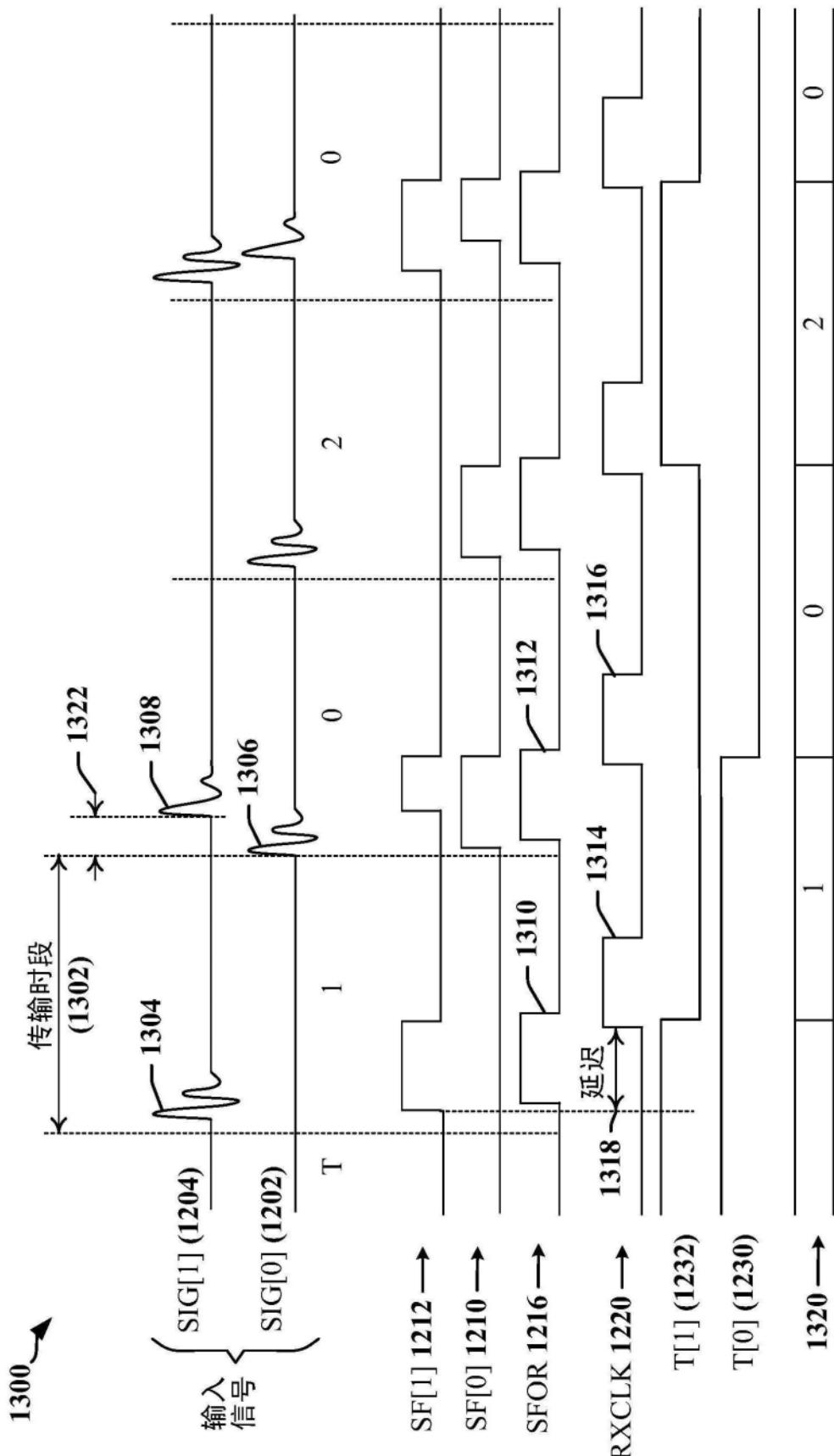


图13

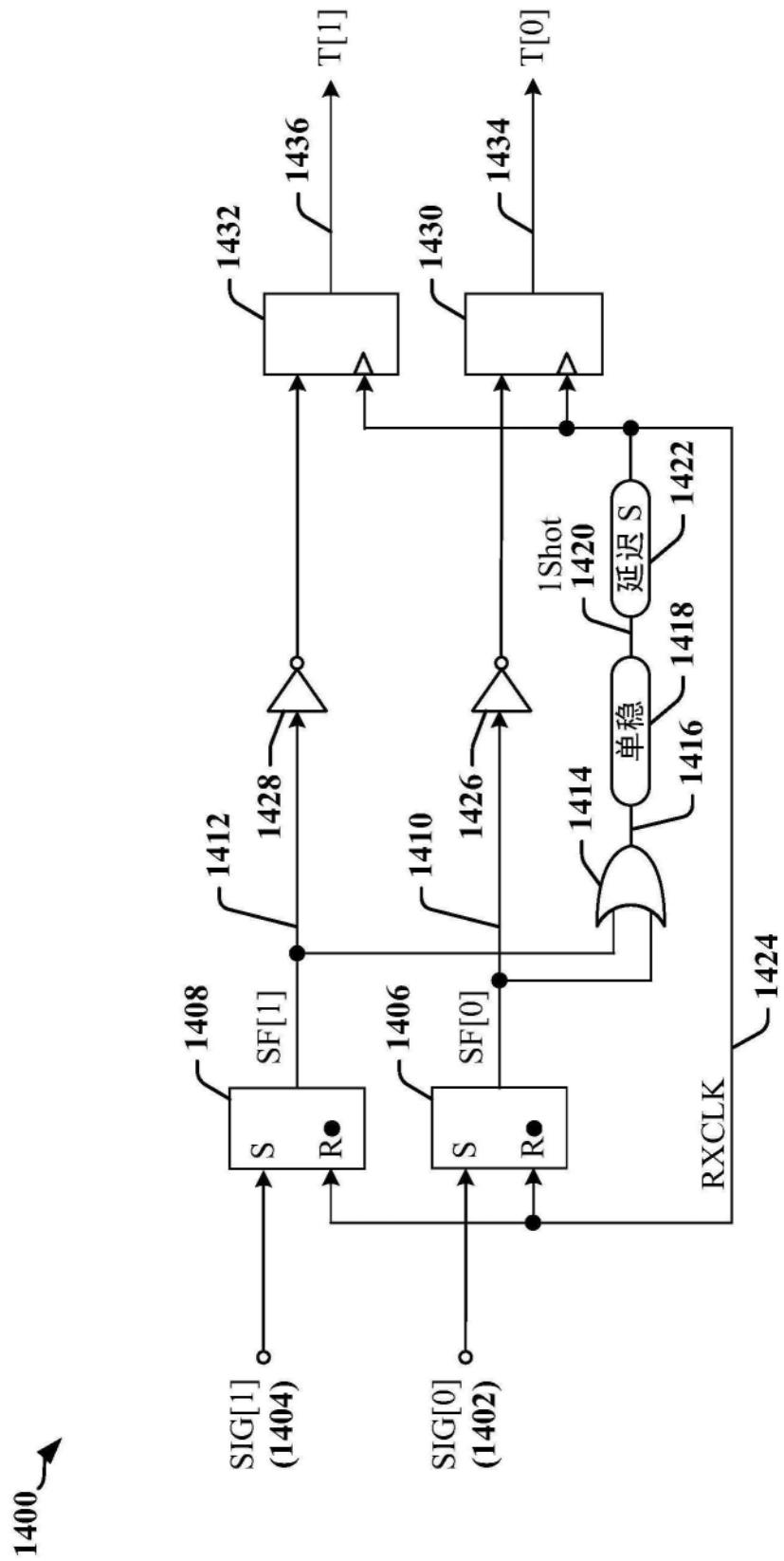


图14

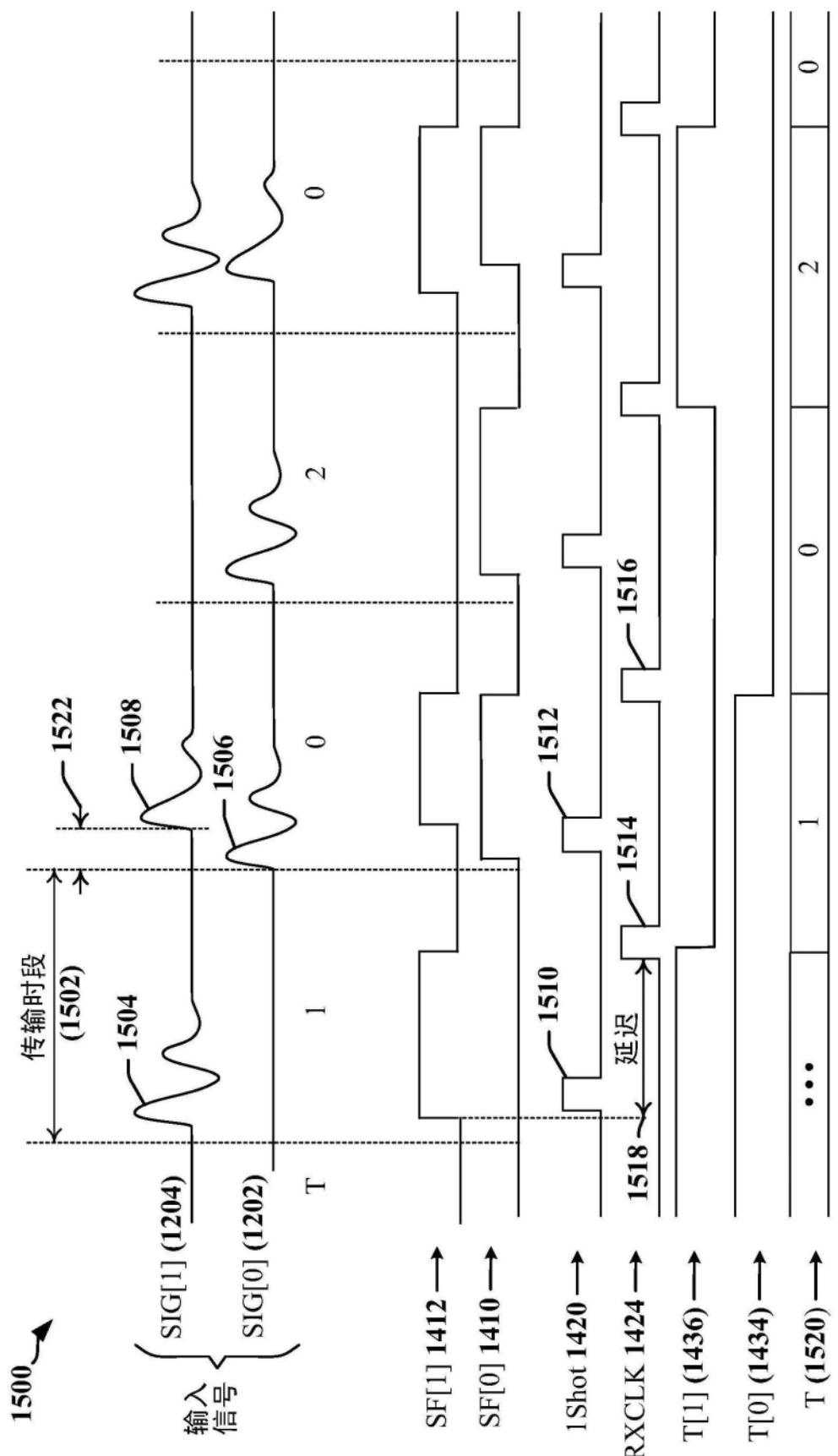


图15

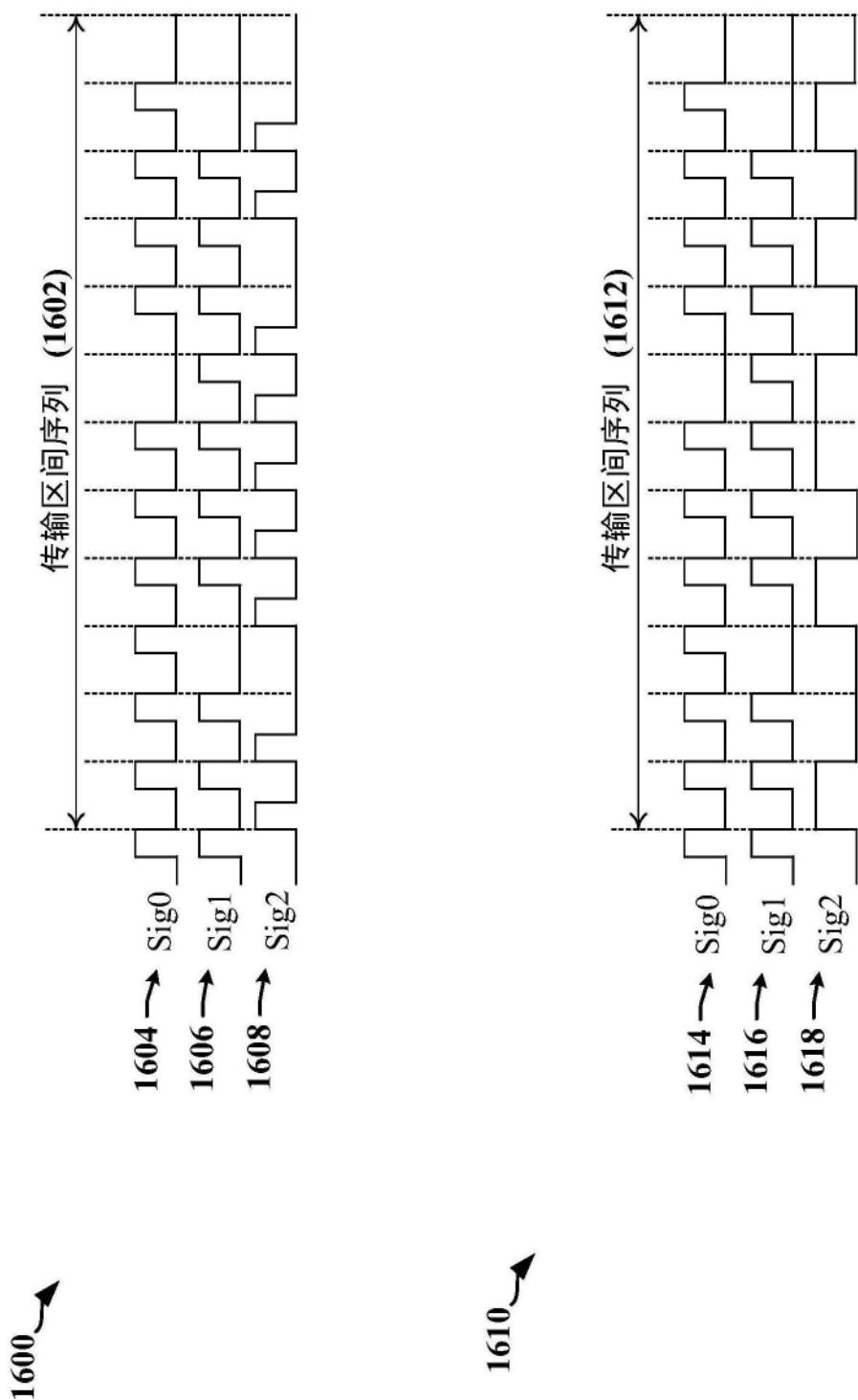


图16

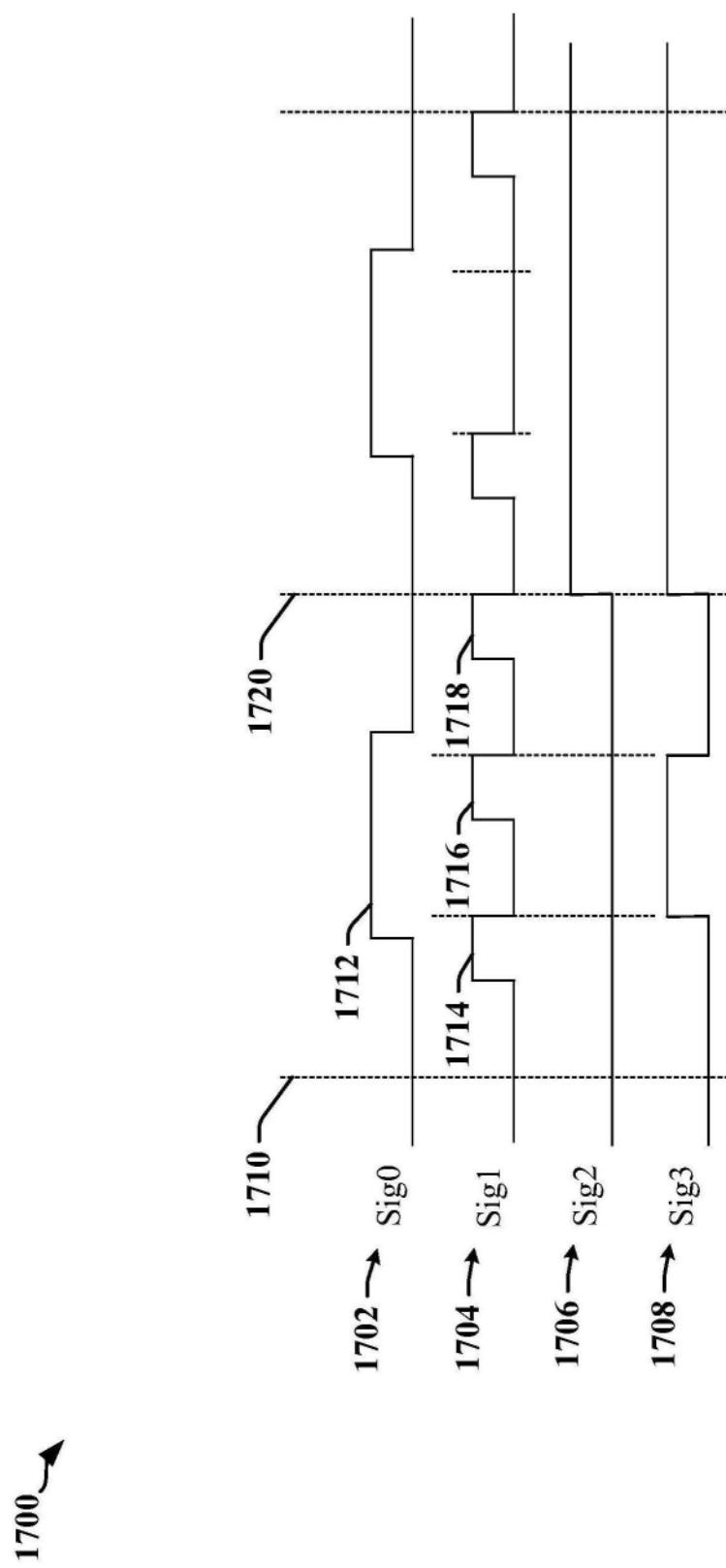


图17

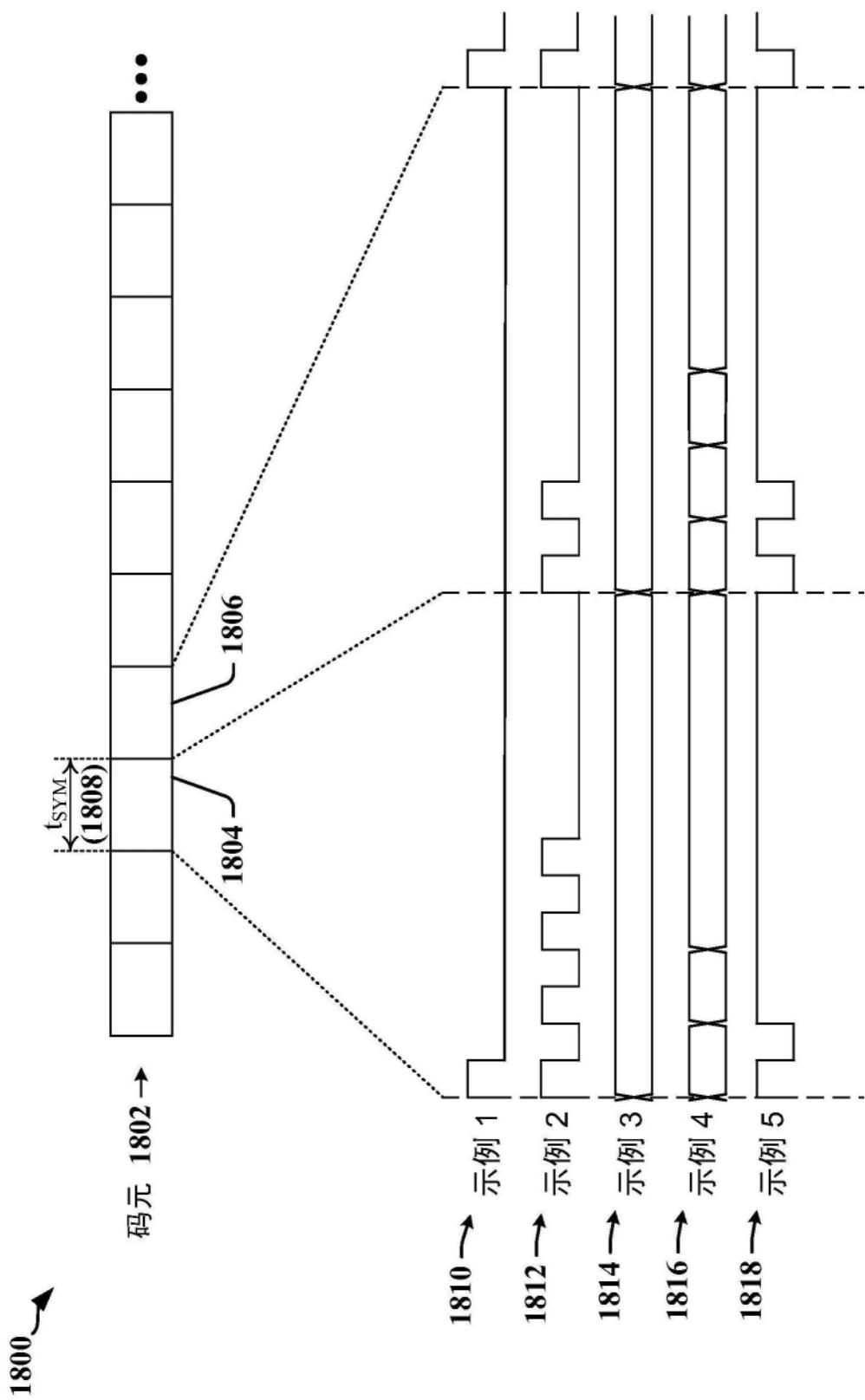


图18

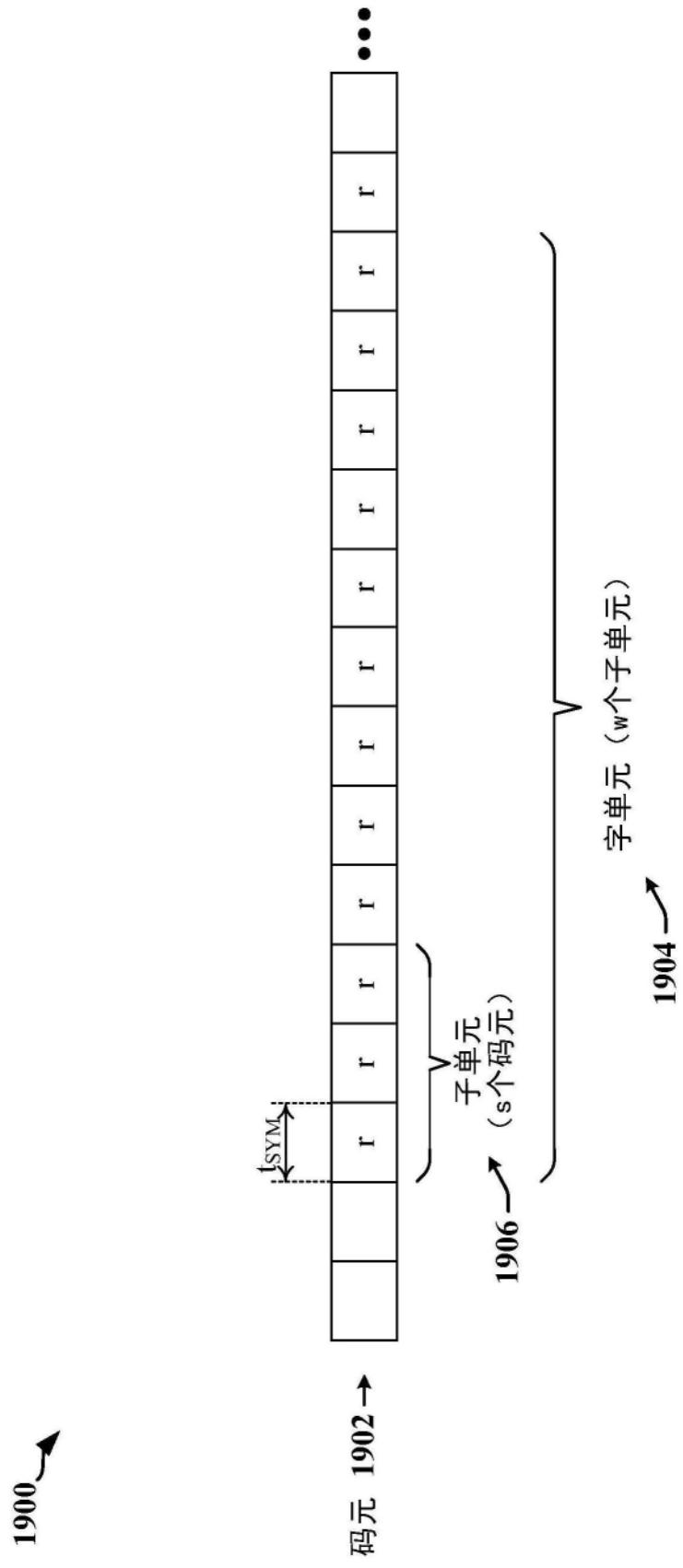


图19

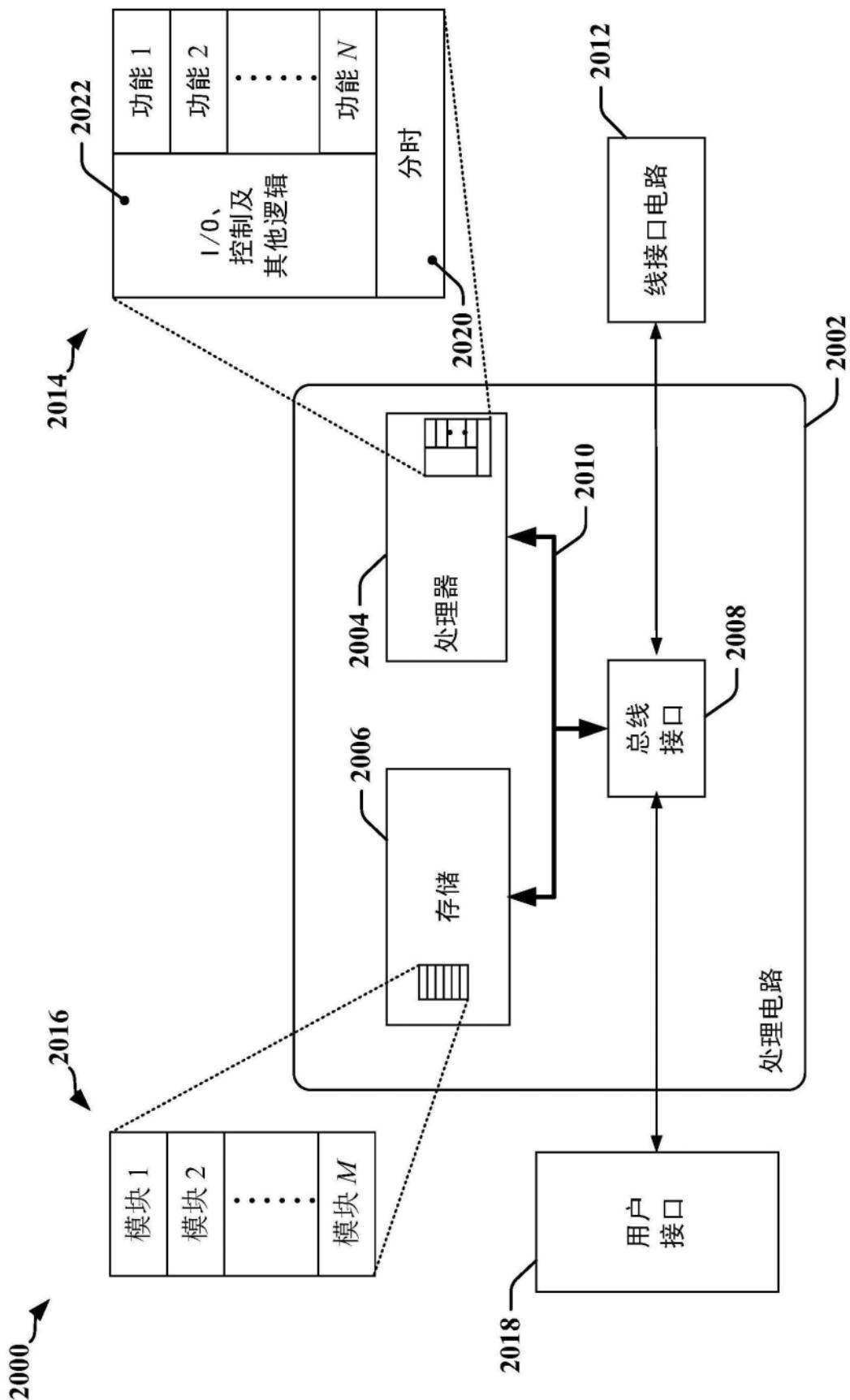


图 20

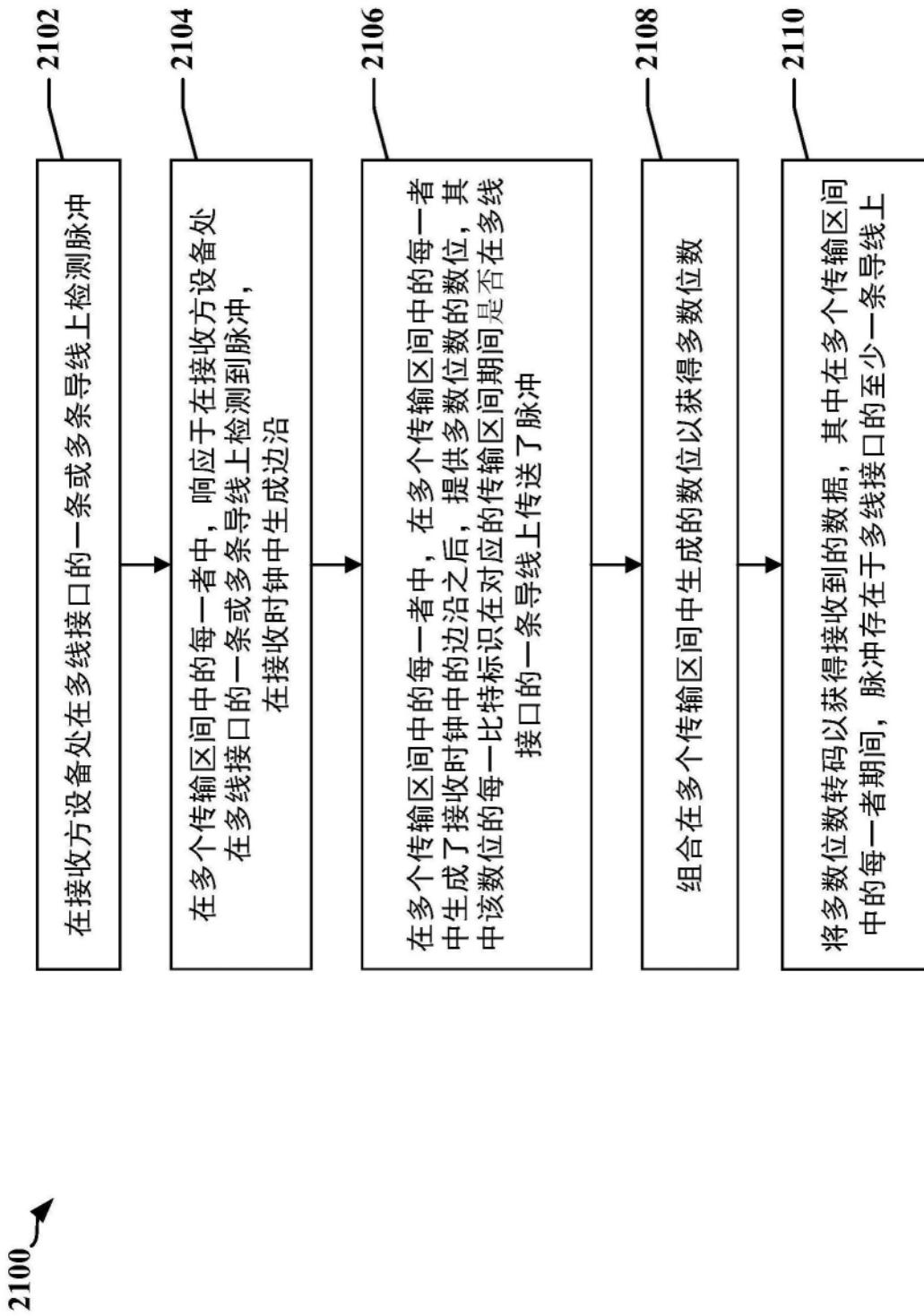


图21

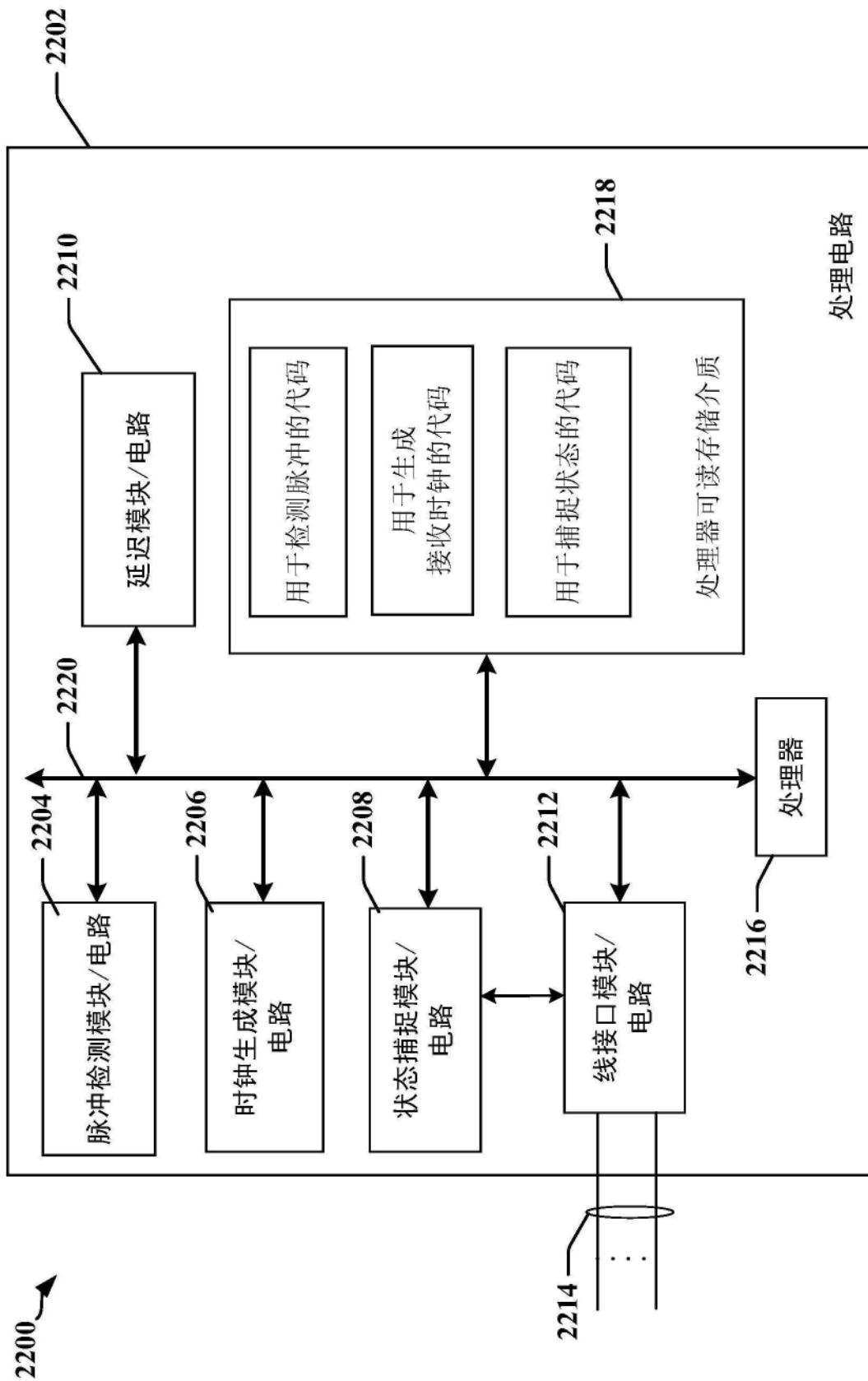


图22

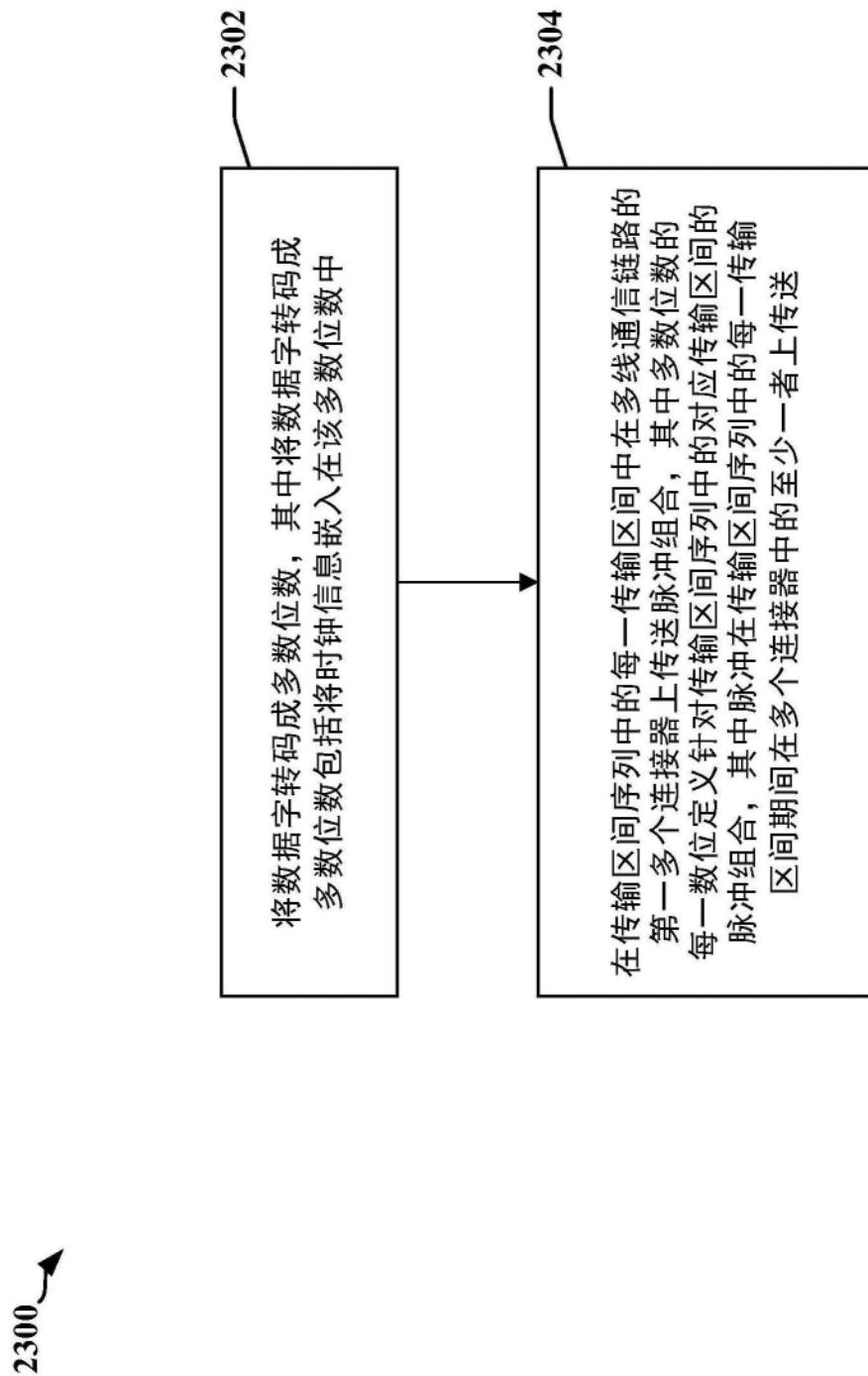


图23

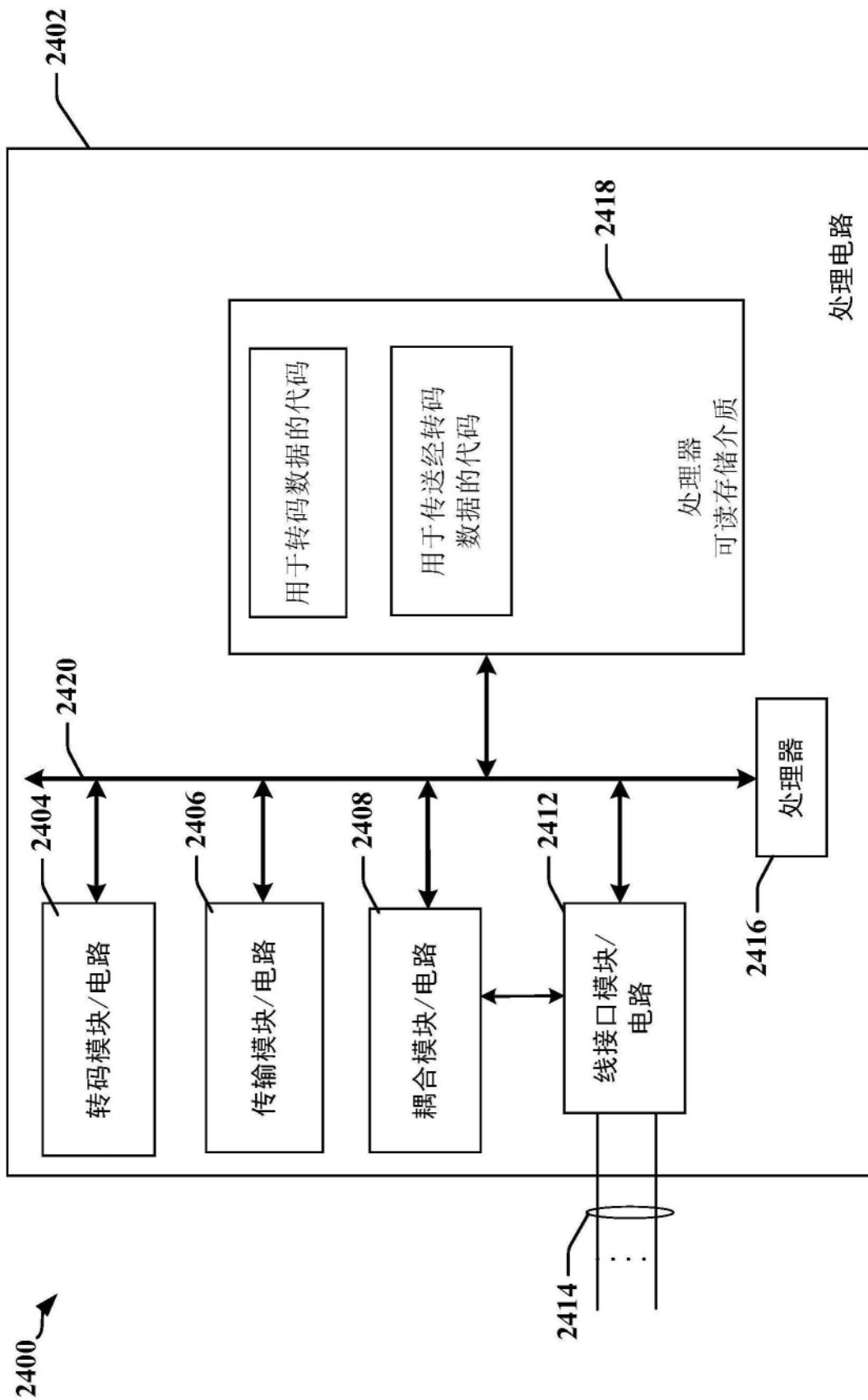


图24