

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①① N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 144 469

②① N° d'enregistrement national : 22 14217

⑤① Int Cl⁸ : H 04 N 25/44 (2023.01)

⑫

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 22.12.22.

③③ Priorité :

⑦① Demandeur(s) : THALES Société anonyme — FR.

⑦② Inventeur(s) : GUERIAUX Vincent et BELHAIRE Eric.

④③ Date de mise à la disposition du public de la
demande : 28.06.24 Bulletin 24/26.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥③ Références à d'autres documents nationaux
apparentés :

⑦③ Titulaire(s) : THALES Société anonyme.

☐ Demande(s) d'extension :

⑦④ Mandataire(s) : ATOUT PI LAPLACE.

⑤④ Circuit de lecture pour détecteur infrarouge.

⑤⑦ L'invention concerne un circuit de lecture pour un détecteur infrarouge, comprenant: un circuit matriciel de pixels, chaque pixel comprenant une capacité, dite capacité d'intégration; une unité de mémoire ayant un emplacement mémoire pour chaque pixel du circuit matriciel. Ledit circuit de lecture est configuré pour acquérir une image issue du détecteur infrarouge pendant une durée, dite temps de trame, en mettant en œuvre de manière itérative les étapes suivantes: une étape d'intégration dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant une durée, dite temps d'intégration élémentaire, ledit temps d'intégration élémentaire étant configuré de sorte que les charges respectives des capacités d'intégration restent inférieures à une charge maximale admissible; une étape de stockage dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire est additionnée à une valeur stockée dans l'emplacement mémoire correspondant au pixel; une étape de remise à l'état initial de la capacité d'intégration.; et, à l'issue du temps de trame, en transmettant des données d'image comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire.

FR 3 144 469 - A1



Description

Titre de l'invention : Circuit de lecture pour détecteur infrarouge

- [0001] L'invention concerne le domaine des détecteurs infrarouge et notamment un circuit de lecture pour détecteur infrarouge, un dispositif d'acquisition d'images comprenant un détecteur infrarouge et un circuit de lecture selon l'invention.
- [0002] Généralement, dans le domaine de l'imagerie infrarouge, un dispositif d'acquisition d'images comprend un système optique de focalisation, qui va conjuguer une scène observée avec un détecteur infrarouge, et ainsi projeter une image de la scène sur le détecteur. Un exemple de dispositif d'acquisition d'images 10 est partiellement représenté en [Fig.1].
- [0003] La détection infrarouge est réalisée par un détecteur infrarouge 12 qui est typiquement un détecteur quantique ou photonique. Le détecteur infrarouge 12 comprend un matériau semiconducteur sensible au rayonnement λ à détecter. Le principe de détection repose sur l'effet photoélectrique au sein du matériau semiconducteur, qui réalise donc une fonction de transducteur en convertissant un flux photonique en un courant. Le matériau semiconducteur peut être un matériau semiconducteur à petit gap tel que l'antimoniure d'indium InSb ou le tellure de mercure-cadmium HgCdTe 12b, associé à un substrat 12a en tellure de cadmium-zinc CdZnTe. Le matériau semiconducteur peut aussi être un méta-matériau tel qu'un super réseau de type 2, ou un matériau multi-puits quantiques. Le détecteur 12 est structuré en une matrice de pixels, chaque pixel formant un photocapteur qui est destiné à détecter un élément de l'image. La taille du pixel est de l'ordre de quelques micromètres. Typiquement, il fait entre 5 et 30 μ m de côté. Le plan formé par la matrice de pixel est généralement appelé plan focal. Pour permettre une génération de signaux par le détecteur 12 et un traitement de ceux-ci, il est nécessaire de lui associer un circuit de lecture 16. Le circuit de lecture 16 comprend lui aussi un circuit matriciel. Chaque pixel du détecteur 12 est alors connecté à un pixel respectif du circuit de lecture 16 par une matrice de connexion 14. Une telle matrice de connexion 14 peut être réalisée en billes d'indium et obtenue par un procédé d'hybridation. Le circuit de lecture 16 peut être réalisé en technologie CMOS (pour « Complementary Metal Oxyde Semiconductor » en anglais). En cours de fonctionnement du dispositif d'acquisition d'images, chaque pixel du détecteur 12 absorbe les photons incidents et libère une quantité proportionnelle d'électrons qui vont être traités par le circuit de lecture 16.
- [0004] La [Fig.2] donne une représentation électrique simplifiée du dispositif d'imagerie 10. Electriquement, un pixel du détecteur 12 a une fonction de photodiode 120. Le pixel correspondant 160 du circuit de lecture 16 permet de polariser la photodiode 120 pour autoriser la génération de photoélectrons. Il assure aussi l'accumulation des charges

issues de la photodiode 120. Le circuit de lecture 16 utilise ces charges accumulées pour déterminer une valeur lumineuse de l'élément de l'image détecté par le pixel correspondant du détecteur 12. La durée d'accumulation des charges dans le circuit de lecture est appelée temps d'intégration. Le pixel 160 du circuit de lecture 16 comprend notamment une capacité C_{INT} , dite capacité d'intégration, qui permet de convertir la quantité de charges en tension. Le pixel 160 comprend d'autres composants lui permettant de réaliser des fonctions d'échantillonneur-bloqueur et de remise à zéro de la capacité d'intégration. La phase d'intégration des charges est suivie d'une phase de lecture de l'information stockée dans le pixel 160 du circuit de lecture 16.

[0005] Le circuit matriciel du circuit de lecture 16 comprend une pluralité de lignes et de colonnes, par exemple 512 lignes et 640 colonnes de pixels. La phase de lecture est alors rendue possible par un système d'adressage utilisant des multiplexeurs 162, 166 permettant d'adresser les pixels, ligne par ligne et colonne par colonne. Généralement, le traitement des pixels s'effectue par groupes de pixels traités en parallèle. Ainsi, par exemple, des pixels appartenant à une même ligne peuvent être traités en parallèle. A cet effet, chaque colonne du circuit matriciel du circuit de lecture 16 comprend un multiplexeur de ligne 162 configuré pour sélectionner un pixel de la colonne. Au cours de l'opération d'adressage, au moins une partie des multiplexeurs de ligne 162 fonctionnent en parallèle pour sélectionner un pixel respectif de la même ligne. Tous les pixels d'une même ligne peuvent être traités en parallèle. Alternativement, une partie des pixels de la même ligne sont traitées en parallèle. Un multiplexeur de colonne 166 permet alors de sélectionner la ou les colonnes du circuit matriciel 160 concernées par ce traitement parallèle. Le signal issu de chaque pixel est ensuite amplifié par un circuit amplificateur 164. Il y a notamment un circuit amplificateur 164 par colonne. Le signal du pixel 160 peut alors être rendu disponible en sortie 168 du circuit de lecture 16. Généralement, le niveau du pixel 160 est converti en donnée numérique par un convertisseur analogique / numérique. Le convertisseur analogique / numérique est notamment situé en bout de colonne, ou au niveau de la sortie 168 ou encore à l'extérieur du circuit de lecture 16. Dans les applications de l'imagerie infrarouge, les données numériques sont notamment codées sur 14 bits.

[0006] A l'échelle du circuit de lecture 16, à l'issue du temps d'intégration, les informations stockées dans les pixels, à savoir le niveau de charge ou la tension de la capacité d'intégration, sont transmises en sortie 168 pour une reconstitution de l'image détectée par le détecteur 12. En particulier, dans l'acquisition d'une vidéo, les images sont successivement acquises de manière périodique. La période entre deux images successives est notamment le temps de trame.

[0007] Dans un mode de fonctionnement optimal, le bruit sur le signal est principalement dû à un rayonnement de fond. Les détecteurs infrarouges sont alors désignés en tant que

détecteurs BLIP (pour “Background Limited Infrared Photodetector” en anglais). Le bruit dominant est alors lié au bruit de grenaille qui est intrinsèque à la nature quantique de la lumière. Il s’agit d’un bruit de type Poissonien, ce qui signifie qu’il augmente en racine du signal. Le rapport signal sur bruit est donc proportionnel à la racine du signal.

[0008] Dans le cas d’un dispositif d’acquisition d’images infrarouge, pour augmenter le signal reçu par le détecteur 12 on peut jouer sur les paramètres optiques, par exemple la bande spectrale, la transmission, l’ouverture, le pas de pixel, l’efficacité quantique. Une fois ces conditions électro-optiques fixées, le seul moyen pour augmenter le signal est d’augmenter le temps d’intégration. Le rapport signal sur bruit est au mieux proportionnel à la racine du temps d’intégration. Plus le temps d’intégration est long, meilleur est le rapport signal sur bruit. Dans un système vidéo idéal, le temps d’intégration est limité par la cadence vidéo choisie, à savoir le temps de trame. Ainsi une imagerie à 100 Hz autorise un temps d’intégration maximum de 10 ms. Il faut alors s’assurer que la charge maximum stockable associée à la capacité d’intégration d’un pixel est suffisante pour accumuler le signal pendant le temps d’intégration. Or, la capacité d’intégration réalisable est limitée par la surface du pixel.

[0009] Pour certaines longueurs d’onde λ , le flux de photons est trop important pour la capacité d’intégration C_{INT} . Elle n’est pas assez grande pour pouvoir intégrer tous les électrons générés par les photons pendant le temps de trame. C’est notamment le cas pour les rayonnements dans la bande de transmission atmosphérique, dits à grande longueur d’onde ou en bande 3. Ces rayonnements ont typiquement une bande spectrale allant de 8 à 14 μm . Ceci conduit à réduire le temps d’intégration et donc à dégrader le rapport signal sur bruit et ainsi la sensibilité du dispositif d’acquisition d’images.

[0010] La publication de demande de brevet WO2015/016991 et la publication de brevet EP2687020 décrivent une solution consistant à permettre des charges complètes de la capacité d’intégration pendant le temps d’intégration. La capacité d’intégration est à chaque fois déchargée. Un comptage du nombre de cycles de charges est réalisé permettant de compter la quantité de charges reçue pendant le temps d’intégration. Cette solution s’affranchit de la contrainte liée à la charge maximale stockable par la capacité d’intégration. Cependant, elle requière qu’une conversion analogique numérique, à savoir le comptage, soit effectuée dans le pixel. Pour conserver une taille limitée du pixel, il faut des technologies, par exemple CMOS, très avancées et chères, qui dégradent la rentabilité industrielle des dispositifs d’imagerie infrarouge. En outre, la consommation électrique par pixel est plus importante qu’un circuit de lecture classique. Cela est particulièrement pénalisant dans des environnements contraints, comme par exemple une application de détection d’images infrarouge dans un envi-

ronnement cryogénique.

[0011] Il est donc recherché une solution simple et relativement peu consommatrice permettant de s'affranchir de la charge maximale acceptable par une capacité d'intégration au cours du temps d'intégration.

[0012] A cet effet, l'invention propose un circuit de lecture pour un détecteur infrarouge, comprenant :

- i. un circuit matriciel de pixels, chaque pixel comprenant une capacité, dite capacité d'intégration ;
- ii. une unité de mémoire ayant un emplacement mémoire pour chaque pixel du circuit matriciel ; et

ledit circuit de lecture étant configuré pour acquérir une image issue du détecteur infrarouge pendant une durée, dite temps de trame, en mettant en œuvre de manière itérative les étapes suivantes :

- i. une étape d'intégration dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant une durée, dite temps d'intégration élémentaire, ledit temps d'intégration élémentaire étant configuré de sorte que les charges respectives des capacités d'intégration restent inférieures à une charge maximale admissible ;
- ii. une étape de stockage dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire est additionnée à une valeur stockée dans l'emplacement mémoire correspondant au pixel ;
- iii. une étape de remise à l'état initial de la capacité d'intégration ;

et, à l'issue du temps de trame, en transmettant des données d'image comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire. Pour un nombre N d'itérations, le temps d'intégration total est égal à N fois le temps d'intégration élémentaire.

[0013] Dans le circuit de lecture selon l'invention, la quantité de charge électrique stockée par la capacité d'intégration sur le temps d'intégration élémentaire reste inférieure à la charge maximale admissible. Ainsi, contrairement à l'art antérieur, il n'y a pas de cycles de charge complète pendant le temps d'intégration élémentaire. Cependant, sur un temps de trame, une valeur élevée de signal peut être obtenue car les charges obtenues au cours de plusieurs intégrations élémentaires successives sont additionnées. L'invention permet donc d'améliorer le rapport signal sur bruit, sans modifier le circuit d'un pixel d'un circuit de lecture classique. Contrairement à l'art antérieur, le pixel est notamment dépourvu de moyens de conversion analogique / numérique en son sein. Ainsi, le circuit du pixel est simplifié et consomme moins que l'art antérieur préalablement mentionné, tout en permettant un rapport signal sur bruit amélioré.

- [0014] Selon un mode de réalisation, le circuit de lecture comprend :
- i. au moins un convertisseur analogique / numérique configuré pour, dans l'étape de stockage, convertir la quantité de charge de la capacité d'intégration en une valeur numérique ; et
 - ii. au moins un additionneur configuré pour, dans l'étape de stockage, additionner ladite valeur numérique à la valeur stockée dans l'emplacement mémoire correspondant au pixel.
- [0015] Selon un mode de réalisation, le convertisseur analogique / numérique et/ou l'additionneur sont partagés par un ensemble de pixels du circuit matriciel.
- [0016] Selon un mode de réalisation, le circuit de lecture est configuré de sorte que, à la première exécution des étapes d'intégration et de stockage dans le temps de trame, la valeur initiale stockée dans les emplacements mémoire de l'unité de mémoire est zéro.
- [0017] Selon un mode de réalisation, le circuit de lecture est configuré pour, avant les étapes mises en œuvre de manière itérative, mettre en œuvre les étapes suivantes :
- i. une étape d'intégration dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant le temps d'intégration élémentaire ;
 - ii. une étape de stockage dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire est stockée dans l'emplacement mémoire correspondant au pixel ;
 - iii. une étape de remise à l'état initial de la capacité d'intégration.
- [0018] Selon un mode de réalisation, le circuit de lecture est configuré pour, dans le temps de trame, décaler les valeurs stockées dans les emplacements mémoire en fonction d'un déplacement d'une image formée sur le détecteur infrarouge.
- [0019] L'invention concerne aussi un dispositif d'acquisition d'images infrarouge destiné à acquérir au moins une image d'une scène, comprenant :
- i. un détecteur infrarouge formant un détecteur matriciel ayant une pluralité de pixels, le dit détecteur infrarouge étant configuré pour recevoir l'au moins une image de ladite scène ;
 - ii. un circuit de lecture selon l'invention, configuré pour traiter des signaux reçus du détecteur infrarouge représentatifs de l'au moins une image.
- [0020] Selon un mode de réalisation, le dispositif d'acquisition d'images infrarouge comprend en outre un dispositif de balayage configuré pour balayer la scène suivant une direction, de manière que l'image de la scène se déplace sur le détecteur infrarouge au cours du temps de trame ; ledit circuit de lecture étant configuré pour décaler les valeurs stockées dans les emplacements mémoire en fonction du déplacement de l'image sur le détecteur.
- [0021] L'invention concerne également un cryostat comprenant un dispositif d'acquisition

d'images infrarouge selon l'invention.

[0022] L'invention concerne en outre un procédé d'acquisition d'images utilisant un dispositif comprenant un détecteur infrarouge et un circuit de lecture qui comporte un circuit matriciel de pixels, chaque pixel comprenant une capacité, dite capacité d'intégration ; et une unité de mémoire ayant un emplacement mémoire pour chaque pixel du circuit matriciel, ledit procédé comprenant pendant une durée, dite temps de trame, la mise en œuvre de manière itérative des étapes suivantes :

- i. une étape d'intégration dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant une durée, dite temps d'intégration élémentaire, ledit temps d'intégration élémentaire étant configuré de sorte que les charges respectives des capacités d'intégration restent inférieures à une charge maximale admissible ;
- ii. une étape de stockage dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire est additionnée à une valeur stockée dans l'emplacement mémoire correspondant au pixel ; et
- iii. une étape de remise à l'état initial de la capacité d'intégration ;

ledit procédé comprenant en outre, à l'issue du temps de trame, une transmission de données d'image comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire.

[0023] D'autres caractéristiques et avantages de la présente invention apparaîtront mieux à la lecture de la description qui suit en relation aux figures annexées suivantes :

[0024] [Fig.1] : la [Fig.1], déjà décrite, présente un dispositif d'acquisition d'images selon l'art antérieur;

[0025] [Fig.2] : la [Fig.2] présente un schéma électrique simplifié du dispositif d'acquisition d'images illustré en [Fig.1] ;

[0026] [Fig.3] : la [Fig.3] présente un exemple de circuit de lecture selon l'invention ;

[0027] [Fig.4] : la [Fig.4] est un schéma bloc illustrant un exemple de procédé selon l'invention ;

[0028] [Fig.5] : la [Fig.5] est un chronogramme illustrant l'exemple de procédé ;

[0029] [Fig.6] : la [Fig.6] présente un autre exemple de circuit de lecture selon l'invention.

[0030] La [Fig.3] illustre un exemple de dispositif d'acquisition d'image infrarouge 20 selon l'invention, dans lequel seul un circuit de lecture 26 est représenté. Le circuit de lecture 26 est associé avec un détecteur infrarouge connu en soi dont les pixels produisent des photoélectrons sous l'effet d'un rayonnement infrarouge. En ayant un fonctionnement de type photodiode, chaque pixel du détecteur fournit un courant à un pixel respectif d'un circuit matriciel 262 du circuit de lecture 26. Le pixel du circuit matriciel 262 peut comprendre un transistor de type P-MOS ou N-MOS pour polariser la photodiode.

- [0031] Le circuit matriciel 262 forme une matrice de pixels. Les pixels sont agencés en colonnes et lignes, notamment sur l'ensemble du circuit matriciel 262. Le circuit matriciel 262 peut être réalisé en technologie CMOS. Le pixel comprend une capacité d'intégration qui va accumuler les charges électriques produites par le pixel correspondant du détecteur. Notamment, de manière connue en soi, chaque pixel comprend d'autres composants tels qu'un dispositif d'échantillonnage-blocage et de remise à zéro de la capacité d'intégration. Un premier système d'adressage 263, tel qu'un multiplexeur, permet notamment d'accéder à un pixel du circuit matriciel 262.
- [0032] Le circuit de lecture 26 comprend en outre une unité de mémoire 264 qui comporte un emplacement mémoire pour chaque pixel du circuit matriciel 262. L'unité de mémoire 264 est par exemple une mémoire dynamique, telle qu'une mémoire DRAM (pour « Dynamic Random Access Memory » en anglais) ou une mémoire statique, telle qu'une mémoire SRAM (pour « Static Random Access Memory » en anglais). Un deuxième système d'adressage 265 permet notamment d'accéder à un emplacement mémoire de l'unité de mémoire 264. En particulier, l'unité de mémoire 264 forme une unité monolithique au sein du circuit de lecture 26. Ainsi, contrairement à l'art antérieur, les emplacements mémoire ne sont pas à l'intérieur du pixel, mais dans une seule unité à part. Cela enlève une contrainte sur la taille du pixel.
- [0033] Le circuit de lecture 26 peut comprendre un convertisseur analogique / numérique 268 qui convertit une quantité de charge Q_{Ai} accumulée dans la capacité d'intégration durant le temps d'intégration élémentaire en une valeur numérique A_i représentative.
- [0034] Le circuit de lecture 26 comprend notamment un additionneur 266 qui reçoit en entrée la valeur A_i représentative de la charge accumulée dans la capacité d'intégration pendant un temps d'intégration élémentaire, et l'additionne avec la valeur courante A_{i-1} déjà stockée dans l'unité de mémoire 264. La valeur A_{i-1} correspond à une valeur représentative d'une quantité de charge obtenue à l'issue d'un temps d'intégration élémentaire antérieur. Le résultat de cette opération d'addition est stocké dans l'unité de mémoire 264.
- [0035] Le circuit de lecture 26 forme notamment un circuit électronique intégré. Ses éléments sont en particulier assemblés sur une même puce électronique.
- [0036] A l'issue d'un temps de trame, la dernière valeur A stockée dans l'emplacement mémoire est transmise en sortie du circuit de lecture 26.
- [0037] La [Fig.4] illustre les étapes mises en œuvre par le circuit de lecture 26 lors d'une acquisition d'une image pendant une durée, dite temps de trame. Dans une étape 310, les capacités d'intégration des pixels sont chargées avec des photoélectrons issus des pixels respectifs du détecteur infrarouge. L'accumulation des charges est réalisée pendant une durée, dite temps d'intégration élémentaire. Le temps d'intégration élémentaire est choisi de sorte que les charges respectives des capacités d'intégration

restent inférieures à une charge maximale admissible par les capacités d'intégration. Ainsi, contrairement à l'art antérieur, une charge complète de la capacité d'intégration n'est pas permise. Ensuite, au cours d'une étape de stockage 320, la charge atteinte par la capacité d'intégration à l'issue de l'étape d'intégration 310 est additionnée à la valeur stockée dans l'emplacement mémoire correspondant au pixel. La capacité d'intégration est alors remise à l'état initial pour être disponible pour le prochain temps d'intégration élémentaire.

[0038] Ces étapes 310, 320 sont répétées pendant la durée de trame. A l'issue du temps de trame, des données d'image comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire 264 sont mises à disposition en sortie du circuit de lecture 26.

[0039] Ainsi, lors d'une acquisition d'image pendant le temps de trame, le circuit de lecture 26 accumule localement dans l'unité de mémoire 26 des images intermédiaires, dites "imagettes", qui sont additionnées pour former l'image transmise en sortie par le circuit de lecture 26 à l'issue du temps de trame. En particulier, chaque imagette est formée à l'issue d'un temps d'intégration élémentaire. Elle est additionnée avec une imagette déjà stockée dans l'emplacement mémoire et remplace cette ancienne imagette dans l'unité de mémoire 264.

[0040] Notamment, au début du temps de trame, à la première exécution des étapes d'intégration 310 et de stockage 320, la valeur initiale stockée dans les emplacements mémoire est zéro. Si bien qu'à la fin des premières étapes d'intégration 310 et de stockage 320, la valeur stockée dans l'emplacement mémoire correspondant au pixel, est la quantité de charge de la capacité d'intégration obtenue à l'issue de la première étape d'intégration élémentaire. Cette initiation de l'acquisition d'image peut être mise en œuvre différemment. Par exemple, lors de la première étape de stockage dans le temps de trame, l'opération d'addition est inhibée. La valeur stockée dans l'emplacement mémoire correspondant au pixel est alors la quantité de charge de la capacité d'intégration obtenue à l'issue de la première étape d'intégration.

[0041] La [Fig.5] montre un chronogramme illustrant cette succession de temps d'intégration élémentaire dans le circuit de lecture 26. Dans la description qui suit, l'on s'intéressera à un pixel, sachant qu'elle s'applique à tous les pixels du circuit matriciel 262. La première ligne représente un signal INT d'activation de l'intégration 310, la seconde un signal SH-RAZ d'activation de la remise à l'état initial de la charge de la capacité d'intégration, la troisième un signal CONV d'activation de la conversion analogique / numérique, la quatrième un signal ACC-TDI d'activation du stockage de la valeur dans l'unité de mémoire 264, la cinquième un signal INT2 d'acquisition de l'image A, B, la sixième ligne un signal LECT de transmission de l'image A, B en sortie du circuit de lecture 26.

- [0042] Une image A est acquise pendant la durée de Trame Tr. A cet effet, une succession d'images A1, A2, A3, A4, A5 sont l'une après l'autre détectées et progressivement additionnées l'une à l'autre. En particulier, dans un premier temps d'intégration élémentaire T_{i1} , une première charge Q_{A1} est accumulée dans la capacité d'intégration pendant une étape d'intégration 310. La capacité d'intégration du pixel est progressivement chargée par les photoélectrons issus du pixel correspondant du détecteur. Notamment, au cours d'une étape 312, la tension de la capacité d'intégration est lue pour déterminer la quantité de charges reçues pendant le temps d'intégration élémentaire T_{i1} , et la capacité d'intégration est remise à l'état initial pour permettre une intégration successive 310 d'une autre image A2. Dans une étape 320a, la quantité de charge Q_{A1} accumulée dans la capacité d'intégration peut être convertie en une valeur numérique représentative A1. Ensuite, dans une étape 320b, la quantité de charge de la capacité d'intégration, notamment la valeur numérique A1 représentative, à l'issue du temps d'intégration élémentaire, est additionnée à une valeur stockée dans l'unité de mémoire 264 à l'emplacement mémoire correspondant au pixel du circuit matriciel 262.
- [0043] Lors de la première étape de stockage 320 du temps de trame Tr, la valeur initialement stockée dans l'emplacement mémoire est de préférence zéro.
- [0044] Alternativement, lors de la première étape de stockage 320 du temps de trame Tr, l'opération d'addition est désactivée et la valeur numérique A1 est stockée directement dans l'emplacement mémoire de l'unité de mémoire 264.
- [0045] Ensuite, les valeurs numériques suivantes A2, A3, A4, A5 sont obtenues et progressivement additionnées et stockées dans l'emplacement mémoire correspondant au pixel. A l'issue du dernier temps d'intégration élémentaire T_{i5} pour l'image A, la dernière valeur stockée dans l'emplacement mémoire est transmise en sortie du circuit de lecture 26. Cette dernière valeur est la donnée d'image A pour le temps d'intégration total T_{int} dans le temps de trame Tr. Ce temps d'intégration total T_{int} est défini par la relation :
- [0046] [Math.1]

$$T_{int} = N \times T_i$$
- [0047] Où N est le nombre de temps d'intégration élémentaire T_i successifs dans le temps de trame Tr.
- [0048] De manière similaire, d'autres images B, C sont acquises et transmises. Comme représenté, certaines étapes peuvent se dérouler au moins partiellement en parallèle quand cela est possible, afin d'économiser du temps de traitement.
- [0049] En particulier, chaque emplacement mémoire est de préférence supérieur ou égal à 19 bits afin de permettre une accumulation de $N=2^5=32$ images. Le rapport signal sur bruit de l'image A est alors amélioré d'un facteur $\sqrt{N}$ par rapport à une image seule.

- [0050] La [Fig.6] illustre un exemple d'un mode de réalisation du circuit de lecture 36. Le circuit de lecture 36 est similaire à celui illustré en [Fig.3], si ce n'est le système d'adressage 365 de l'unité de mémoire 264. Dans ce circuit de lecture 36, l'adressage des emplacements mémoire peut subir un décalage D, par exemple un décalage de lignes et/ou de colonnes. Un tel décalage D est fonction d'un déplacement d'une image formée sur le détecteur. Un tel circuit de lecture 36 est particulièrement avantageux pour un dispositif d'acquisition d'images comprenant un dispositif de balayage, notamment une unité de balayage opto-mécanique, comme divulgué par exemple dans les demandes de brevet publiées FR2830339 ou FR3112229.
- [0051] Le décalage D est notamment appliqué lors de l'étape de stockage 320. Le décalage D peut être inférieur ou égal à 10 % du nombre de lignes ou de colonnes. Par exemple, si la direction de balayage s'étend suivant les colonnes du détecteur matriciel, chaque ligne de la scène sera vue par plusieurs lignes du détecteur matriciel. Le décalage D est en correspondance avec le balayage. L'acquisition de l'image A sur plusieurs pixels permet de réduire le bruit spatial fixe. Un tel bruit spatial est inhérent aux technologies infrarouge et correspondent à une dispersion et/ou un décalage de réponse entre les pixels. Typiquement, ce bruit spatial peut être diminué par l'utilisation d'une table de correction des défauts d'uniformité des pixels (ou NUC pour « Non Uniformity Correction » en anglais). Cependant, il reste encore un bruit spatial fixe résiduel qui est généralement décorrélé de pixel à pixel. L'exemple de circuit de lecture 36 selon ce mode de réalisation permet de traiter l'image obtenue par balayage d'une manière simplifiée par rapport à l'art antérieur. L'acquisition d'un point de la scène par M pixels différents permet de réduire le bruit spatial résiduel d'un facteur $\sqrt{M}$.
- [0052] Le fonctionnement du circuit de lecture 26,36 a été expliqué en relation avec un pixel. Dans les représentations schématiques des figures 3 et 6, un seul convertisseur analogique / numérique 268 et un seul additionneur 266 sont représentés. Cependant, de manière connue en soi, le traitement des pixels peut s'effectuer en parallèle pour un groupe de pixels. Le circuit de lecture 26,36 peut ainsi comprendre une pluralité de convertisseurs analogique / numérique 268 et une pluralité d'additionneurs 264. En particulier, le traitement des pixels peut s'effectuer ligne par ligne. Le circuit de lecture 26,36 peut comprendre un convertisseur analogique / numérique 268 par colonne, ou des convertisseurs analogique / numérique 268 partagés chacun par un ensemble respectif de colonnes. Dans le dernier cas, un multiplexeur peut être utilisé pour affecter un convertisseur analogique / numérique 268 à plusieurs colonnes. De même, le circuit de lecture 26,36 peut comprendre un additionneur 266 par convertisseur analogique / numérique 268, ou des additionneurs 266 partagés chacun par un ensemble respectif de convertisseurs analogique / numérique 268. Dans le dernier cas, un multiplexeur peut être utilisé pour affecter un additionneur 266 à plusieurs conver-

tisseurs analogique / numérique 268.

- [0053] Le circuit de lecture 26,36 permet de détecter une image de façon simple avec un rapport signal sur bruit amélioré et une consommation réduite par rapport à l'art antérieure. Un dispositif d'acquisition d'images comprenant le circuit de lecture 26,36 est particulièrement avantageux pour une utilisation dans un cryostat. En effet, les détecteurs infrarouge opèrent à température cryogénique, notamment à 70K ou 80K, et même inférieure à 70K pour les composants sensibles aux grandes longueurs d'ondes comprises entre 8 et 14 μ m. Le cryostat est typiquement refroidi par un dispositif de refroidissement cryogénique, basé généralement sur un cycle Stirling ou par onde de pression. Le rendement électrothermique d'un tel dispositif de refroidissement est généralement faible.
- [0054] Par exemple, un cryostat comprend un dispositif d'acquisition d'image infrarouge classique, qui fonctionne à une température approximative de 70 K. Le circuit de lecture consomme environ 50 mW. Le dispositif de refroidissement consomme 5 W à une température externe ambiante de 20°C, et le double à une température ambiante de 70 °C. Un cryostat équivalent ayant un détecteur utilisant un circuit de lecture adapté pour réduire le bruit comme dans l'art antérieur consomme environ 1W. Cela correspond à une consommation du dispositif de refroidissement de l'ordre de 100W. Une telle consommation pour le refroidissement rend ce dispositif difficilement utilisable dans la majorité des cryostats, contrairement au circuit de lecture 26,36 qui a une consommation électrique moindre.

Revendications

[Revendication 1]

Circuit de lecture (26,36) pour un détecteur infrarouge, comprenant :

- i. un circuit matriciel de pixels (262), chaque pixel comprenant une capacité, dite capacité d'intégration ;
- ii. une unité de mémoire (264) ayant un emplacement mémoire pour chaque pixel du circuit matriciel (262) ; et

ledit circuit de lecture (26,36) étant configuré pour acquérir une image issue du détecteur infrarouge pendant une durée, dite temps de trame (T_r), en mettant en œuvre de manière itérative les étapes suivantes :

- i. une étape d'intégration (310) dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant une durée, dite temps d'intégration élémentaire (T_i), ledit temps d'intégration élémentaire (T_i) étant configuré de sorte que les charges respectives des capacités d'intégration restent inférieures à une charge maximale admissible ;
- ii. une étape de stockage (320) dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire (T_i) est additionnée à une valeur stockée dans l'emplacement mémoire correspondant au pixel ;
- iii. une étape de remise à l'état initial de la capacité d'intégration ;

et, à l'issue du temps de trame (T_r), en transmettant des données d'image (A, B) comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire (264).

[Revendication 2]

Circuit de lecture (26,36) selon la revendication 1, comprenant :

- i. au moins un convertisseur analogique / numérique (268) configuré pour, dans l'étape de stockage (320), convertir la quantité de charge de la capacité d'intégration en une valeur numérique ; et
- ii. au moins un additionneur (266) configuré pour, dans l'étape de stockage (320), additionner ladite valeur numérique à la valeur stockée dans l'emplacement mémoire correspondant au pixel.

- [Revendication 3] Circuit de lecture (26,36) selon la revendication précédente, dans lequel le convertisseur analogique / numérique (268) et/ou l'additionneur (266) sont partagés par un ensemble de pixels du circuit matriciel (262).
- [Revendication 4] Circuit de lecture (26,36) selon l'une quelconque des revendications précédentes, configuré de sorte que, à la première exécution des étapes d'intégration (310) et de stockage (320) dans le temps de trame (T_r), la valeur initiale stockée dans les emplacements mémoire de l'unité de mémoire (264) est zéro.
- [Revendication 5] Circuit de lecture (26,36) selon l'une des revendications 1 à 3, configuré pour, avant les étapes mises en œuvre de manière itérative, mettre en œuvre les étapes suivantes :
- i. une étape d'intégration (310) dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant le temps d'intégration élémentaire (T_i) ;
 - ii. une étape de stockage (320) dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire (T_i) est stockée dans l'emplacement mémoire correspondant au pixel ;
 - iii. une étape de remise à l'état initial de la capacité d'intégration.
- [Revendication 6] Circuit de lecture (36) selon l'une quelconque des revendications précédentes, configuré pour, dans le temps de trame (T_r), décaler les valeurs stockées dans les emplacements mémoire en fonction d'un déplacement d'une image formée sur le détecteur infrarouge.
- [Revendication 7] Dispositif d'acquisition d'images infrarouge (20) destiné à acquérir au moins une image d'une scène, comprenant :
- i. un détecteur infrarouge formant un détecteur matriciel ayant une pluralité de pixels, le dit détecteur infrarouge étant configuré pour recevoir l'au moins une image de ladite scène ;
 - ii. un circuit de lecture (26,36) selon l'une quelconque des revendications précédentes, configuré pour traiter des signaux reçus du détecteur infrarouge représentatifs de l'au moins une image.

[Revendication 8] Dispositif d'acquisition d'images infrarouge (20) selon la revendication précédente, comprenant en outre un dispositif de balayage configuré pour balayer la scène suivant une direction, de manière que l'image de la scène se déplace sur le détecteur infrarouge au cours du temps de trame (Tr), ledit circuit de lecture (36) étant configuré pour décaler les valeurs stockées dans les emplacements mémoire en fonction du déplacement de l'image sur le détecteur.

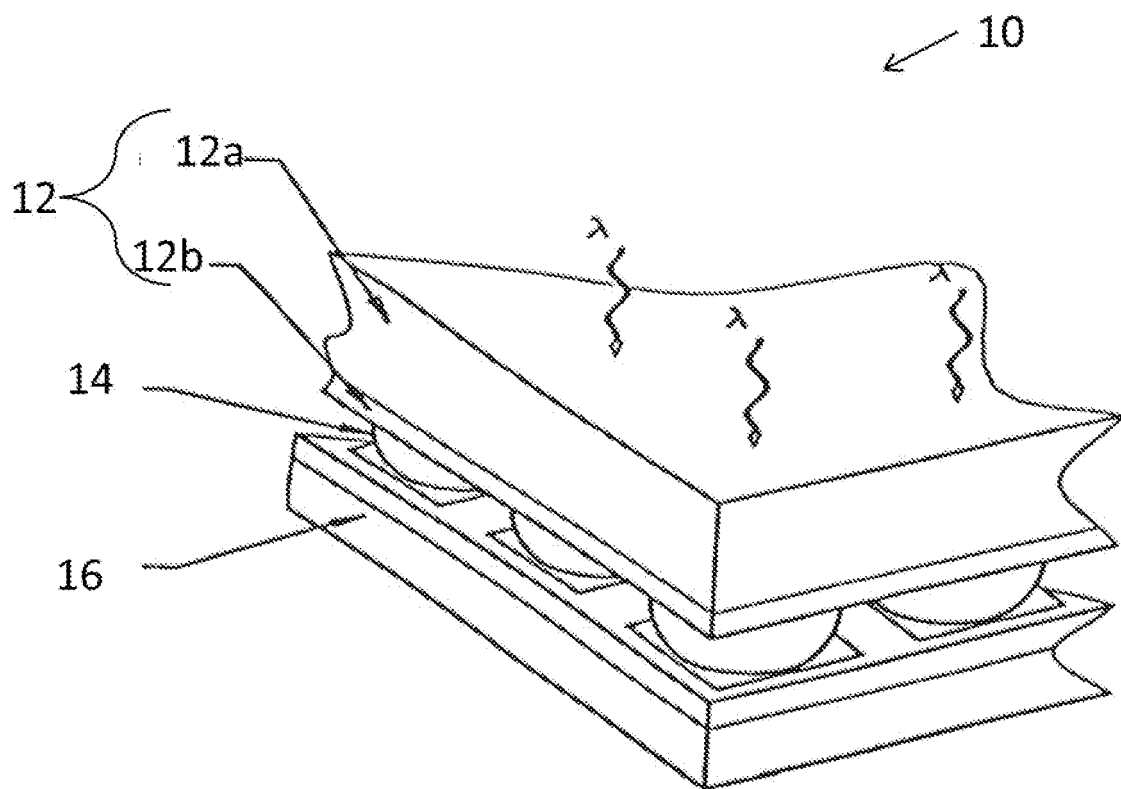
[Revendication 9] Cryostat comprenant un dispositif d'acquisition d'images infrarouge (20) selon la revendication 7 ou 8.

[Revendication 10] Procédé d'acquisition d'images utilisant un dispositif (20) comprenant un détecteur infrarouge et un circuit de lecture (26,36) qui comporte un circuit matriciel de pixels (262), chaque pixel comprenant une capacité, dite capacité d'intégration ; et une unité de mémoire (264) ayant un emplacement mémoire pour chaque pixel du circuit matriciel (262), ledit procédé comprenant pendant une durée, dite temps de trame (Tr), la mise en œuvre de manière itérative des étapes suivantes :

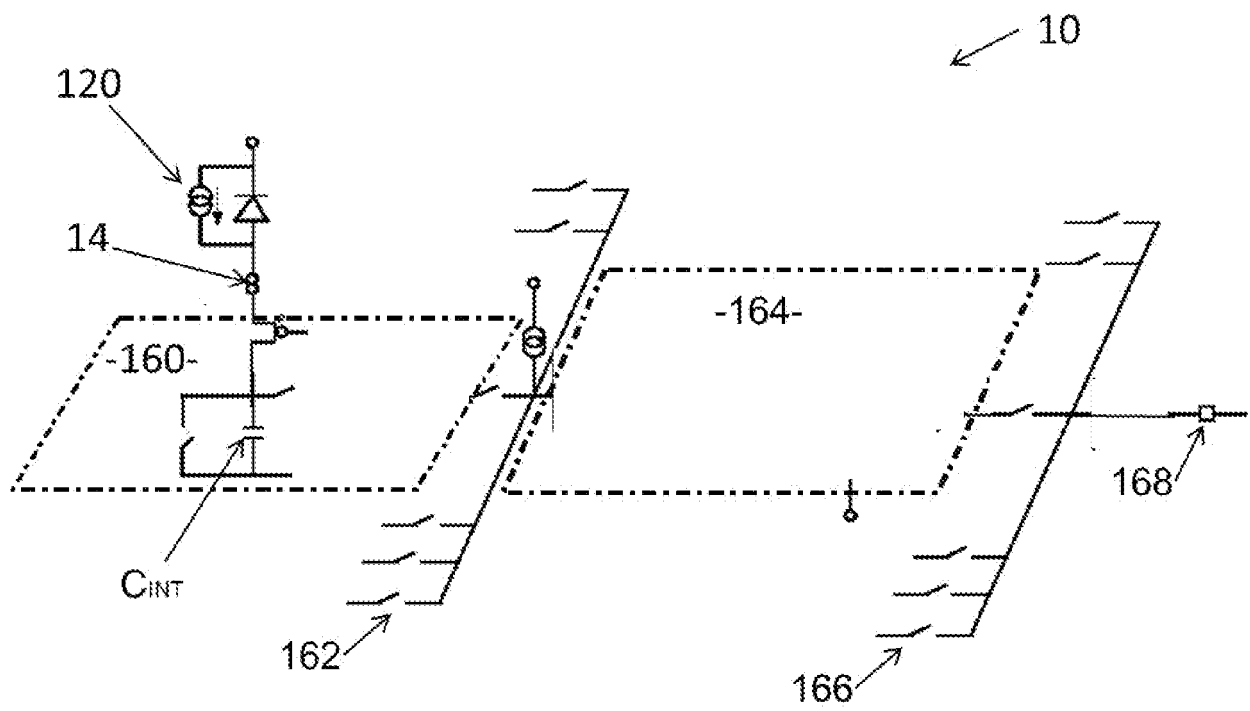
- i. une étape d'intégration (310) dans laquelle les capacités d'intégration sont chargées avec des photoélectrons issus du détecteur infrarouge pendant une durée, dite temps d'intégration élémentaire (T_i), ledit temps d'intégration élémentaire (T_i) étant configuré de sorte que les charges respectives des capacités d'intégration restent inférieures à une charge maximale admissible ;
- ii. une étape de stockage (320) dans laquelle, pour chaque pixel, la quantité de charge de la capacité d'intégration respective à l'issue du temps d'intégration élémentaire (T_i) est additionnée à une valeur stockée dans l'emplacement mémoire correspondant au pixel ; et
- iii. une étape de remise à l'état initial de la capacité d'intégration ;

ledit procédé comprenant en outre, à l'issue du temps de trame (Tr), une transmission de données d'image (A, B) comprenant les valeurs stockées dans les emplacements mémoire de l'unité de mémoire (264).

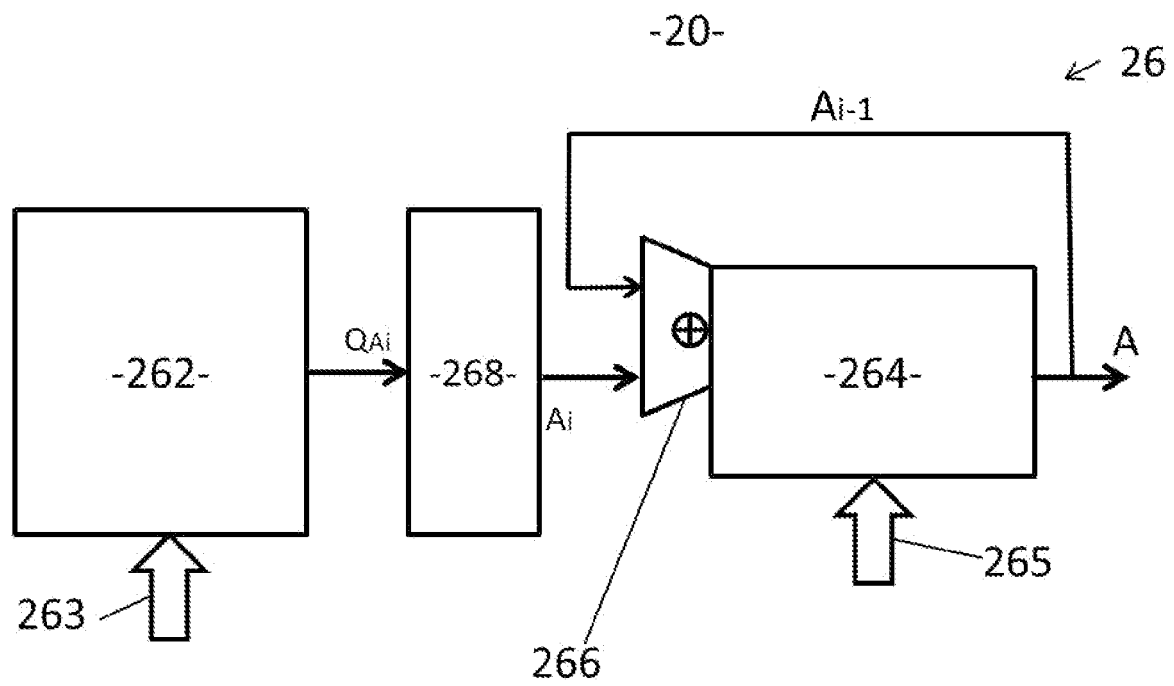
[Fig. 1]



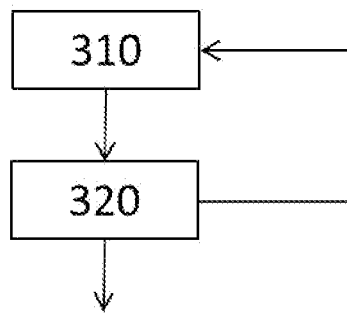
[Fig. 2]



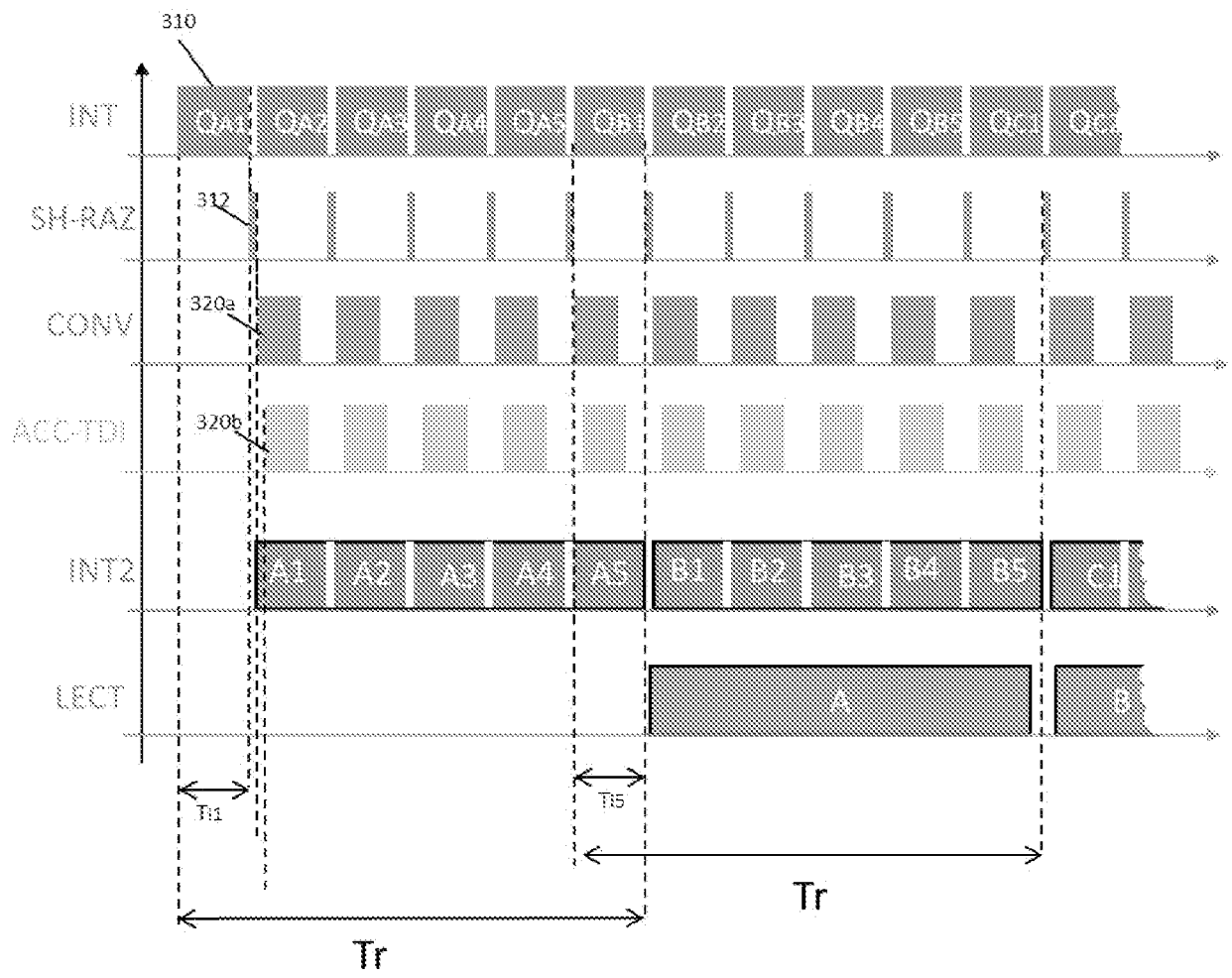
[Fig. 3]



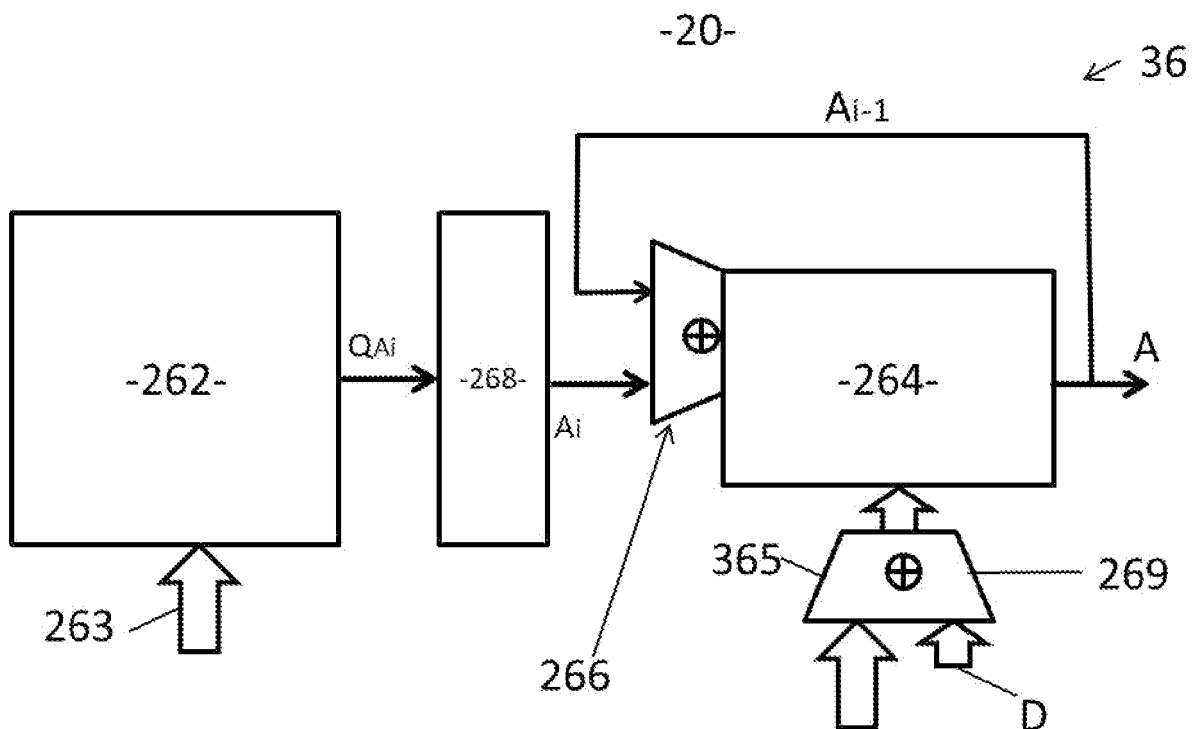
[Fig. 4]



[Fig. 5]



[Fig. 6]



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 916227
FR 2214217

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	FR 2 906 080 A1 (E2V SEMICONDUCTORS SOC PAR ACT [FR]) 21 mars 2008 (2008-03-21) * page 3, ligne 11 – page 5, ligne 19 * * page 7, ligne 9 – page 9, ligne 9; figure 1 * * page 9, ligne 10 – page 12, ligne 24; figure 2 * * page 12, ligne 25 – page 13; figure 3 * -----	1-10	H04N25/44
X	EP 2 408 194 A2 (COMMISSARIAT ENERGIE ATOMIQUE [FR]) 18 janvier 2012 (2012-01-18)	1-3, 5-10	
A	* alinéas [0032] – [0037]; figure 3 * * alinéas [0039] – [0043]; figure 4 * * alinéas [0045] – [0049]; figure 5 * * alinéas [0051] – [0054]; figure 6 * -----	4	
X	US 7 139 025 B1 (BEREZIN VLADIMIR [US]) 21 novembre 2006 (2006-11-21) * colonnes 1-2; figure 1 * * figure 2 * * revendications 1-4 * -----	1, 7, 9, 10	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
A	US 2009/009645 A1 (SCHREY OLAF [DE] ET AL) 8 janvier 2009 (2009-01-08) * alinéas [0080] – [0084]; figure 4 * -----	1-10	H04N
Date d'achèvement de la recherche		Examineur	
7 août 2023		Berne, Jean-François	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2214217 FA 916227**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **07-08-2023**
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
FR 2906080	A1	21-03-2008	EP	2064867 A1	03-06-2009
			FR	2906080 A1	21-03-2008
			IL	197544 A	30-04-2014
			JP	5515172 B2	11-06-2014
			JP	2010539733 A	16-12-2010
			WO	2008034794 A1	27-03-2008

EP 2408194	A2	18-01-2012	EP	2408194 A2	18-01-2012
			JP	2011244452 A	01-12-2011

US 7139025	B1	21-11-2006	US	7139025 B1	21-11-2006
			US	2007024727 A1	01-02-2007
			US	2011115960 A1	19-05-2011

US 2009009645	A1	08-01-2009	AT	505513 A1	15-01-2009
			DE	102007030985 A1	08-01-2009
			US	2009009645 A1	08-01-2009
