

RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

(A n'utiliser que pour les
commandes de reproduction).

2 471 086

A1

**DEMANDE
DE BREVET D'INVENTION**

(21) **N° 79 29589**

(54) Circuit à transistors pour la réalisation de fonctions logiques.

(51) Classification internationale (Int. Cl. 3). H 03 K 19/094, 13/00.

(22) Date de dépôt..... 30 novembre 1979.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande B.O.P.I. — « Listes » n° 24 du 12-6-1981.

(71) Déposant : Société dite : ELECTRONIQUE MARCEL DASSAULT, résidant en France.

(72) Invention de : Jean-Claude Basset et Alain Meinguss.

(73) Titulaire : *Idem* (71)

(74) Mandataire : André Netter, conseil en brevets d'invention,
40, rue Vignon, 75009 Paris.

L'invention a pour objet un circuit à transistors pour la réalisation de fonctions logiques.

Jusqu'à présent, pour la réalisation d'une fonction logique déterminée, on utilise un circuit à transistors dans lequel les transistors sont en nombre déterminé et implantés suivant une disposition déterminée et reliés entre eux par des conducteurs en conformité d'un tracé déterminé.

La réalisation d'un autre circuit logique fait appel à une disposition différente des transistors et des conducteurs dans leurs emplacements et/ou leurs nombres.

Pour obtenir un circuit déterminé sur une tranche de silicium, on forme en conséquence, sur ladite tranche, par dopage, des transistors suivant une disposition déterminée en soumettant celle-ci à un ou des traitements chimiques et/ou physico-chimiques et/ou physiques, les emplacements du traitement dépendant des perforations d'un masque, le procédé prévoyant l'obtention par métallisation, photogravure, etc., des conducteurs correspondant aux liaisons électriques à réaliser.

Il a été constaté que, suivant le degré de dopage, on obtient à volonté ou bien des transistors MOS à propriétés habituelles, ou bien des transistors du même type mais équivalant à un circuit ouvert ou équivalent à un court-circuit.

L'invention a pour objet un procédé pour la réalisation par un circuit intégré à transistors MOS d'une fonction logique faisant partie d'une multiplicité de fonctions logiques, caractérisé en ce qu'on élabore un schéma de transistors MOS ou de conducteurs propres à répondre à la multiplicité de fonctions logiques et en ce que, pour la réalisation d'une fonction logique parmi cette multiplicité, on conduit la fabrication des transistors MOS de manière que seuls soient amenés à l'état de transistors opératoires ceux des transistors portés sur un schéma correspondant à ladite fonction logique, les autres transistors n'étant pas opératoires pour le rôle habituel de transistors.

L'invention vise un circuit à transistors MOS pour la réalisation d'une fonction logique, caractérisé en ce qu'il comporte non seulement des transistors pour la réalisation de ladite fonction mais d'autres transistors, mais dans un état qui leur fait jouer le rôle de circuits ouverts ou de courts-circuits.

Suivant une forme de réalisation, le circuit intégré comprend huit transistors, associés par paires, deux paires ayant des entrées reliées l'une à l'autre et deux autres paires des entrées reliées l'une à l'autre, les couples formés par chaque paire étant reliés entre eux par l'intermédiaire de transistors montés en inverseurs.

5 Dans la description qui suit, faite à titre d'exemple, on se réfère aux dessins annexés, dans lesquels :

10 la figure 1 est un schéma du circuit selon l'invention ;

les figures 2 à 10 sont des schémas de circuits réalisables à partir du circuit selon la figure 1 ;

15 la figure 11 est un schéma d'un dispositif de codage polynomial.

Le circuit logique comprend un premier inverseur I_0 constitué par un transistor T_0 dont la source S_0 est mise à la masse et dont le circuit 11 du drain D_0 comprend un élément résistif 12 ; la grille G_0 sur laquelle est appliquée une première entrée E_1 du circuit, est reliée par un conducteur 13 à un circuit 14 dont une extrémité 15 est reliée à la grille G_1 d'un transistor T_1 dont le drain D_1 est relié par un conducteur 16 au drain D_2 d'un transistor T_2 , la source S_1 du transistor T_1 étant reliée à la source S_2 du transistor T_2 par un conducteur 17. Les transistors T_1 et T_2 forment une première paire P_1 de transistors.

20 Le circuit logique comprend une seconde paire P_2 de transistors T_3 et T_4 , dont les éléments constitutifs sont reliés entre eux comme le sont les éléments constitutifs des transistors T_1 et T_2 de la première paire P_1 , par des conducteurs 18, 19. Le conducteur 19 est mis à la masse par un conducteur 21 et le conducteur 18 est relié au conducteur 17 par un conducteur 22. La grille G_3 du transistor T_3 est reliée au drain D_0 du transistor T_0 par un circuit 101.

25 La grille G_2 du transistor T_2 est reliée par un circuit 23 à la grille G_6 d'un transistor T_6 faisant partie d'une troisième paire P_3 de transistors, l'autre transistor T_5 de la paire étant relié au transistor T_6 de la même façon que sont reliés entre eux les transistors d'une même paire P_1 et P_2 , par des conducteurs 24 et 25. La grille G_5 du transistor T_5 est reliée au circuit 14.

Une quatrième paire P_4 de transistors T_7 et T_8 est reliée à la paire P_3 de la même façon que la paire P_2 est reliée à la paire P_1 par un conducteur 26 reliant entre eux, d'une part le conducteur 25 reliant la source S_5 du transistor T_5 à la source S_6 du transistor T_6 et, d'autre part le conducteur 28 reliant la source S_7 du transistor T_7 à la source S_8 du transistor T_8 , le conducteur 29 reliant les drains des transistors T_7 et T_8 étant mis à la masse par le conducteur 31. La grille G_7 du transistor T_7 est reliée par un circuit 102 à la grille G_3 du transistor T_3 .

La grille G_4 du transistor T_4 est reliée par un circuit 34 à la grille G_8 du transistor T_8 . Le circuit 34 est relié par un circuit 35 à un second inverseur I_2 constitué par un transistor T_9 dont la grille G_9 sur laquelle est appliquée une seconde entrée E_2 du circuit, est reliée au circuit 35, la source S_9 à la masse, et dont le circuit 36 du drain D_9 comprend un élément résistif 37. Le drain D_9 du transistor T_9 est relié par un circuit 103 à la grille G_6 du transistor T_6 . Le conducteur 16 reliant les drains D_1 et D_2 des transistors T_1 et T_2 est relié par un circuit 32 au conducteur 24 reliant les drains D_5 et D_6 des transistors T_5 et T_6 , la sortie S du circuit étant obtenue sur une extrémité d'un circuit 33 dont l'autre extrémité est reliée au conducteur 32. Un circuit 41, comprenant un élément résistif 42 est relié aux circuits 32 et 33. La tension de polarisation du circuit, de niveau logique +1, est appliquée aux conducteurs 11, 36, 41.

On constate ainsi que le signal logique, par exemple A, appliqué à l'entrée E_1 , se trouve appliqué aux grilles G_1 et G_5 et, inversé, aux grilles G_3 et G_7 .

Le signal logique, par exemple B, appliqué à l'entrée E_2 , se trouve appliqué sur les grilles G_4 et G_8 et, inversé, aux grilles G_2 et G_6 .

Un tel circuit logique peut être utilisé pour la réalisation d'une multiplicité de fonctions logiques.

Dans la réalisation selon la figure 2, seuls les transistors T_1 et T_4 sont des transistors opératoires à la manière habituelle. Les autres transistors sont du type jouant un rôle de circuit ouvert ou un rôle de court-circuit suivant une disposition quelconque, à condition qu'entre la sortie S et la masse ils n'établissent aucun circuit conducteur : ainsi, les

transistors T_2 et T_3 sont ouverts, les transistors des paires P_3 et P_4 étant tels que le circuit compris entre le conducteur 31 et le conducteur 32 soit ouvert quels que soient A et B.

- 5 Dans cette exécution, le circuit logique réalise la fonction NON-ET ou NAND. En effet, la sortie S n'est égale à 0 que si $A = 1$ et $B = 1$ et le circuit réalise l'opération logique:

$$S = \overline{A} \cdot \overline{B} = \overline{A} + \overline{B}$$

- Dans l'exécution montrée sur la figure 3, seuls les
 10 transistors T_2 et T_3 sont dans le premier état ou état opérateur. Les autres transistors sont en leur état, ou bien équivalents à un circuit ouvert, ou bien équivalents à un court-circuit de manière à ce que ce circuit réalise la fonction logique OU. Les signaux \overline{A} et \overline{B} sont appliqués aux grilles G_3 et G_2 et sur la sortie S est présent un signal logique :

$$S = A + B$$

- Dans l'exécution montrée sur la figure 4, utilisant les transistors T_1 et T_8 , le circuit logique réalise la fonction NON OU, les paires P_2 et P_3 étant telles qu'elles réalisent un court-circuit, et les transistors T_2 et T_7 étant ouverts, ceci quels que soient les signaux A et B.

Dans l'exécution montrée sur la figure 5, utilisant les transistors T_3 et T_6 , il réalise la fonction ET.

- Dans l'exécution selon la figure 6, utilisant le transistor T_1 , il réalise la fonction NEGATION ou fonction barre, la paire P_2 réalisant un court-circuit et les paires P_3 et P_4 un circuit ouvert, ainsi que le transistor T_2 .

Dans l'exécution montrée sur la figure 7, utilisant le transistor T_3 , il réalise la fonction $S=A$, quel que soit B.

- 30 Le circuit logique selon l'invention peut également réaliser des fonctions complexes.

Dans l'exécution selon la figure 8, utilisant les transistors T_2 , T_3 , T_5 et T_8 , il réalise la fonction OU exclusif.

- 35 Dans l'exécution selon la figure 9, utilisant les transistors T_1 , T_2 , T_7 et T_8 , il réalise la fonction NULLE.

Dans l'exécution selon la figure 10, utilisant les transistors T_1 , T_3 , T_6 et T_8 , il réalise la fonction VRAI, les transistors T_2 , T_4 , T_5 , T_7 étant ouverts.

- 40 Sur la figure 11 on a montré un registre R à plusieurs cases 51_1 , 51_2 , 51_3 , etc. Un premier circuit logique C_1 du

type montré sur la figure 1 a une entrée 52_1 reliée à la sortie 53_1 de la première case 51_1 et une seconde entrée 54_1 reliée à la sortie 53_2 de la case 51_2 . La sortie 55_1 du circuit logique C_1 est reliée à la première entrée 52_2 d'un second circuit logique C_2 analogue au circuit logique C_1 dont la seconde entrée 54_2 est reliée à la sortie 53_3 de la troisième case 51_3 , etc.

Un tel ensemble est propre à introduire un codage polynomial sur une information appliquée à l'entrée e du registre, et sans qu'il soit possible de déterminer le codage pour l'observation, même au microscope électronique, des circuits logiques et des conducteurs qui leur sont associés.

REVENDICATIONS

1. Jeu de circuits à transistors MOS, caractérisé en ce qu'ils sont identiques entre eux au point de vue de la disposition des transistors et des connexions et que les circuits 5 diffèrent de l'un à l'autre par l'état de leurs transistors constitutifs, à savoir état habituel, état équivalent à un circuit ouvert et état équivalent à un court-circuit.
2. Circuit à transistors faisant partie d'un jeu selon la revendication 1.
- 10 3. Dispositif de codage polynomial, caractérisé en ce qu'il comprend un registre à chacune des cases duquel est associé un circuit faisant partie d'un jeu selon la revendication 1.

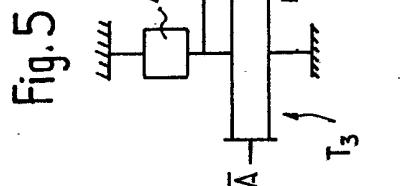
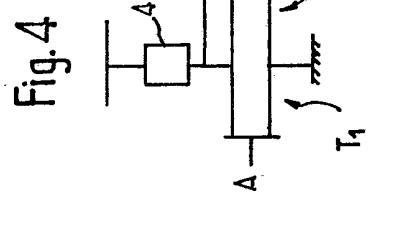
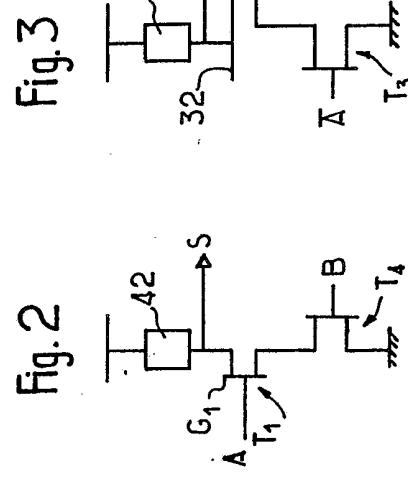
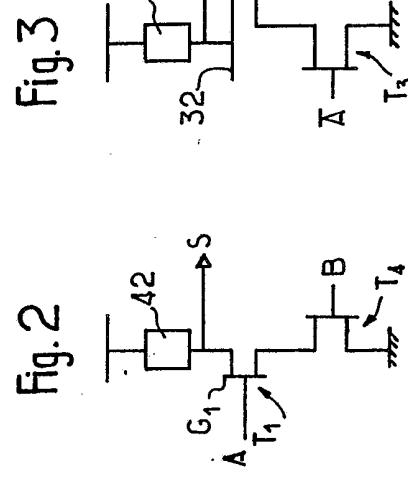
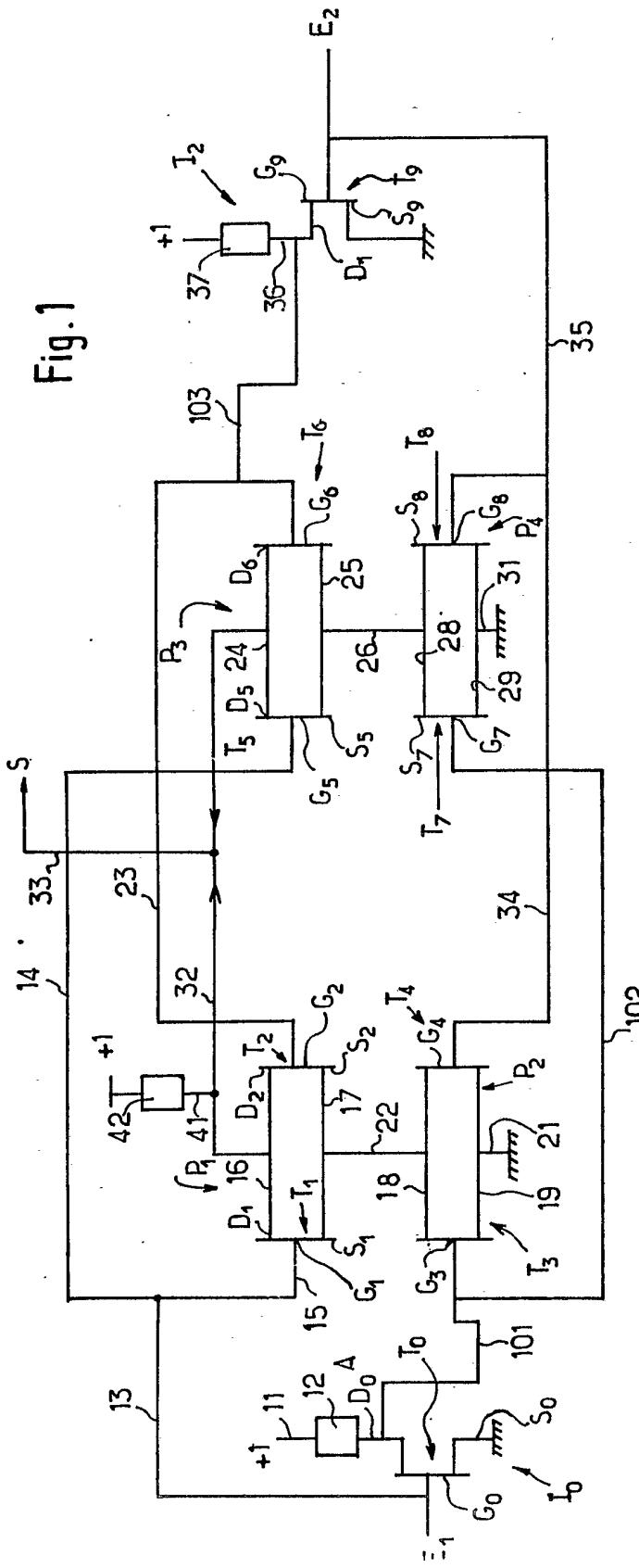


Fig. 6

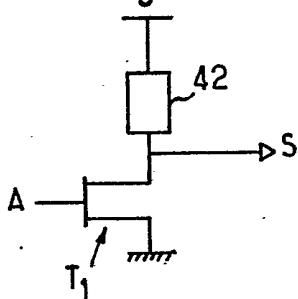


Fig. 7

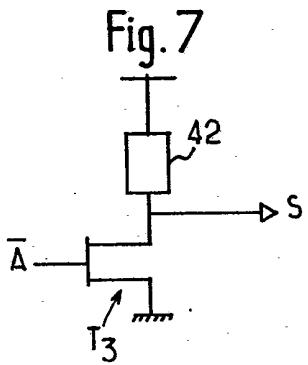


Fig. 8

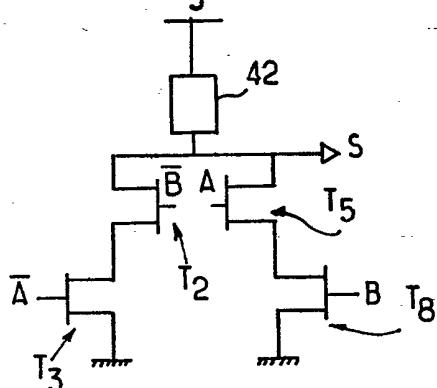


Fig. 9

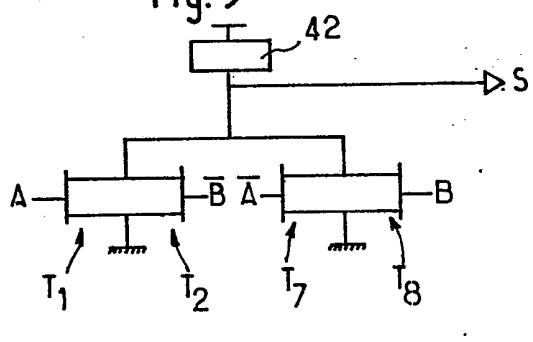


Fig. 10

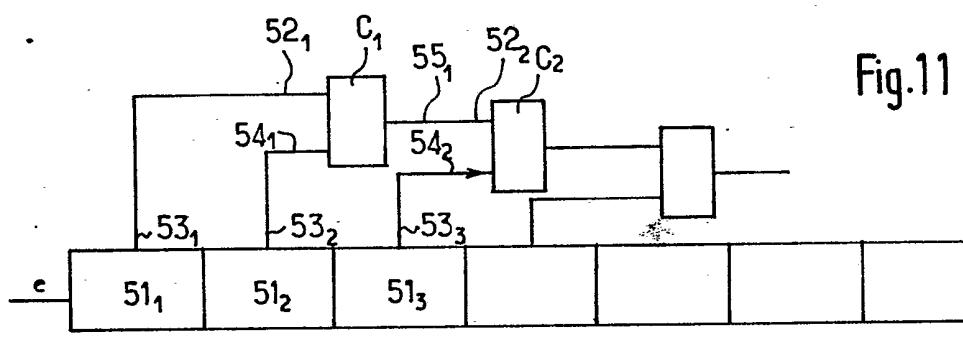
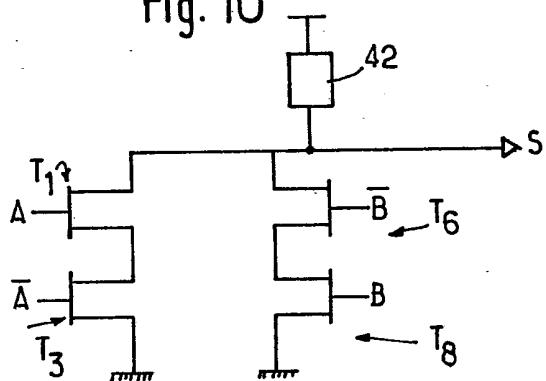


Fig. 11