

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4109340号
(P4109340)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月11日(2008.4.11)

(51) Int.Cl.

F I

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 G

H O 1 L 27/04 (2006.01)

G 1 1 C 11/34 3 3 5 C

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 5 4 G

G 1 1 C 11/4074 (2006.01)

請求項の数 9 (全 27 頁)

(21) 出願番号 特願平9-359271
 (22) 出願日 平成9年12月26日(1997.12.26)
 (65) 公開番号 特開平11-191611
 (43) 公開日 平成11年7月13日(1999.7.13)
 審査請求日 平成16年2月4日(2004.2.4)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (74) 代理人 100068504
 弁理士 小川 勝男
 (72) 発明者 水野 弘之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究
 所内
 (72) 発明者 石橋 孝一郎
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究
 所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

複数の領域を含む主回路と、

上記複数の領域の各々に含まれる第1 MOS トランジスタに供給される基板バイアス電圧を制御する基板バイアス制御回路と、

上記基板バイアス制御回路を制御して、上記主回路の状態を第1状態または第2状態に制御するスタンバイ制御回路と、

上記基板バイアス制御回路により制御され、上記第1状態において上記基板バイアス電圧を駆動する複数の駆動トランジスタとを有し、

上記複数の駆動トランジスタの各々のソース又はドレインの一方は、複数の上記領域に含まれる第1 MOS トランジスタのソース又はウェルの一方に接続され、上記複数の駆動トランジスタの各々のソース又はドレインの他方は、複数の上記領域に含まれる第1 MOS トランジスタのソース又はウェルの他方に接続されており、

上記基板バイアス制御回路は、上記第2状態における第1 MOS トランジスタのしきい値電圧の絶対値が上記第1状態における第1 MOS トランジスタのしきい値電圧の絶対値よりも高くなるように上記基板バイアスを制御し、

上記基板バイアス電圧は、上記第1状態においては上記複数の駆動トランジスタのソース・ドレイン経路を介して供給され、上記第2状態においては上記基板バイアス制御回路から供給される半導体集積回路装置。

【請求項2】

10

20

請求項 1 において、

上記複数の駆動トランジスタのゲートは基板制御線に接続され、

上記基板バイアス制御回路は、上記複数の駆動トランジスタのゲートを駆動する基板制御信号を上記基板制御線に出力する半導体集積回路装置。

【請求項 3】

請求項 2 において、

上記基板バイアス制御回路は、上記第 2 状態から上記第 1 状態に遷移する過程での上記基板制御信号の出力インピーダンスを上記第 1 状態に遷移した後でのインピーダンスよりも大きくなるように制御する半導体集積回路装置。

【請求項 4】

請求項 2 または 3 において、

上記基板バイアス制御回路は、上記基板制御線を通して上記基板バイアス制御回路に戻ってくる上記基板制御信号の戻り信号を受け、

上記戻り信号の電位に基づき、上記第 1 MOS トランジスタのウェルの電位状態を検出する半導体集積回路装置。

【請求項 5】

請求項 2 乃至 4 のいずれかにおいて、

上記基板制御信号の振幅は上記駆動トランジスタのゲート耐圧よりも大きい半導体集積回路装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

負電圧発生回路を有し、

上記基板バイアス制御回路は、上記第 2 状態での上記負電圧発生回路の出力インピーダンスを、上記第 1 状態での上記負電圧発生回路の出力インピーダンスよりも小さくなるように制御する半導体集積回路装置。

【請求項 7】

請求項 6 において、

上記負電圧発生回路は、第 1 チャージポンプ回路と第 2 チャージポンプ回路とを有し、

上記基板バイアス制御回路は、上記第 2 状態では上記第 1 チャージポンプ回路を用いて負電圧を発生させ、上記第 1 状態では上記第 2 チャージポンプ回路を用いて負電圧を発生させ、

上記第 1 チャージポンプ回路のポンピングコンデンサの容量は、上記第 2 チャージポンプ回路のポンピングコンデンサの容量よりも小さい半導体集積回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれかにおいて、

上記駆動トランジスタのしきい値電圧の絶対値は上記第 1 MOS トランジスタのしきい値電圧の絶対値よりも大きい半導体集積回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

上記半導体集積回路装置の外部とのインターフェースをする I/O 回路を有し、

上記 I/O 回路を構成する少なくとも一つの第 2 MOS トランジスタのゲート絶縁膜厚は、上記第 1 MOS トランジスタのゲート絶縁膜厚よりも厚い半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路装置に係わり、特に高速性と低電力性を兼ね備えた半導体集積回路装置に関する。

【0002】

【従来の技術】

現在、マイクロプロセッサ等の半導体集積回路装置の実現には CMOS による集積回路が広く

10

20

30

40

50

用いられている。CMOS回路の諸費電力にはスイッチング時の充放電によるダイナミックな消費電力とサブスレッショルドリーク電流によるスタティックな消費電力によるものがある。このうちダイナミック消費電力は電源電圧VDDの2乗に比例して大きな電力を消費するため、低消費電力化のためには電源電圧を下げるのが効果的であり、近年多くのマイクロプロセッサの電源電圧は低下してきている。

【0003】

一方、現在の低電力なマイクロプロセッサには、パワーマネージメント機構を備え、プロセッサに複数の動作モードを設け、それに従って待機時に実行ユニットへのクロックの供給を停止しているものがある。

【0004】

このクロック供給の停止により、不要な実行ユニットにおけるダイナミックな消費電力を可能な限り削減することができる。しかしながら、サブスレッショルドリーク電流によるスタティックな消費電力は削減することができず、残存したままである。

【0005】

CMOS回路の動作速度は電源電圧の低下にともない遅くなるため、動作速度の劣化を防ぐためには電源電圧の低下に連動してMOSトランジスタのしきい値電圧を下げる必要がある。しかし、しきい値電圧を下げると極端にサブスレッショルドリーク電流が増加するため、電源電圧の低下が進むにつれて、従来はそれほど大きくなかったサブスレッショルドリーク電流によるスタティックな消費電力の増加が顕著になってきた。このため、高速性と低電力性の2点を両立したマイクロプロセッサ等の半導体集積回路装置を実現することが問題となっている。

【0006】

上記問題を解決する方法として、例えば特開平6-54396号に公報されているように、基板バイアスを可変設定することにより、MOSトランジスタのしきい値電圧を制御する方法がある。

【0007】

CMOS回路の高速動作が要求されるアクティブ状態では、基板バイアスをPMOS(PチャネルMOSトランジスタ)については電源電位に、NMOS(NチャネルMOSトランジスタ)については接地電位に設定する。一方、CMOS回路が高速に動作する必要のないスタンバイ状態では、基板バイアスをPMOSについては電源電圧よりも高い電位を、NMOSについては低い電位を印加する(この動作を以下、「基板を引く」と表現する)。

【0008】

スタンバイ時に基板を引くことによって、CMOS回路を構成しているMOSトランジスタのしきい値を高くすることができ、サブスレッショルドリーク電流によるスタティックな消費電力を削減することができる。

【0009】

【発明が解決しようとする課題】

高速性と低電力性の2点を両立したマイクロプロセッサ等の半導体集積回路装置を実現するためには、CMOS回路について上記のような基板バイアス制御を行い、アクティブ時にはMOSトランジスタのしきい値電圧を低くして高速性を維持し、スタンバイ時にはMOSトランジスタのしきい値を高くしてサブスレッショルドリーク電流を低減する必要がある。

【0010】

しかしながら、発明者らの検討したところによると、実際の回路装置において基板バイアス制御をするためには、以下のような課題が残されてる。

【0011】

(1) 基板バイアス制御回路のテスト容易性を確保する。

【0012】

(2) 基板バイアス制御をすることでのCMOS回路の誤作動を防止する。

【0013】

(3) 基板バイアス制御をすることによる、回路面積増加を最小限に止める。

10

20

30

40

50

【 0 0 1 4 】

(4) 基板バイアスの切り換え時における半導体集積回路装置の誤作動を防止する。

【 0 0 1 5 】

【課題を解決するための手段】

上記課題を解決するために本発明で提示した手段の主なものは以下になる。

【 0 0 1 6 】

基板バイアス制御回路内の負電圧発生回路の出力をパッドに出力することとして、回路のテストを容易とした。すなわち、負電圧発生回路は、その出力信号である電圧のレベルが設定した電圧になっているかどうかを確認する必要がある、このため、その出力がそのまま出ている端子を設けることが便利である。

10

【 0 0 1 7 】

また、アクティブ状態時に基板バイアスを駆動する基板駆動MOSトランジスタを、基板バイアス制御すべき主回路内に複数配置し、基板インピーダンスを下げる。この場合、アクティブ状態時には、主回路内の回路が動作するため、インピーダンスを低くして、基板電位を固定し、トランジスタ閾値のばらつきを押さえる必要があるからである。

【 0 0 1 8 】

このとき、スタンバイ時に比べてアクティブ状態時の駆動力は大きくなり、例えば5倍、理想的には10倍以上の駆動力が望ましい。

【 0 0 1 9 】

さらに、基板バイアス切り換え時の回路の安定性を確保するために、基板駆動MOSトランジスタのゲート電圧を制御するゲート制御信号は、基板駆動MOSトランジスタのゲートに接続された後に基板バイアス制御回路にもどされ、もどされた信号の電位によって基板バイアス制御回路が主回路の基板バイアスが安定したことを検出できるようにゲート制御信号を配線する。

20

【 0 0 2 0 】

半導体集積回路装置はパワーオンリセット回路を具備しており、パワーオンリセット回路は主回路の電源が投入されることを検出し、パワーオンリセット回路によって、主回路の電源が投入されて一定時間の間は、基板駆動MOSトランジスタが基板バイアスを浅く駆動するアクティブ状態にする。

【 0 0 2 1 】

さらに、基板バイアス制御回路は、スタンバイ状態からアクティブ状態に遷移する過程でのゲート制御信号の出力インピーダンスを、アクティブ状態に完全に遷移した後でのインピーダンスよりも大きく制御する。

30

【 0 0 2 2 】

また、半導体集積回路装置は負電圧発生回路を具備しており、基板バイアス制御回路はスタンバイ状態での負電圧発生回路の出力インピーダンスを、アクティブ状態での負電圧発生回路の出力インピーダンスよりも小さく制御する。

【 0 0 2 3 】

また、主回路は複数のセルから成っており、複数のセルの電源ネットは第1配線層によって給電されており、さらに、それら第1配線層と直行する第2配線層を用いた電源ネットがあり、第1配線層による電源ネットと第2配線層による電源ネットの交点にスイッチセルを配置して、第1配線層による電源ネットと、第2配線層による電源ネットの接続はそのスイッチセル内で行われており、さらに、上記基板駆動MOSトランジスタをスイッチセル内に配置する。

40

【 0 0 2 4 】

また、上記セルを構成するMOSトランジスタの基板バイアス供給線が、第1配線層による電源ネットと平行して第1配線層によって行われ、第2配線層による電源ネットにも平行して第2配線層によっても行われ、電源ネットと同様に、上記スイッチセル内で、第1配線層による基板バイアス供給線と、第2配線層による基板バイアス供給線が接続され、上記基板駆動MOSトランジスタのゲート電圧を制御するゲート制御信号が、第2配線層によ

50

る電源ネットと平行した、上記スイッチセル上空の第2配線層によって供給され、上記スイッチセル内で、基板駆動MOSトランジスタのゲート端子に接続する。

【0025】

より具体的に説明すると、本発明は少なくとも一つのトランジスタから構成された主回路と、トランジスタの基板に印加される電圧を制御する基板バイアス制御回路と、基板バイアス制御回路を制御することで主回路に流れるサブスレッショルドリーク電流が多いアクティブ状態と、サブスレッショルドリーク電流が小さいスタンバイ状態の少なくとも二つ状態に切り替えるスタンバイ制御回路を有し、基板バイアス制御回路に負電圧発生回路を内蔵するとともに、該負電圧発生回路で発生した負電圧を装置外部へ出力する端子を有する。

10

【0026】

このとき半導体集積回路装置は、出力パッドを有する半導体チップと、半導体チップを内蔵し外部ピンを有するパッケージを有し、端子として出力パッドの一つを用い、かつ、その端子は外部ピンとは接続されていない。

【0027】

他の例では、少なくとも一つのMOSトランジスタから構成された主回路と、MOSトランジスタの基板に印加される電圧を制御する基板バイアス制御回路と、基板バイアス制御回路を制御することで、主回路に流れるサブスレッショルドリーク電流が多いアクティブ状態と、サブスレッショルドリーク電流が小さいスタンバイ状態の少なくとも二つ状態に切り替えるスタンバイ制御回路を有し、アクティブ状態には基板バイアスを浅く制御し、スタンバイ状態では基板バイアスを深く制御し、アクティブ状態で基板バイアスを浅く駆動する駆動力が、スタンバイ状態で基板バイアスを深く駆動する駆動力よりも10倍以上大きいことを特徴とする。

20

【0028】

このとき、基板バイアスを深く制御している時には、基板を引いているトランジスタから構成される主回路を動作させないことが望ましい。基板を引いている時は、基板のインピーダンスが高いため、MOSトランジスタが動作することで基板電位が変化しやすい。このため、MOSトランジスタが誤動作する可能性があるためである。

【0029】

デバイス構造としては、アクティブ状態で基板バイアスを浅く駆動するための基板駆動MOSトランジスタは距離20 μ m以上離れて少なくとも二つ以上あり、基板駆動MOSトランジスタのゲート電位は基板バイアス制御回路により制御されている。

30

【0030】

基板駆動MOSトランジスタのゲート電圧を制御するゲート制御信号は、基板駆動MOSトランジスタのゲートに接続された後に基板バイアス制御回路に戻され、戻された信号の電位によって基板バイアス制御回路が前記主回路の基板バイアスが安定したことを検出できる。

【0031】

基板駆動MOSトランジスタのしきい値電圧は、主回路を構成しているMOSトランジスタのしきい値よりも大きいことが望ましい。また、外部とのインターフェースをするI/O回路を具備するとき、そのI/O回路を構成している少なくとも一つのMOSトランジスタの酸化膜厚は、主回路を構成しているMOSトランジスタの酸化膜厚よりも厚いことが好ましい。このように、主に高い電圧が印加される部分の耐圧を高くすることが望ましい。

40

【0032】

さらに主回路の電源が投入されることを検出するパワーオンリセット回路を具備し、主回路の電源が投入されて一定の間は基板駆動MOSトランジスタが基板バイアスを浅く駆動するアクティブ状態に制御する。

【0033】

本発明を適用したシステムの他の態様では、半導体集積回路装置は第1(VDDQ)と第2(VDD)の電源電圧を有し、第1の電源電圧は第2の電源電圧よりも絶対値が大きく、第2の電源電圧は2V以下であり、第2の電源電圧(VDD)は前記主回路(LOG)に供給され、第1の電

50

源電圧(VDDQ)は基板バイアス制御回路(VBC)とスタンバイ制御回路(VBCC)に供給され、第1の電源電圧は第2の電源電圧よりも先に投入され、基板バイアス制御回路は、第2の電源電圧が投入されて一定時間の間は主回路をアクティブ状態に制御することを特徴とする。

【0034】

また、スタンバイ状態からアクティブ状態に遷移する過程での、基板駆動MOSトランジスタのゲート制御信号の出力インピーダンスを、アクティブ状態に完全に遷移した後でのインピーダンスよりも大きく制御することで、スタンバイ状態からアクティブ状態に遷移する遷移速度を調整し、遷移過程での突入電流を小さく制御することができる。

【0035】

さらに、スタンバイ状態からアクティブ状態に遷移する過程での、基板駆動MOSトランジスタのゲート制御信号の出力インピーダンスを、アクティブ状態に完全に遷移した後でのインピーダンスよりも大きく制御することで、スタンバイ状態からアクティブ状態に遷移する遷移速度を調整し、遷移過程での突入電流を小さく制御し、さらに、アクティブ状態に完全に遷移したことは上述の戻された信号によって検出することもできる。

【0036】

ゲート制御信号の振幅は、前記基板駆動トランジスタのゲート耐圧よりも大きくすることができる。

【0037】

さらに、半導体集積回路装置は負電圧発生回路を具備し、基板バイアス制御回路は、スタンバイ状態での負電圧発生回路の出力インピーダンスを、アクティブ状態での負電圧発生回路の出力インピーダンスよりも小さく制御することができる。

【0038】

さらに、負電圧発生回路は第1のチャージポンプ回路と第2のチャージポンプ回路を有し、基板バイアス制御回路は、スタンバイ状態では第1のチャージポンプ回路を用いて負電圧を発生させ、アクティブ状態では第2のチャージポンプ回路を用いて負電圧を発生させ、第1のチャージポンプ回路のポンピングコンデンサの容量は、第2のチャージポンプ回路のポンピングコンデンサの容量よりも小さいことを特徴とする請求項13に記載の半導体集積回路装置。

【0039】

第1と第2の電源電圧を有し、前記負電圧発生回路は第3の電源電圧を発生し、第1の電源電圧は第2の電源電圧よりも大きく、第2の電源電圧は2V以下であり、主回路には第2の電源電圧が供給されており、基板バイアス制御回路と前記スタンバイ制御回路には少なくとも第1の電源電圧が供給されており、スタンバイ状態で基板バイアス制御回路は、PMOSトランジスタの該基板バイアスを第2の電源電圧電位に制御し、NMOSトランジスタの該基板バイアスを第3の電源電圧電位に制御し、(第3の電源電圧) = (第1の電源電圧) - (第2の電源電圧)としてもよい。

【0040】

さらに、負電圧発生回路は、少なくとも一つのチャージポンプ回路と、比較器と、第2の電源電圧の半分の電位を発生する第1の基準電圧回路と、第1の電源電圧と第3の電源電圧の中間電位を発生する第2の基準電圧回路とを具備し、比較器は第1の基準電圧回路の出力電圧と、第2の基準電圧発生回路の出力電圧とを比較し、チャージポンプの少なくとも一つを制御して第3の電源電圧を安定化することができる。

【0041】

第1および第2の基準電圧発生回路は、各々基板端子がソース端子に接続されかつゲート端子がドレイン端子に接続された同一導電型のMOSトランジスタが直列に接続された直列回路から成っており、複数のMOSトランジスタが飽和領域で動作するように選択されていることができる。また、装置はシュミット特性を持つように構成する事もできる。

【0042】

主回路は複数のセルから成っており、該複数のセルの電源ネットは第1配線層によって給

10

20

30

40

50

電されており、さらに、それら第1配線層の上空にはそれらに直行する第2配線層を用いた電源ネットがあり、第1配線層による電源ネットと第2配線層による電源ネットの交点にスイッチセルを配置して、第1配線層による電源ネットと、第2配線層による電源ネットの接続はそのスイッチセル内で行われており、さらに、基板駆動MOSトランジスタが該スイッチセル内に配置されてることを特徴とする。

【0043】

スイッチセルには、さらにデカップリングコンデンサが電源と接地間に配置されることとしてもよい。

【0044】

さらに、第2の配線層による電源ネットの上空には、さらに第2の配線層による電源ネットと平行な第4の配線層による電源ネットがあり、第2の配線層による電源ネットと第4の配線層による電源ネットの接続は、スイッチセル外で行われることとしてもよい。

10

【0045】

また、さらに第5の配線層による電源ネットがあり、第4の配線層による電源ネットと、第5の配線層による電源ネットとの接続はスイッチセル内で行われ、第4の配線層による電源ネットと第5の配線層による電源ネットからなる電源メッシュは、第1の配線層による電源ネットと第2の配線層による電源ネットからなる電源メッシュよりも荒く、第4の配線層の厚さと第5の配線層の厚さは、第1の配線層の厚さと第2の配線層の厚さのいずれよりも厚いことをとしてもよい。

【0046】

20

セルを構成するMOSトランジスタの基板バイアス供給線が、第1配線層による電源ネットと平行して第1配線層によって行われ、第2配線層による電源ネットにも平行して第2配線層によっても行われ、電源ネットと同様に、スイッチセル内で、第1配線層による基板バイアス供給線と、第2配線層による基板バイアス供給線が接続されていることとしてもよい。

【0047】

基板駆動MOSトランジスタのゲート電圧を制御するゲート制御信号が、第2配線層による該電源ネットと平行した、スイッチセル上空の第2配線層によって供給され、スイッチセル内で、基板駆動MOSトランジスタのゲート端子に接続されていることとしてもよい。

【0048】

30

スイッチセル上空の第2配線層によって配線されている基板バイアス供給線とゲート制御信号が、スイッチセル上空の第2配線層によって配線されている電源ネットの間に配置されていることとしてもよい。

【0049】

半導体集積回路装置にはデータバス回路が具備されており、データバス回路のデータフロー方向と複数のセルの第1配線層による電源ネットが、平行していることとしてもよい。

【0050】

基板バイアスが、半導体集積回路装置の選別時には少なくとも一つのMOSトランジスタのしきい値が高くなるように設定することもできる。

【0051】

40

さらに、他の態様では第1のポンピングコンデンサと、第2のポンピングコンデンサと、第1と第2の二つのPチャネルトランジスタと、第1と第2の二つのNチャネルトランジスタと、発振回路からなるチャージポンプ回路において、発振回路の出力が'H'のとき、第1のポンピングコンデンサと第1のPチャネルトランジスタと第1のNチャネルトランジスタを用いて該第1のポンピングコンデンサの電荷をポンピングし、発振回路の出力が'L'のとき、第2のポンピングコンデンサと第2のPチャネルトランジスタと第2のNチャネルトランジスタを用いて該第2のポンピングコンデンサの電荷をポンピングすることを特徴とする。

【0052】

他の態様では、半導体基板上に構成されたトランジスタを含む主回路(LOG)と、基板に印

50

加される電圧を制御する基板バイアス制御回路(VBC)とを有し、主回路は基板に印加される電圧を制御するスイッチトランジスタ(MN1,MP1)を有し、基板バイアス制御回路から出力された制御信号がスイッチトランジスタのゲートに入力されており、かつ、制御信号は基板バイアス制御回路に戻るよう構成されている。

【0053】

また、スイッチトランジスタは矩形状のスイッチセルに配置され、トランジスタは矩形状の標準セルに配置され、スイッチセル1つと標準セル複数が一列に並んで配置することがレイアウト上好適である。

【0054】

さらに、主回路のトランジスタ(MN2,MP2)を駆動する駆動電源(VSS,VDD)の配線と、基板バイアス制御回路から供給される基板バイアス電源(vbp,vbn)の配線が、スイッチセルと複数の標準セルを、セルが並ぶ方向に縦断させることが好適である。

10

【0055】

トランジスタの耐性の点からは、スイッチトランジスタのしきい値は、トランジスタのしきい値より大きいことが望ましい。

【0056】

スイッチトランジスタ(MN1,MP1)は主回路のトランジスタ(MN2,MP2)を駆動する駆動電源(VSS,VDD)と、前記基板バイアス制御回路から供給される基板バイアス電源(vbp,vbn)の間に挿入されることがレイアウト上からはのぞましい。

【0057】

20

さらに、トランジスタのソースまたはドレインが前記駆動電源(VSS,VDD)に接続され、トランジスタの基板電位が基板バイアス電源に接続されることができる。

【0058】

基板バイアス制御回路は、制御信号(vbp,vbn)を出力した後、主回路を経て戻ってきた該制御信号(vbpr,vbnr)が所定電圧になったことを検知し、検知信号(vbbenbr)を形成することで、主回路の動作の安定化を図ることができる。

【0059】

【発明の実施の形態】

図1に本発明の基板バイアス制御回路を用いた半導体集積回路装置100の概念図を示す。VBCは基板バイアス制御回路である。LOGは基板バイアス制御される主回路で、論理回路やメモリ回路で構成されている。VBCCは基板バイアス制御回路の制御を行うスタンバイ制御回路を示している。I/Oは半導体集積回路装置100の外部とのインターフェースを行うI/O回路である。ここでは回路ブロック間の配線で基板制御に特に必要のないものは省略している。また、109a、109bは基板駆動回路を示している。

30

【0060】

電源は3種類あり、それぞれVDDQ、VDD、VWELLで示している。VSS、VSSQはそれぞれ、VDD、VDDQに対する接地電位を示している。VDDQ、VSSQはI/O回路用の電源で、VDD、VSSは主回路用の電源、VWELLは基板バイアス制御回路VBC用の電源である。

【0061】

図1に示したように基板バイアス制御回路VBCにはVDD、VSSも供給されている。また、基板バイアス制御回路VBCは内部に負電圧発生回路を内蔵しており、VDDやVDDQとは逆極性の負電圧VSUBを発生している。ここでは以下、VDDQ=VWELL=3.3V、VDD=1.8V、VSUB=-1.5Vとし、電源電圧として2種類を仮定する。

40

【0062】

101、102、103、104は半導体集積回路装置100のパッドを示しており、102は3.3VのVWELL電源、103は1.8VのVDD電源、104は0VのVSS(接地)が給電される。101はVSUBパッドであるが、基板バイアス制御回路VBCの内部で発生した負電圧を出力するためのパッドとして使用されている。半導体集積回路装置100のウェハテスト時にパッド101の電圧をモニタすることで基板バイアス制御回路VBC内の負電圧発生回路の不良を検出できる。通常、102から104までのパッドは半導体集積回路装置100の外部ピンにボンディング接続されるが、101

50

は外部ピンにはボンディング接続されないこととする。このようにすると、このテスト方法により外部ピン数が節約できる。

【 0 0 6 3 】

vbbenbは基板バイアス制御開始信号、vbbenbrは基板バイアス制御中信号である。一方、resetはリセット信号で半導体集積回路装置100のリセット信号に接続される。vbpはPMOS基板バイアス線、vbnはNMOS基板バイアス線、cbpはPMOS基板制御線、cbnはNMOS基板制御線、cbprはPMOS基板制御リターン線、cbnrはNMOS基板制御リターン線である。基板制御リターン線cbprおよびcbnrは、cbpおよびcbn信号の主回路内を通過した後の戻り信号であり、ネットは同一ネットになる。すなわち、cbpおよびcbnのドライブ電圧はある遅延の後、cbprおよびcbnrにそれぞれ表れることになる。(後述の図2参照)。基板駆動回路109a、109bのそれぞれには、cbp、vbp、cbn、vbnが接続されている。

10

【 0 0 6 4 】

図2に上記vbpからcbnrまでの6本の基板バイアス制御線の主回路LOG内の接続方法を示す。VBCRはリターンセルで、内部でPMOS基板制御線cbpとPMOS基板制御リターン線cbprを接続し、NMOS基板制御線cbnとNMOS基板制御リターン線cbnrを接続している。

【 0 0 6 5 】

ncellは標準セルを示している。ここでは全てのncellは簡単のためPMOS MP2、NMOS MN2で構成されたCMOSインバータで示している。もちろん、それぞれ独立にNANDゲートやラッチなどのより複雑なセルでもよい。図2のようにncellを構成しているMOSトランジスタの基板電位はPMOSについてはvbpに、NMOSについてはvbnに接続している。

20

【 0 0 6 6 】

swcellはスイッチセルで、PMOS MP1と、NMOS MN1で構成された基板駆動回路(図1の109a、109bに相当する)と、デカップリングコンデンサCP1、CP2で構成されている。MP1のゲートはcbpに、ドレインはVBPに、ソースはVDDに接続されている。したがって、cbpがVDD-Vthp (VthpはMP1のしきい値電圧の絶対値)よりも低い電圧の時、MP1はオンし、vbpはVDD電位(1.8V)に駆動されることになる。

【 0 0 6 7 】

一方、MN1のゲートはcbnに、ドレインはVBNに、ソースはVSS(0V)に接続されている。したがって、cbnがVthn (VthnはMN1のしきい値電圧の絶対値)よりも高い電圧の時、MN1はオンし、vbnはVSS電位(0V)に駆動されることになる。

30

【 0 0 6 8 】

一般に、一個以上の多くの数のncellが配置される。また、swcellについても一個以上の多くのswcellが配置される。ncellの数を増やすことでより複雑な回路を主回路LOG上に集積できる。また、swcellの数を増やすことで、MP1およびMN1をオンした時により低インピーダンスにvbp、vbnをそれぞれVDD、VSSに駆動できる。

【 0 0 6 9 】

また、スイッチセルswcell内にデカップリングコンデンサを内蔵したのとは独立に、スペースセルにもデカップリングコンデンサを内蔵させることができる。スペースセルとは例えば標準セルncellを並べて配置した際に、配線領域確保のために生じたスペースに挿入されるセルである。スペースセルにもデカップリングコンデンサを内蔵させることで、チップ全体のデカップリングコンデンサの容量が増加し、電源ノイズをさらに低減することができる。本来、スペースセルは配線層だけの空きスペースであるため、ここにコンデンサを入れることで面積の増加の恐れはない。

40

【 0 0 7 0 】

swcell内のMP1とMN1はncell内のMOSトランジスタよりも高しきい値にする必要がある。これは、ncell内のMOSトランジスタの基板電位(それぞれvbpあるいはvbnに接続されている)はそのソース電位とは独立しているが、swcell内のMP1とMN1の基板電位は常にドレイン電位と同じであり、基板バイアス効果が見込めず、サブスレッショルドリーク電流が流れるからである。

【 0 0 7 1 】

50

たとえばNMOSトランジスタMN1、MN2について、 $v_{bp}=3.3V$ 、 $v_{bn}=-1.5V$ 、 $VDD=1.8V$ 、 $VSS=0V$ と仮定すると、ncell内のMN2のソース電位S、ドレイン電位D、基板電位Bは、それぞれ $S=0.0V$ 、 $D=1.8V$ 、 $B=-1.5V$ となり、基板バイアス効果によりMN2のしきい値電圧が上昇し、サブスレッショルドリーク電流が小さくなる。ところが、swcell内のMN1のソース電位S、ドレイン電位D、基板電位Bは、それぞれ $S=0.0V$ 、 $D=-1.5V$ 、 $B=-1.5V$ となり、基板バイアス効果によるしきい値電圧の変化が表れない。したがって、MN1には大きなサブスレッショルドリーク電流がVSSと v_{bn} の間で流れることになる。

【0072】

swcell内のMP1とMN1のしきい値電圧をncell内のMOSトランジスタよりも高くする方法には、インプラ量を変えたり、ゲート長(L)サイズを変えたり、ゲート酸化膜厚を変えたりすることで実現できる。この方法は特に限定しないが、ここではLサイズとゲート酸化膜厚を変えることで実現することにする。この方法により、マイコンの外部との入出力部分の回路(以下、I/O回路と記す)に使用される高耐圧MOSトランジスタが転用できる。

【0073】

図3にI/O回路の実施例を示す。ここでは1ビット分のみを示している。入出力回路はチップ内部と外部の信号を入出力端子PADを介して行う。SELが'L'のときPADは入力端子となり、SELが'H'のときは出力端子となる。LC1はレベル変換回路であり、VDDの振幅の信号を振幅の大きなVDDQの振幅の信号に変換する。従って、レベル変換セルLC1と入出力端子PAD間のトランジスタはVDDQで駆動される厚酸化膜トランジスタで構成する。ここでは、PULLがプルアップする必要があるときに'L'にしてPMOSのプルアップトランジスタでプルアップする。このPMOSも厚酸化膜トランジスタで構成する。

【0074】

入力側については、外部から入力されるVDDQの振幅を有する信号を、110Pおよび110Nで構成されるインバータでVDDの振幅に変換する。したがって、この二つのトランジスタはレベル変換前の信号を取り扱うので厚酸化膜トランジスタで構成する。抵抗111R、ダイオード111D1、111D2、トランジスタ111は入力保護回路である。なお、ダイオード111D1および111D2はMOSトランジスタで構成してもよい。この入力保護回路中のトランジスタは厚酸化膜トランジスタで構成する。

【0075】

以上で示した厚酸化膜トランジスタはそれほど高速なスイッチング速度を要求しないことと、扱う電圧がVDDに比較して高いことから、しきい値電圧を高く設定できる。ncellで使用するトランジスタよりも高くできる。これによりこれらの厚酸化膜トランジスタのオフ時のサブスレッショルドリーク電流を小さく抑えることができる。この厚酸化膜トランジスタを図2のスイッチセルswcellを構成するMP1およびMN1に使用することができる。このようにすれば、新たにMP1、MN1用にプロセスを複雑化する必要がなくなる。

【0076】

図4で基板バイアス制御回路VBCの内部構成を示す。4つの回路ブロックからなり、VBC80は電源としてVDDとVSSが、VBC30についてはVWELLとVSSが、VBC85についてはVDDとVSUBが、VSUBGENにはVWELL、VDD、VSSがそれぞれ供給されている。したがって、VBC30、VBC85、VSUBGENの内部回路にかかる電源電圧は高々3.3Vである。このようにVDDQ=VWELLとすることで、I/O回路に供給されている電源もVDDQとVSSQで3.3Vなことから、I/O回路に使用しているデバイスと基板バイアス制御回路に使用するデバイスを共通化できる。

【0077】

一方、VBC80の電源は1.8Vである。したがって、VBC80からVBC30、VBC85への信号線はデュアルレール信号(正論理信号と負論理信号を使用するペアで使用するバランス信号)を用い、VBC30、VBC85内部でレベル変換(1.8V振幅信号を3.3V振幅信号に変換)している。

【0078】

VBC80は基板バイアス制御回路VBCの外部からの入力信号cbpr、cbnr、vbbenb、resetとVBC30、VBC85との間のインターフェース回路ブロック、VBC30はPMOSの基板バイアスを制御する回路ブロック、VBC85はNMOSの基板バイアスを制御する回路ブロック、VSUBGENは負電圧

10

20

30

40

50

発生回路ブロックである。

【 0 0 7 9 】

図5に動作波形例を示す。電源I/O回路用の電源VDDQ、基板バイアス制御回路VBC用の電源VWELLが投入された後に主回路用の電源VDDが投入される。これによって、負電圧発生回路ブロックVSUBGENが起動し、負電圧VSUBが生成される。一方、電源VDDが投入されると一定時間の間d_reset信号がアサートされる。この信号がアサートされると、基板バイアス制御回路は主回路の基板バイアスを引かない(以下、基板あるいは基板バイアスを引くとは、PMOSについてはその基板バイアスをVDD電位に、NMOSについてはその基板バイアスをVSS電位にすることとする。また、基板あるいは基板バイアスを引くとは、PMOSについてはその基板バイアスをVDD電位より高い電位に、NMOSについてはその基板バイアスをVSS電位より低い電位にすることとする)状態すなわちアクティブ状態に最優先で遷移する。

10

【 0 0 8 0 】

この状態では、PMOS基板バイアス線vbp=1.8V、NMOS基板バイアス線vbn=0V、PMOS基板制御線cbp=0V、NMOS基板制御線cbn=1.8Vになる。基板制御リターン線cbpr、cbnrはcbp、cbn信号の戻り信号なのでcbpr=cbp=0V、cbnr=cbn=1.8Vとなる。

【 0 0 8 1 】

電源VDDが投入されて一定時間後、d_reset信号がネゲートされると、vbbenb信号によって基板バイアスが制御される。vbbenbが3.3Vの時は基板が引かれるスタンバイ状態に遷移し、0Vの時は基板が引かれないアクティブ状態に遷移する。

【 0 0 8 2 】

すなわち、vbbenbが0Vから3.3Vに遷移すると、vbp=cbp=3.3V、vbn=cbn=-1.5Vに遷移する。その後、cbpr=cbp=3.3V、cbnr=cbn=-1.5Vに遷移する。vbbenbrはcbpr=3.3V、cbnr=0Vで3.3Vになる。したがって、vbbenbが0Vから3.3Vに遷移するとある時間が経過した後に(cbpあるいはcbnの戻り信号cbpr、cbnrが戻ってきてから)3.3Vになる。

20

【 0 0 8 3 】

vbbenbが3.3Vから0Vに遷移すると、vbp=1.8V、cbp=0V、vbn=0V、cbn=1.8Vに遷移する。その後ある時間が経過した後に、cbpr=cbp=0V、cbnr=cbn=1.8V、vbbenbr=0Vに遷移する。このように、vbbenbrはvbbenbの戻り信号として働く。さらに、図2で説明したように基板電位はcbp、cbn電位によって決定されるため、cbp、cbn電位から得られるvbbenbrをモニターすることで基板の電位状態を検出したことと等価なことができる。

30

【 0 0 8 4 】

図6は動作波形の他の例である。図5と異なる部分のみ示している。図6のようにcbp、cbnを制御した場合は制御回路が若干複雑になるが、アクティブ時に図2のMP1、MN2のソース端子とゲート端子にかかる電圧を大きく取ることができ、より低インピーダンスにvbp、vbnを駆動できる。この場合、ゲート制御信号に相当するcbp、cbnの振幅は、基板駆動トランジスタMP1、MN1のゲート耐圧よりも大きくなる。しかし、図6から分かるように、cbp、cbnをゆっくりと変化させることにより、MP1、MN1のゲート端子・ドレイン端子およびゲート端子・ソース端子間の電圧は高々3.3Vとなり、ゲート耐圧以下におさめることができる。

【 0 0 8 5 】

以下にそれぞれの回路ブロックの詳細回路図例を示す。以下の各回路ブロックの例は簡単のため図4の波形を実現する回路例を示すこととする。

40

【 0 0 8 6 】

図7はVBC80の回路図である。120は2入力NAND、121はシュミット特性を持つ2入力AND、122はインバータ、123はNOR、124はシュミット特性を持つバッファ、125は差動出力をもつバッファを表している。126はパワーオンリセット回路で、その出力127は電源VDDが投入されてから徐々に0Vから1.8Vに充電される。よって、121の出力は一定時間0Vを出力し、一定時間後1.8Vを出力することになる。この出力によって図5で示したように電源VDD投入時にd_reset信号が一定時間アサートされる。図7ではパワーオンリセット回路126は抵抗とキャパシタによる簡単なものを使用しているが、他の回路方式でもよい。要は電源VDDが

50

安定化するまでを検出できるものであればよい。

【 0 0 8 7 】

d_vbbsnb、d_cbpr、d_cbnrはそれぞれvbbsnb、cbpr、cbnrをデュアルレール化した信号であるが、パワーオンリセット期間は基板制御状態がアクティブ状態になるようにしている。d_vbbsnbrは図5のvbbsnbrを作るためのデュアルレール信号であり、cbpr、cbnrから作っている。

【 0 0 8 8 】

図8はVBC30の回路図である。130はレベル変換回路で、d_vbbsnbとd_resetのVDDからVSSまでの1.8V振幅のデュアルレール信号から、VWELLからVSSまでの3.3V振幅の信号133を作っている。133が'L'になるのはアクティブ状態あるいはパワーオンリセット期間の時である。

10

【 0 0 8 9 】

131もレベル変換回路で、d_cbprとd_resetのVDDからVSSまでの1.8V振幅のデュアルレール信号から、VWELLからVSSまでの3.3V振幅の信号134を作っている。134が0Vになるのはcbprが0Vあるいはパワーオンリセット期間の時である。133が0Vになることで、vbpはハイインピーダンス状態になり、cbpは0Vになり、cbpsnbrは0Vになる。cbpが0Vになると主回路内の全swcell内のMP1がオンし、vbpは1.8Vに駆動される。

【 0 0 9 0 】

132もレベル変換回路で、図7で説明したVBC80からのd_vbbsnbr信号を3.3V振幅のvbbsnbr信号として出力している。

20

【 0 0 9 1 】

図9はcbpの遷移の様子を示したものであるが、cbpの出力インピーダンスは2段階に変化する。cbpは133信号によって制御されるインバータ135で駆動されるが、133が0Vでかつ134が0Vの時はNMOS 136がオンしてNMOSによって駆動される。ここではインバータ135内のNMOSのゲート幅よりもNMOS 136のゲート幅を十分に大きくしておく。アクティブ状態に遷移し、133が0Vになるとインバータ135によってcbpは0Vに駆動される。しかし、cbpは主回路全体に配線されており、その負荷容量は大きなものになっている。このことからcbpはゆっくりと0Vに駆動されることになる。その遷移をcbpの戻り信号cbprの遷移によって検出し、d_cbpr信号が変化する。これにより134が0Vになり、NMOS 136がオンする。これによってcbpは低インピーダンスに0Vに駆動される。このようにしてアクティブ状態ではcbpは低インピーダンスに駆動され、主回路の動作によるノイズの影響を低減できる。また、cbpが0Vに駆動されると、主回路内の全swcell内のMP1がオンするが、cbpの0Vへの駆動を図8(B)のようにゆっくりと駆動することで全swcell内のMP1の同時スイッチングノイズが低減できる。

30

【 0 0 9 2 】

図10はVBC85の回路図である。140はレベル変換回路で、d_vbbsnbとd_resetのVDDからVSSまでの1.8V振幅のデュアルレール信号から、VDDからVSUBまでの3.3V振幅の信号142を作っている。142が1.8Vになるのはアクティブ状態あるいはパワーオンリセット期間の時である。

【 0 0 9 3 】

141もレベル変換回路で、d_cbnrとd_resetのVDDからVSSまでの1.8V振幅のデュアルレール信号から、VDDからVSUBまでの3.3V振幅の信号143を作っている。143が1.8Vになるのはcbnrが1.8Vあるいはパワーオンリセット期間の時である。142が1.8Vになることで、vbnはハイインピーダンス状態になり、cbnは1.8Vになる。cbnが1.8Vになると主回路内の全swcell内のMN1がオンし、vbnは0Vに駆動される。

40

【 0 0 9 4 】

図11はcbnの遷移の様子を示したものであるが、cbnの出力インピーダンスはcbpと同様に2段階に変化する。cbnは143信号によって制御されるインバータ144で駆動されるが、142が1.8Vでかつ143が1.8Vの時はPMOS 145がオンしてPMOS 145によって駆動される。ここではインバータ144内のPMOSのゲート幅よりもPMOS 145のゲート幅を十分に大きくしておく

50

。アクティブ状態に遷移し、142が1.8Vになるとインバータ144によってcbnは0Vに駆動される。しかし、cbnは主回路全体に配線されており、その負荷容量は大きなものになっている。このことからcbnはゆっくりと0Vに駆動されることになる。その遷移をcbnの戻り信号cbnrの遷移によって検出し、d_cbnr信号が変化する。これにより143が1.8Vになり、PMOS 145がオンする。これによってcbnは低インピーダンスに1.8Vに駆動される。このようにしてアクティブ状態ではcbnはcbpと同様に低インピーダンスに駆動され、主回路の動作によるノイズの影響を低減できる。また、cbnが1.8Vに駆動されると、主回路内の全swcell内のMN1がオンするが、cbnの1.8Vへの駆動を図11のようにゆっくりと駆動することで全swcell内のMN1の同時スイッチングノイズが低減できる。

【0095】

10

以上の説明で明かなように、本発明の基板バイアス制御方式では、基板の駆動インピーダンスは、基板を引かないアクティブ状態(全swcellによる基板駆動)の方が、基板を引くスタンバイ状態(VBCによる基板駆動)よりも小さくなっている。したがって、前述のように電源投入時に基板は引かれないアクティブ状態に遷移することで、基板電位が不安定なことから生じる電源投入時の電源間貫通電流増加問題やラッチアップ問題が回避できる。また、アクティブ時には主回路が動作して基板ノイズが多く発生するが、基板の駆動インピーダンスを低くすることで基板ノイズを低減することができ、主回路の誤作動やラッチアップ等を防ぐことができる。

【0096】

図12に負電圧発生回路VSUBGENの内部構成を示す。3つの回路ブロックからなり、VSUBSENは基板バイアスセンス回路、PMP1はチャージポンプ回路1、PMP2はチャージポンプ回路2である。基板バイアスセンス回路VSUBSENはVSUB電位をモニタし、なおかつvbpenb信号によってアクティブ状態とスタンバイ状態をモニタして、 $VSUB=VDD+VSS-VWELL$ を満たすように制御信号pmp1enb、pmp2enbを用いてPMP1およびPMP2を制御する。

20

【0097】

PMP1はpmp1enb信号がアサートされれば動作し、PMP2はpmp2enbがアサートされれば動作する。PMP1とPMP2の違いがポンピング能力の違いで、PMP1の方がPMP2と比較してポンピング能力を大きくしている。PMP1とPMP2のどちらを使用するかはvbpenb信号により決定され、アクティブ状態ではPMP2が使用され、スタンバイ状態ではPMP1が使用される。

【0098】

30

アクティブ状態ではVSUB電位は基板バイアス制御回路VBC内でのみ使用されるので、それほどVSUBには電流が流れない。このため、ポンピング能力の小さいPMP2が使用される。スタンバイ状態ではVSUB電位は主回路全体に供給されるので、VSUBには接合電流等の電流が流れる。このため、ポンピング能力の大きなPMP1が使用される。

【0099】

図13に本発明のチャージポンプ回路1 PMP1の回路図を示す。OSCはリングオシレータで、pmp1enbがアサートされたときのみ発振し、VSUBを負電圧に充電する。

【0100】

図14は伊藤清男著、「超LSIメモリ」、培風館、p266に記述されているチャージポンプ回路にPMOS 162および163を追加したもので、160、161のPMOSを用いてリングオシレータの1サイクル期間中に2回チャージポンプを行うチャージポンプ回路である。本発明ではさらに、図13に示すようにNMOS 164、165を追加している。これによって、PMOS 160、161のしきい値の影響をなくし、低電圧動作でも十分深いVSUBが得られる。VWELLが3.3Vの時、図14の構成では $VSUB=-3.3+v_{thp}$ (v_{thp} =PMOS 160、161のしきい値の絶対値) までしか得ることができず、せいぜい $VSUB=-2.3V$ 程度であるのに対して、本発明の方式では、 $VSUB=-3.3V$ 程度まで得ることができる。

40

【0101】

チャージポンプ回路2 PMP2の回路図は特にここでは示さないが、図13でコンデンサとして使用しているPMOS CP3、CP4を小さくしてコンデンサの容量を小さくすればよい。もちろんこのCP3あるいはCP4に合わせてその他のMOSの大きさを最適化すればよい。

50

【0102】

図15に基板バイアスセンス回路VSUBSENの回路図を示す。VREFGENは基準電圧発生回路で、150、151で示されたNMOSの直列接続により $VREF=(VDD-VSS)/2$ の出力を得ている。V1GENはV SUB電位のセンス回路で、152から155までのNMOSの直列接続により、 $V1=(VWELL-VSUB)/2$ の出力を得ている。それぞれのNMOSのソース・ドレイン間には約1V程度の電位差のみがかかるようにし、さらにゲート長を長くする。これによって、VDDからVSSあるいはVWELLからV SUBへの貫通電流を小さく抑えることができる。また、飽和領域で動作しているのでばらつきに対して鈍感にVREFあるいはV1が得られる。さらに、本発明ではPMOSではなくNMOSを使用している。NMOSはPMOSよりも飽和特性が良いので、ソース・ドレイン間に約1V程度の電位差しかかからなくても各NMOS間のばらつきに対してより鈍感にVREFあるいはV1が得られる。

10

【0103】

AMP1、AMP2、AMP3はそれぞれ差動アンプで、一つの差動アンプを構成している。このAMP1、AMP2、AMP3からなる差動アンプには、VREFとV1が入力され、 $VREF<V1$ の時にはpmp1enbあるいはpmp2enbがアサートされる。これによりVSUBは負電圧方向に充電される。 $VREF>V1$ の時にはpmp1enbあるいはpmp2enbはネゲートされる。VSUBにはVSSあるいはVWELL、VDD方向に何らかのリーク電流があるので、pmp1enbとpmp2enbの両方がネゲートされているとVSUBは正電位方向に放電される。このpmp1enbあるいはpmp2enbのアサート・ネゲートを繰り返すことで、 $V1=VREF$ 、すなわち、 $VSUB=VDD-VSS-VWELL$ が保たれることになる。なお、前述のように、vbpenbが3.3Vの時(スタンバイ状態時)にはpmp1enbがアサートされ、vbpenbが0Vの時(アクティブ状態時)にはpmp2enbがアサートされる。

20

【0104】

また、AMP1とAMP2の間にはフィードバック経路があり、AMP1、AMP2、AMP3からなる差動アンプはヒステリシス特性を持っている。ここでいうヒステリシス特性とは差動アンプの差動点がアンプの出力によって変化することをいい、いわゆるシュミット特性を持つことである。これにより、 $V1=VREF$ 付近で過度にpmp1enbあるいはpmp2enbがアサート・ネゲートを繰り返すことを防いでおり、消費電力の増加を防いでいる。

【0105】

さらにまた、vbpenbがアサートされたときとネゲートされたときで、AMP1からAMP3までの差動アンプの動作電流を変えている。vbpがアサートされるスタンバイ時にはVSUBには主回路のvbnが接続されるため大きな基板容量が接続されることになる。したがって、VSUBはゆっくりと変化する。AMP1からAMP3は高速に動作する必要がないので、動作電流を制限できる。これによりAMP1からAMP3の消費電力を削減することができる。一方、vbpがネゲートされるアクティブ時には、VSUBには基板バイアス制御回路VBCだけが接続されるため、比較的小さな容量がVSUBに接続されることになる。したがって、VSUBはすばやく変化し、AMP1からAMP3は高速に動作する必要がある。また、アクティブ時にはそれほど消費電力が気にならない。このため、AMP1からAMP3の動作電流を大きくし、高速動作させている。

30

【0106】

以下、基板バイアス給電方法のより詳しい実施例について説明する。

【0107】

図16にncellおよびswcellのレイアウト例を示す。swcellは縦方向(Y方向)に連続して配置する。また、swcellとncellのセル高さは同じ高さに統一し、swcellとswcellの横方向(X方向)の間隔Lはある値以内で可変にする。もちろん一定間隔にしてもよいがある程度可変にした方がよりレイアウトの自由度が増す。どちらにしても間隔Lは以下の項目を考慮して決めればよい。

40

【0108】

- (1)電源線のインピーダンス
- (2)電源配線のマイグレーション
- (3)ncellが動作することでvbpやvbnに生じる基板ノイズ

図17にncellのレイアウト例を示す。図2の場合と同様にインバータを例にしている。vbp

50

、vbn、VDD、VSSは4本の平行した第一層メタル配線(以下M1と記す)によって給電されている。vbp、vbnはそれぞれ表面高濃度層によっても給電されている。Hはセル高さで、縦方向の基本繰り返し単位を示している。この高さを基準に縦方向に鏡面对称に配置される。これによってvbpおよびvbnが上下の隣合うncellと共有することができ、面積を削減できる。

【0109】

図18に図17のA-Bラインでの断面図を示す。N-wellはMP2を形成するためのN型ウェル、P-wellはMN2を形成するためのP型ウェルである。Deep-NはN-well、P-wellよりも深いところにあるN型ウェルであり、いわゆる3重ウェル構造になっている。

【0110】

図19にswcellのレイアウト例を示す。セルの高さはncellと同様にHで、M1によるvbp,vbn,VDD,VSSの給電線はncellと同じ位置にある。図16に示したように、swcellは縦方向に連続し、横方向にはある間隔以内の間隔で並んでいる。このような配置にすることでこのswcellの場所に電源強化線を配置することができる。図19で、縦方向に平行して配線されている第二層メタル配線(以下、M2と記す)がこの電源強化線2本である。この2本の電源強化線の間に、vbp、vbn強化線2本と、cbp、cbn2本が平行して配置されている。両端の電源強化線VDD、VSSによって、比較的インピーダンスの高い4本の基板バイアス制御線を外来ノイズから守ることができる。

【0111】

MP1は6個のトランジスタに分離されて形成され、そのゲートはcbpに、ドレインはvbpに、ソースはVDDにそれぞれ接続されている。また、MN1は3個のトランジスタに分離されて形成され、そのゲートはcbnに、ドレインはvbnに、ソースはVSSにそれぞれ接続されている。デカップリングコンデンサCP1、CP2はそれぞれ2個のトランジスタに分離されて、MP1およびMN1の両端に形成されており、MOSゲート容量を用いて容量が作られている。

【0112】

デカップリングコンデンサCP1およびCP2の大きさとMP1およびMN1の大きさの比は、特に限定しない。極端な例ではデカップリングコンデンサCP1およびCP2のどちらか一方あるいは両方を無くしてもよい。デカップリングコンデンサを大きくすれば、電源ノイズを低減できる。一方、MP1およびMN1を大きくすればマイコンが通常状態の時、基板バイアスをより低インピーダンスで電源と接続することができ、ノイズに対して強くなり、ラッチアップも起こり難くなる。

【0113】

M1のVDD線とM2のVDD線との間のVIAホールおよび、M1のVSS線とM2のVSS線との間のVIAホールは簡単化のため省略しているが、それぞれの配線の交点にVIAホールを設ければよい。

【0114】

図20に図19のA-Bラインでの断面図を示す。図18と同様に、P-wellはMN1を形成するためのP型ウェルであり、Deep-NはP-wellよりも深いところにあるN型ウェルであり、いわゆる3重ウェル構造になっている。ここでは図19で省略したM1のVSS線とM2のVSS線との間のVIAホールも図示している。図2の説明のところで記述したようにMN2には厚酸化膜トランジスタを用いて、しきい値を高くしている。

【0115】

図21に電源配線VDD、VSSおよび基板バイアス制御線vbp,vbn,cbp,cbnの配線方法のより具体的な例を示す。同図は図16に上記配線を追加したものである。横方向にはM1で配線されたVDD,VSS,vbp,vbnが平行に配線されている。図17で説明したようにvbpは上下二つのセルによって共有され、その上下にVDDが平行して配線されている。また、vbnも上下二つのセルによって共有され、その上下にVSSが平行して配線されている。もちろん、VDD、VSSはvbp、vbnよりも太くする方がよい。

【0116】

図19で説明したように、縦方向にはM2で配線されたVDD,VSS,vbp,vbn,cbp,cbnがswcell上に配線されており、M1とM2の交点で、それぞれVDD、VSS、vbp、vbnがメッシュ状に接続さ

10

20

30

40

50

れている。

【0117】

図22は電源VDD、VSSの補強の様子を示したものである。図21の基本繰り返し単位にさらに第四メタル配線層(以下M4と記す)、第五メタル配線層(以下、M5と記す)で形成された電源線VDD、VSSがメッシュ状に配線されている。

【0118】

縦方向に配線されているM2のVDD、VSSの上空にM4で配線されたVDD、VSSを配線しているが、この両者を接続するためには第三メタル配線層(以下、M3と記す)が必要である。この接続をすべてのswcell上で行うとM3が縦方向に配線されることになり、M3の横方向のパスが無くなってしまうという問題がある。

10

【0119】

図22ではM2とM4の電源線の接続を、swcell2あるいはswcell3で示した3つごとのswcell上でのみ行っている。このようにすることによって、M3の横方向の配線パスを確保することができる。

【0120】

M5の電源線はswcell3で示した6つごとのswcell上でのみ行っており、swcell3上のM4の電源線との交点で接続している。

【0121】

上記のようにM1、M2の細かいピッチの電源メッシュを、M4、M5の荒いピッチの電源メッシュで補強することで、電源線VDD、VSSのインピーダンスを下げることができる。

20

【0122】

なお、図22ではM4の縦方向の電源線は全swcell上で配線しているが、横方向に2つごとあるいは3つごとのように荒く配線してもよい。電源線のインピーダンスは高くなるが、M4の縦方向のパスを確保することができる。

【0123】

図23に、図22に示したswcellの配置とウェルの関係を示す。P型ウェルP-wellとN型ウェルが交互に帯状に対置されており、ncell二つで一つのウェルを共有するように配置されている。

【0124】

図24にメモリ回路のswcellと電源線のレイアウト例を示す。ここではワード線およびビット線は図示していないが、横方向にワード線が、縦方向にビット線が配置されている。メモリマットの電源線はメモリセル内は横方向に走っているが、それらをメモリマットの両端の電源線200、201、202で補強している。203は各ワードドライバおよびワードデコーダへ電源を供給する電源線を、204は各センスアンプへ電源を供給する電源線を示している。swcellは以上の200から204までの電源線に図24の様に配置している。

30

【0125】

通常、複数のワードドライバおよびワードデコーダの内、同時に動作するものは一個あるいは二個程度である。したがって、基板ノイズの量もそれほど多くはないため図のように203の両端に二個のswcellを配置しただけになっている。

【0126】

40

また逆にセンスアンプは同時に多数のセンスアンプが動作する。しかし、センスアンプ内部の電位は'L'から'H'に遷移するノードの数と'H'から'L'に遷移するノードの数がほぼ同じ数だけある。そのため、同時に多くのセンスアンプが動作しても基板ノイズはそれほど大きくなる。ここでは図のように電源線204の両端以外にもswcellを配置し、基板ノイズを低減している。

【0127】

その他、swcellの配置方法は各種考えられるが、同一ウェル上のデバイスが同時に動作する割合が多いほど、そのウェル上には多くのswcellを配置すればよい。また、一つのウェル内にある拡散層において、その拡散層の電位変化を $|NH-NL|/NA$ (NH=電源に接続されている拡散層を除く拡散層の面積、NH=電位が'H'から'L'に変化する拡散層の面積、NL=電位

50

が'L'から'H'に変化する拡散層の面積)によって評価し、それを基準にswcellの数、swcellの間隔L、およびswcell内のMOSトランジスタの大きさを決めればよい。要はなるべく|NH-NL|/NAの値が小さくなるようにすればよい。

【0128】

例えば、データパスのような規則的なデータフローがある回路の場合、データパスのデータフロー方向が図22でX方向になるようにすればよい。同時に動作するセルが複数のウェルに分散されるため上記|NH-NL|/NAが小さくなる。

【0129】

図25は本発明の半導体集積回路装置100の断面図を示している。図18で示したように、302、304、306、308、310で示したNはN-wellと同じでPMOSトランジスタを形成するためのN型ウェル、301、303、305、307、309、311で示したPはP-wellと同じで、NMOSトランジスタを形成するためのP型ウェルである。312および313で示したDeep-NはN、Pよりも深いところにあるN型ウェルであり、いわゆる3重ウェル構造になっている。

10

【0130】

Deep-N 312と313は310のp基板および307のPウェルによって電氣的に分離されている。したがって、302、304、306、308、310上に形成されたMOSトランジスタAの基板電位と、301、303、305、307、309、311上に形成されたMOSトランジスタBの基板電位とは独立した電位を与えることができる。また、MOSトランジスタAで発生したノイズ等がMOSトランジスタBに影響することを低減することができる。

20

【0131】

図26は本発明の半導体集積回路装置のDeep-Nの構造を示したものである。CPGはクロック制御部で、PLL(フェーズロックドループ)等のアナログ回路を含んでいる。TLBはアドレス変換部、CACHEはキャッシュメモリ、CPUは中央演算処理装置、FPUは浮動小数点演算器、LOG1はランダムロジック1、LOG2はランダムロジック2、PADはI/O部を示している。このように各回路ブロックを異なるDeep-N上に形成している。

【0132】

図25で説明したように各回路ブロックで発生したノイズが他のブロックに影響するのを低減できる。例えばPADは外部ピンを内部の信号振幅よりも大きな振幅で駆動することから大きなノイズを発生する。このノイズをCPG等のアナログ回路に影響するのを防ぐことができる。

30

【0133】

また、基板電位をそれぞれ独立して与えることができるため、たとえばLOG2にはvbp,vbn,cbp,cbnによる基板制御を行わない回路を配置できる。すなわち、電源と基板電位を接続した(VDD=vbp、VSS=vbn)回路を配置できる。

【0134】

図27はDeep-NとDeep-Nとの間に配置したガードバンドを示したものである。図27のようにDeep-NとDeep-Nとの間にガードバンドgband1を配置する。

【0135】

図28に断面図を示す。Deep-Nの間にあるPウェル307をP+拡散層314を通してVSS電位に接地する。Deep-N間のノイズの伝搬をさらに小さくすることができる。たとえば、P-well 305上のMOSで発生した基板ノイズは、Deep-N 312のインピーダンスがそれほど低くないために、容量結合でDeep-N 312にノイズとなって伝搬する。このノイズは同様に容量結合によりp基板 300に伝搬しようとするが、p基板はガードバンドで低インピーダンスに接地電位に固定されている。したがって、p基板に現れるノイズは小さくなる。このようにして、302、304、306、308、310上に形成されたMOSトランジスタからのノイズの、301、303、305、307、309、311上に形成されたMOSトランジスタへの伝搬が減少される。

40

【0136】

図29はcbp、cbprの半導体集積回路上でのレイアウトイメージと、図2のリターンセルVBCRの位置を示したものである。cbn、cbnrについては同様にできるのでここでは省略した。

図21で示したようにvbpおよびvbnはswcellを並べることによってメッシュ状に配線される

50

が、cbp、cbnはメッシュ状には配線されず、ストライプ状に配線される。図29ではswcellを配置されることで配線されるストライプ状の配線をシャントするように接続している様子を示している。また、リターンセルは入力されるcbp、cbnをcbpr、cbnrとして基板バイアス制御回路VBCに戻すためのセルで、戻すタイミングを各swcell内で、cbpの伝搬時間の一番遅いswcellのcbp到達タイミングよりも遅いタイミングでcbprが戻せるように配置する。たとえば基板バイアス制御回路VBCから一番遠い場所に配置すればよい。

【0137】

以上の実施例では基板バイアスに印可する電位は、アクティブ時には1.8V、0.0V、スタンバイ時には3.3V、-1.5Vであるが特に限定しない。アクティブ時に適当な電位を基板バイアスに印可して、MOSトランジスタのしきい値ばらつきを調節できるようにしてもよい。

10

【0138】

また、主回路を複数の回路ブロックに分けて、それぞれの回路ブロックにVBC30、VBC85等の制御回路を個別に設け、独立してアクティブ状態とスタンバイ状態を設けてもよい。それぞれの回路ブロック毎に制御すれば動作していない回路ブロックをスタンバイ状態にでき、よりきめ細かく消費電力が制御できて低電力化できる。また、回路ブロックによっては、スタンバイ状態でも基板バイアスを引かなくてもよい場合もある。それは例えばその回路ブロックが高しきい値なMOSトランジスタで構成され、サブスレッショルドリーク電流が無視できる場合である。

【0139】

また、以上の実施例ではMOSトランジスタのしきい値は回路の動作モードがアクティブ時に低しきい値に、スタンバイ時には高しきい値にしたが、アイ・イー・イー・イー、スペクトラム、第66頁から第71頁、1996年(1996 IEEE SPECTRUM, pp66-71)に記載されているようなIDDQテスト時に高しきい値になるように基板バイアスを設定して使用してもよい。

20

【0140】

このとき、IDDQテスト時に基板に印加する基板電位が、スタンバイ時に印加する基板電位よりも大きいようにすることが望ましい。すなわち、PMOSFETについてはスタンバイ時より高い電位、NMOSFETに対してはより低い電位を印加する。このようにすれば、IDDQテスト時に流れるサブスレッショルドリーク電流をより低減することができるので、故障発見の精度が向上する。

30

【0141】

このような動作を可能とするためには、IDDQテスト時にVWELL電位を例えば、3.3Vから4.0Vに上げ、VSUB電位を-1.5Vから-2.2Vに下げる。回路的には、VWELL電位をVDDQ電位と異なる電位にしても貫通電流が流れないようにする必要がある。このためには、例えば、基板バイアス制御回路VBCへの信号は全て、VBC80でレベルダウンしてからVWELL電位あるいはVSUB電位に変換して使用する。このように電圧的なバッファを設けることで実現できる。

【0142】

以上の実施例では、基板構造は3重ウェル構造のものを仮定したが、その構造は特に限定しない。いわゆるツインタブ構造の2重ウェル構造のものでもよいし、SOI (Silicon on insulator) 構造でもよい。

40

【0143】

また、図17、図19、図21に示したように、本発明ではセル内の基板バイアス給電はM1によっておこなったが、この構造は特に限定しない。例えば1997シンポジウム・オン・ブイエルエスアイ・サーキット・ダイジェスト・オブ・テクニカル・ペーパーズ、第95頁から第96頁、1997年(1997 Symposium on VLSI circuits Digest of Technical Papers, pp.95-96)に示されているように、拡散層あるいはシリサイド化した拡散層によって給電してもよい。

【0144】

【発明の効果】

以上説明したように、本発明によれば、以下の課題を満たす高速性と低電力性の2点を両

50

立したマイクロプロセッサ等の半導体集積回路装置が実現できる。

【0145】

(1) 基板バイアス制御回路のテストが容易である。

【0146】

(2) 基板バイアス制御することでのCMOS回路の誤作動を防止できる。

【0147】

(3) 基板バイアス制御することでの面積増加が最小限に止めれる

(4) 基板バイアスの切り替え時における半導体集積回路装置の誤作動が防止できる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置のブロック図。

10

【図2】主回路の内容をより詳しく図示した回路図。

【図3】I/O回路の回路図。

【図4】基板バイアス制御回路の各回路ブロック図。

【図5】基板バイアス制御回路の動作波形を表す図。

【図6】基板バイアス制御回路の動作波形の図5とは別の実施例を表す波形図。

【図7】VBC80の回路図。

【図8】VBC30の回路図。

【図9】VBC30の動作波形図。

【図10】VBC85の回路図。

【図11】VBC85の動作波形図。

20

【図12】VSUBGENの各回路ブロック図。

【図13】チャージポンプの回路図。

【図14】チャージポンプの回路図。

【図15】VSUBSENの回路図。

【図16】本発明のスイッチセルの配置図。

【図17】標準セルのレイアウト図。

【図18】図17の断面図。

【図19】スイッチセルのレイアウト図。

【図20】図19の断面図。

【図21】電源配線およびvbp、vbn、cbp、cbnの配線図。

30

【図22】電源補強線の配線図。

【図23】ウェルの構成図。

【図24】メモリ回路におけるスイッチセルの配置図。

【図25】ウェルの断面図。

【図26】Deep-Nウェルのレイアウト図。

【図27】Deep-Nウェルとガードバンドのレイアウト図。

【図28】図27の断面図。

【図29】cbpr、cbnr、およびVBCRの配置図。

【符号の説明】

VBC.....基板バイアス制御回路、LOG.....主回路、

40

VBCC.....スタンバイ制御回路、I/O.....I/O回路、

vbbenb.....基板バイアス制御開始信号、vbbenbr.....基板バイアス制御中信号、

vbp.....PMOS基板バイアス線、vbn.....NMOS基板バイアス線、

cbp.....PMOS基板制御線、cbn.....NMOS基板制御線、

cbpr.....PMOS基板制御リターン線、cbnr.....NMOS基板制御リターン線、

AMP1、AMP2.....差動増幅器、AMP3.....シュミット入力差動増幅器、

VBCR.....リターンセル、swcell.....スイッチセル、ncell.....標準セル、

P-sub.....P基板、

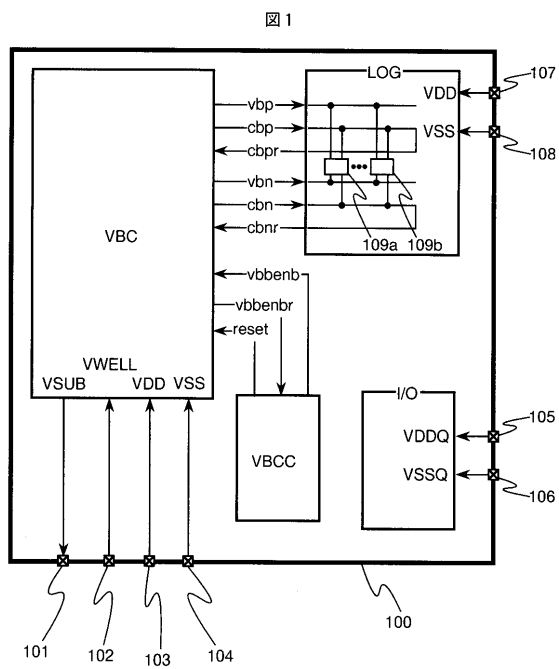
PLL.....フェーズ・ロックド・ループ、CPG.....クロック制御部、

TLB.....アドレス変換部、CACHE.....キャッシュメモリ、

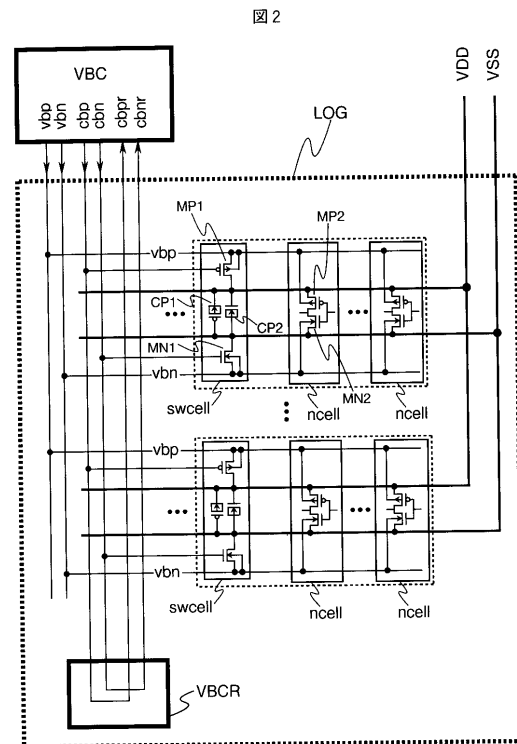
50

CPU.....中央处理装置、FPU.....浮動小数点演算器、PAD.....I/O部。

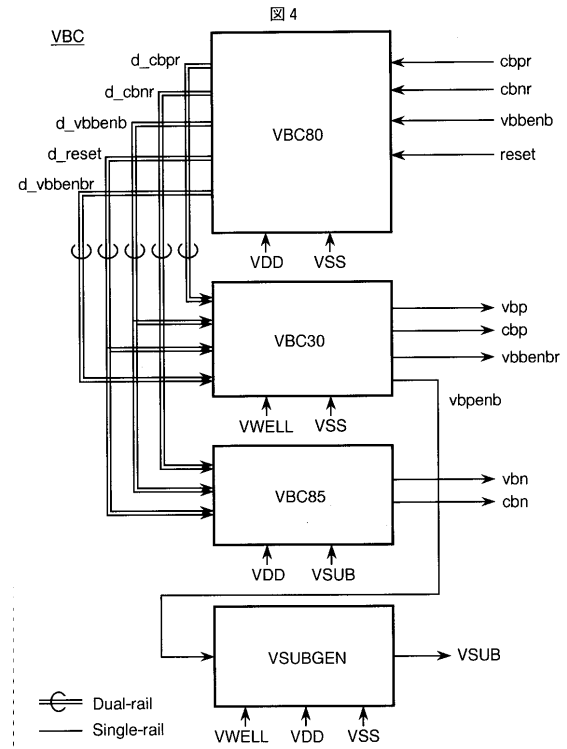
【図 1】



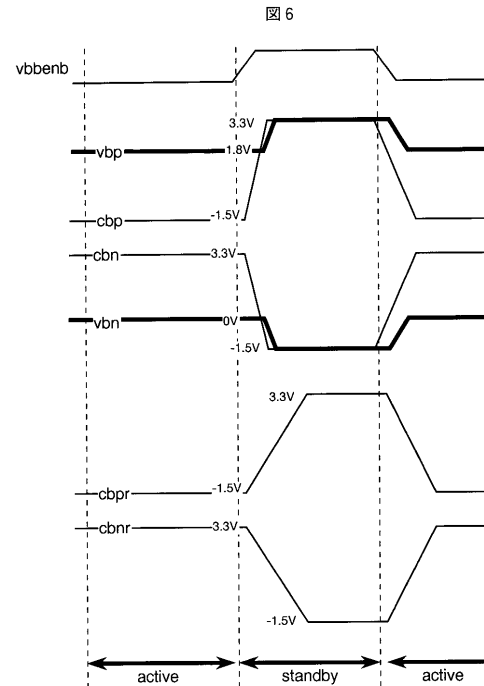
【図 2】



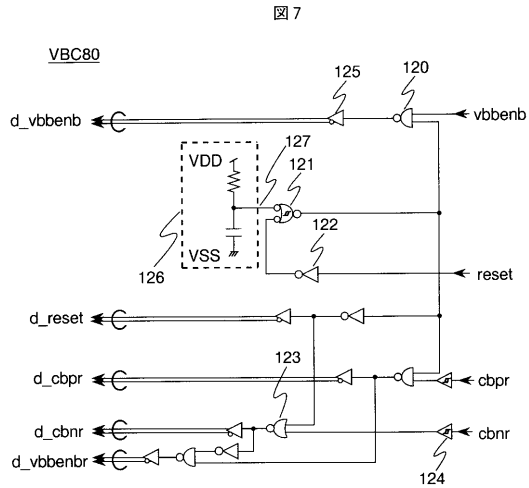
【 図 4 】



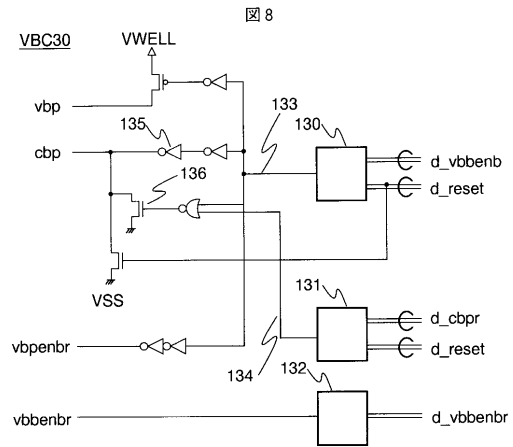
【 図 6 】



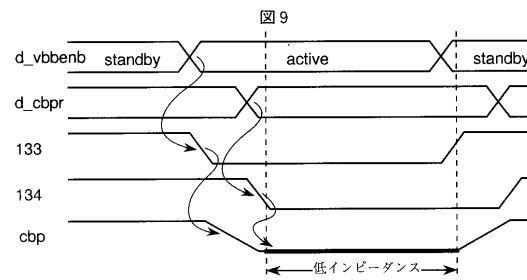
【図 7】



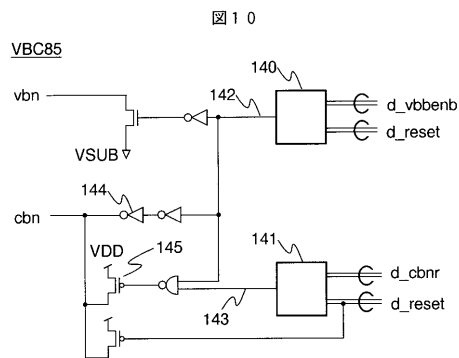
【図 8】



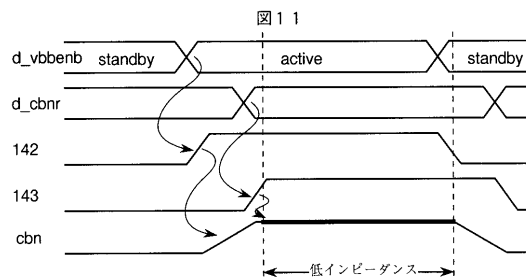
【図 9】



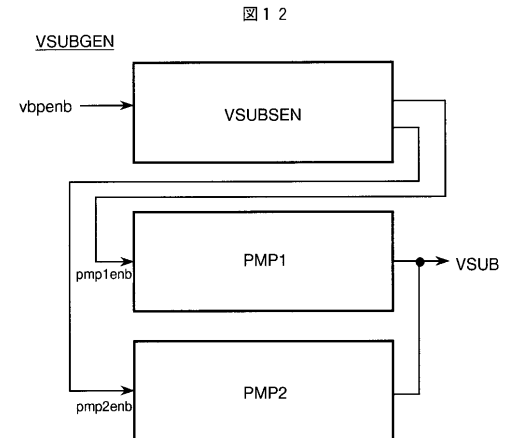
【図 10】



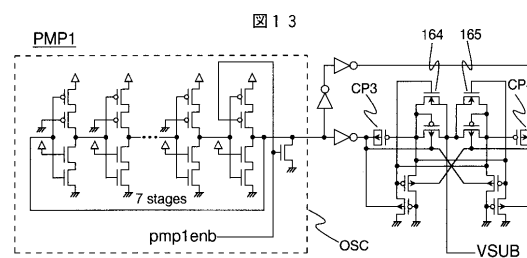
【図 11】



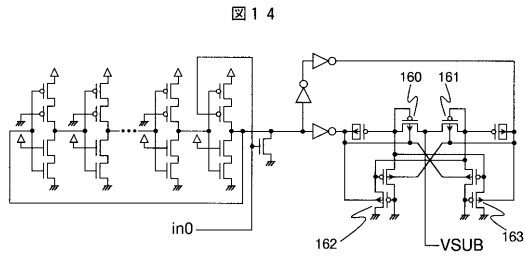
【図 12】



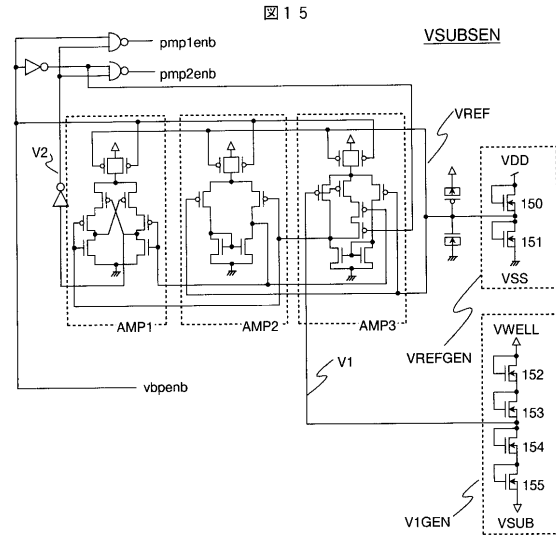
【図 13】



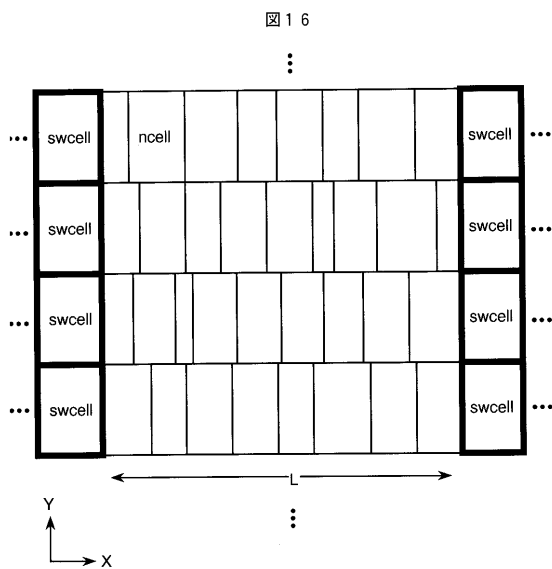
【図14】



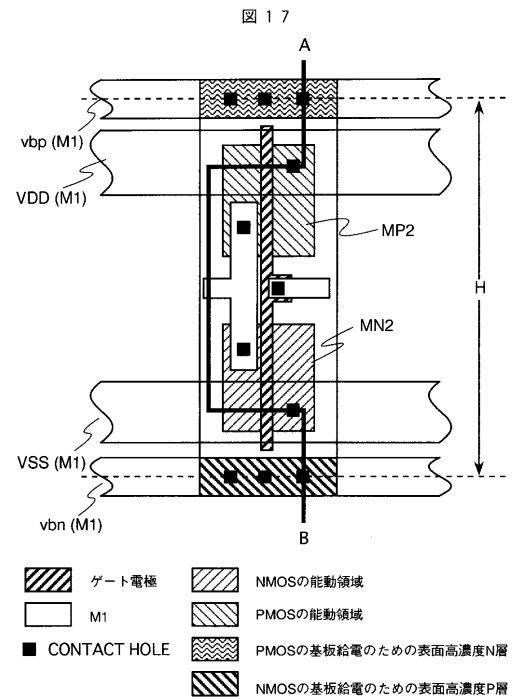
【図15】



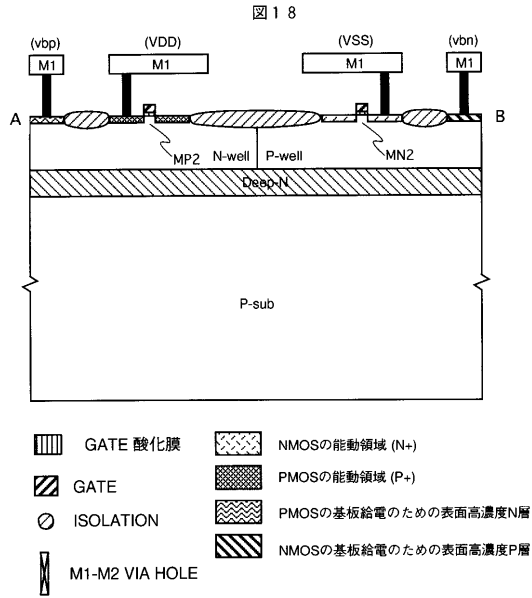
【図16】



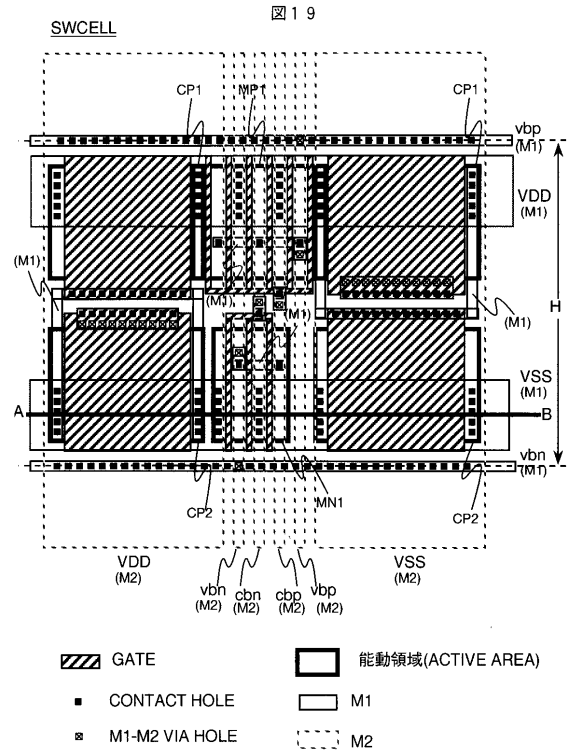
【図17】



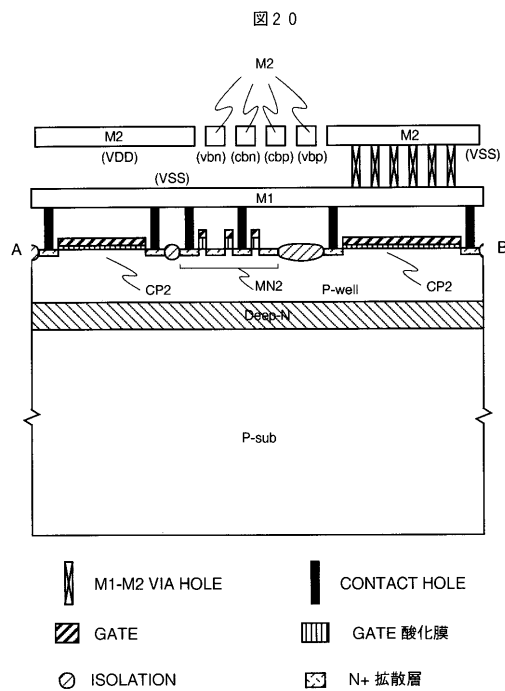
【図 18】



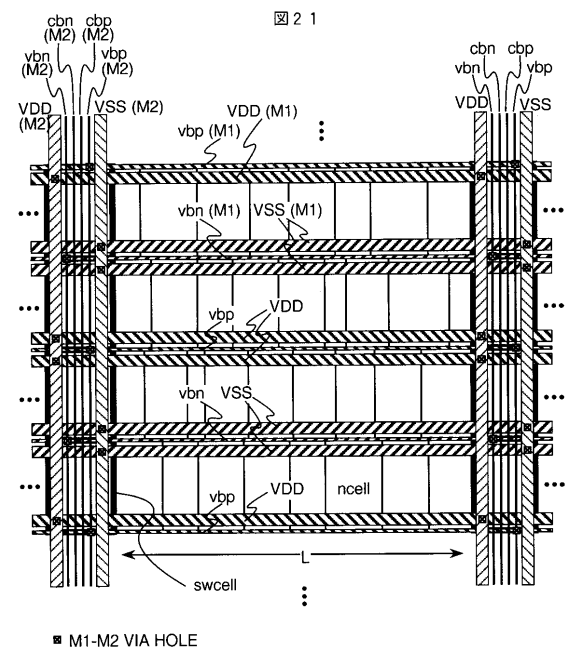
【図 19】



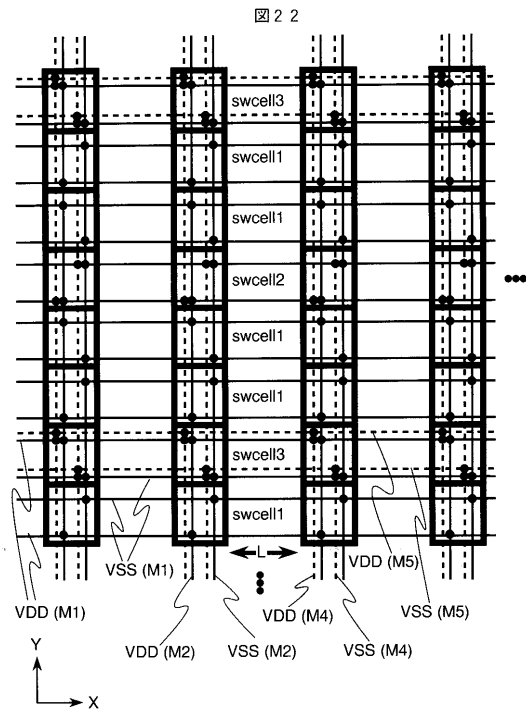
【図 20】



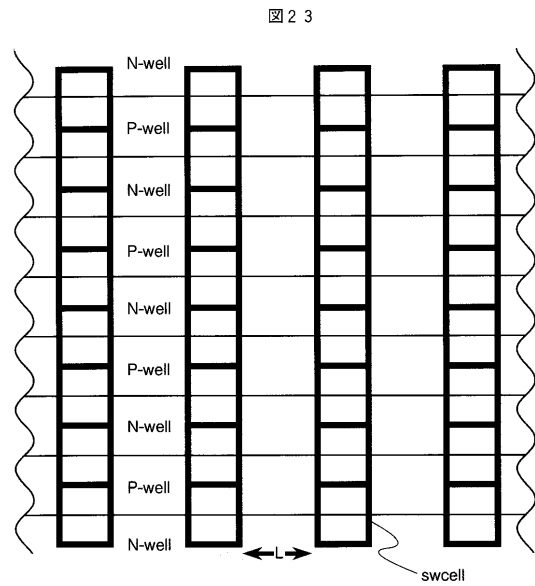
【図 21】



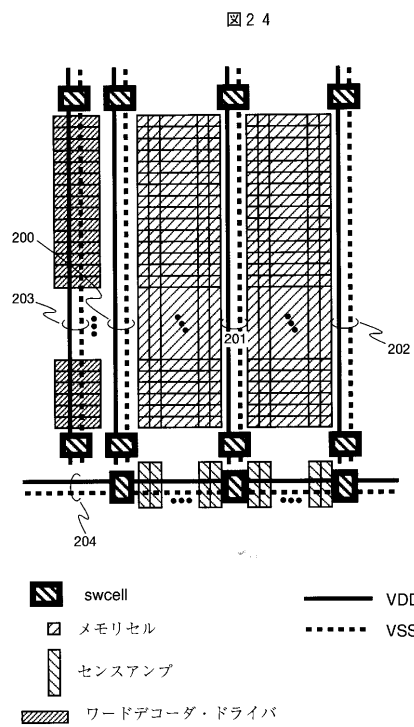
【図 2 2】



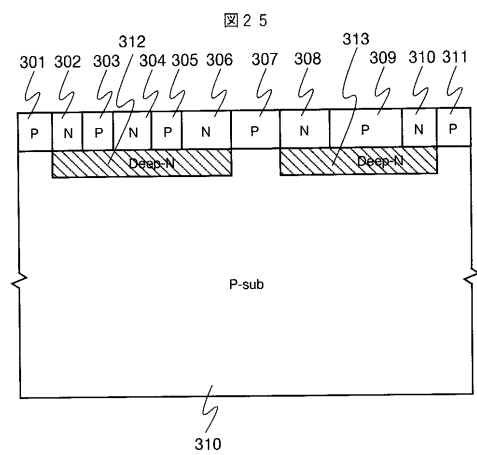
【図 2 3】



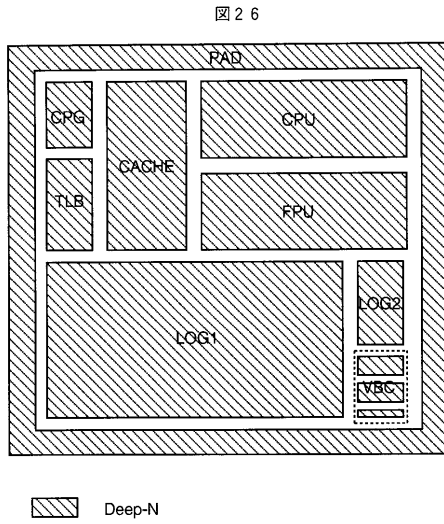
【図 2 4】



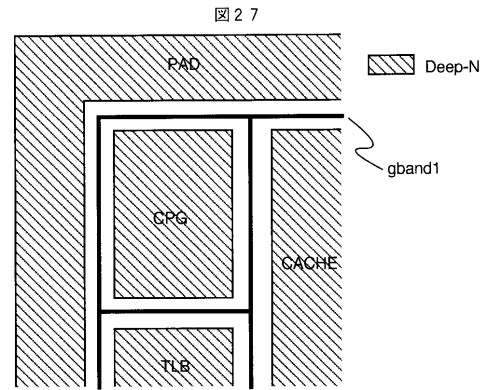
【図 2 5】



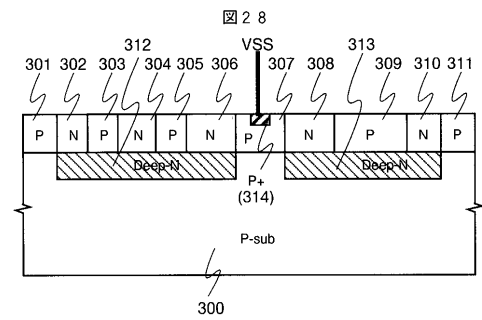
【図 26】



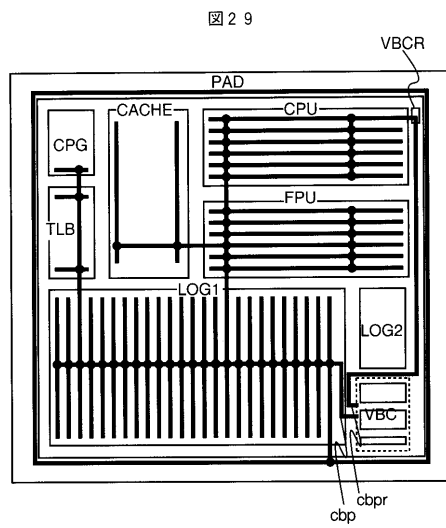
【図 27】



【図 28】



【図 29】



フロントページの続き

(72)発明者 志村 隆則
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地

株式会社日立製作所中央研究所内

(72)発明者 服部 俊洋
東京都小平市上水本町五丁目 2 0 番 1 号

株式会社日立製作所半導体事業部内

審査官 大嶋 洋一

(56)参考文献 特開平 0 9 - 0 6 1 4 9 7 (J P , A)
特開平 0 9 - 0 3 6 2 4 6 (J P , A)
特開平 0 8 - 2 0 4 1 4 0 (J P , A)
特開平 0 6 - 0 8 9 5 7 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/822

G11C 11/4074

G11C 11/413

H01L 27/04