

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 836 055**

51 Int. Cl.:

H05B 33/08 (2010.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **12.03.2008** **E 18185781 (4)**

97 Fecha y número de publicación de la concesión europea: **07.10.2020** **EP 3471513**

54 Título: **Sistema de iluminación con datos de control de corrección del factor de potencia determinados a partir de una señal modulada en fase**

30 Prioridad:

12.03.2007 US 894295 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
23.06.2021

73 Titular/es:

SIGNIFY HOLDING B.V. (100.0%)
High Tech Campus 48
5656 AE Eindhoven, NL

72 Inventor/es:

MELANSON, JOHN, L.

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 836 055 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de iluminación con datos de control de corrección del factor de potencia determinados a partir de una señal modulada en fase

5

Antecedentes de la invención

Campo de la invención

10 La presente invención se refiere en general al campo de la electrónica y la iluminación, y más específicamente a un sistema y método para determinar parámetros de control de corrección del factor de potencia a partir de retardos de fase en una señal modulada en fase.

Descripción de la técnica relacionada

15

Las bombillas incandescentes comercialmente prácticas han estado disponibles durante más de 100 años. Sin embargo, otras fuentes de luz se muestran prometedoras como alternativas comercialmente viables a la bombilla incandescente. Los LED se están volviendo particularmente atractivos como fuentes de luz populares en parte debido al ahorro de energía a través de una salida de luz de alta eficacia e incentivos ambientales como la reducción de mercurio.

20

Los LED son dispositivos semiconductores y funcionan con corriente continua. La intensidad de salida del lumen (es decir, el brillo) del LED varía aproximadamente en proporción directa a la corriente que fluye a través del LED. Así, el aumento de la corriente suministrada a un LED aumenta la intensidad del LED y la disminución de la corriente suministrada al LED atenúa el LED. La corriente se puede modificar reduciendo directamente el nivel de corriente continua a los LED blancos o reduciendo la corriente promedio mediante la modulación del coeficiente de utilización.

25

Atenuar una fuente de luz ahorra energía cuando se opera una fuente de luz y también permite al usuario ajustar la intensidad de la fuente de luz al nivel deseado. Muchas instalaciones, como casas y edificios, incluyen circuitos de atenuación de la fuente de luz (denominados en el presente documento "atenuadores").

30

La figura 1 representa un sistema de iluminación 100 que genera una tensión de enlace VENLACE y una corriente de excitación iFUERA para iluminar la fuente de luz 102. Una fuente de tensión de corriente alterna (CA) 101, como una central de potencia, genera una tensión de red Vred, que proporciona potencia para el sistema de iluminación 100. La frecuencia particular y el valor de media cuadrática (RMS) de la tensión de red Vred generalmente es específico de la ubicación y es nominalmente de 60Hz/120VAC en los Estados Unidos y 50Hz/230VAC en Europa y otros lugares. El sistema de iluminación 100 incluye un atenuador 104 para generar una señal VΦ_BRUTO modulada en fase en bruto. El rectificador 105 rectifica la señal VΦ_BRUTO modulada en fase en bruto para generar una señal VΦ modulada en fase rectificada. El rectificador 105 es, por ejemplo, un rectificador de diodo de puente completo. El retardo de fase de cada ciclo de la señal VΦ modulada en fase indica un nivel de atenuación particular. El atenuador 104 puede ser cualquier atenuador convencional que genere una señal modulada en fase, como un atenuador basado en triac.

35

40

El sistema de iluminación 100 también incluye un circuito excitador de fuente de luz 106 para recibir la señal VΦ modulada en fase. Al menos en una realización, el circuito excitador de fuente de luz 106 es un convertidor de potencia de conmutación con un conmutador PFC interno (no mostrado) que controla la corrección del factor de potencia y aumenta la señal VΦ modulada en fase a la tensión de enlace VENLACE. El circuito excitador de fuente de luz 106 modula la corriente de excitación de la fuente de luz iFUERA en respuesta al nivel de atenuación indicado por la señal VΦ modulada en fase. El circuito excitador de la fuente de luz 106 modula la corriente de excitación de la fuente de luz iFUERA "activando" y "desactivando" la corriente de excitación de la fuente de luz iFUERA para lograr un valor medio de la corriente de excitación de la fuente de luz iFUERA correspondiente al nivel de atenuación indicado b, señal VΦ modulada en fase. La corriente de excitación iFUERA hace que la fuente de luz 102 se ilumine, y la modulación de la corriente de excitación iFUERA varía el brillo de la fuente de luz 102. Así, el circuito excitador de la fuente de luz 106 intenta modular la corriente de excitación iFUERA de modo que la fuente de luz 102 se atenúe hasta un nivel indicado por la señal VΦ modulada en fase. En la hoja de datos del circuito IC HV9931 se describe un controlador de PFC y un atenuador para lámparas LED, titulado HV9931 Unity Power Factor LED Lamp Driver, lanzamiento inicial en 2005 por Supertex Inc. en Sunnyvale, CA, EE. UU.

45

50

55

Para una fuente de luz 102 basada en LED, la tensión de enlace VENLACE puede ser de 400 V o más. Para atenuar la fuente de luz 102, el circuito excitador de fuente de luz 106 disminuye el coeficiente de utilización de la señal de control Cs y, así, disminuye la corriente de excitación iFUERA. Cuando se atenúa, la demanda de potencia de la fuente de luz 102 disminuye. Cuando la demanda de potencia de la fuente de luz 102 disminuye, el circuito excitador de fuente de luz 106 disminuye el coeficiente de utilización del conmutador interno (no mostrado) que controla el aumento de tensión de la señal V_φ modulada en fase a la tensión de enlace V_{ENLACE}. A pesar de la disminución de la demanda de potencia, el circuito excitador de fuente de luz 106 mantiene la tensión de enlace V_{ENLACE} a un nivel aproximadamente constante. La eficacia de conmutación del circuito excitador de fuente de luz 106 disminuye constantemente a medida que 106 continúa aumentando la tensión de enlace V_{ENLACE} a una tensión usada durante la

60

65

demanda de potencia total por la fuente de luz 102 a pesar de las demandas de potencia más bajas de una fuente de luz 102 atenuada. La pérdida de eficacia se vuelve más prominente, por ejemplo, cuando un coeficiente de utilización del conmutador PFC interno del circuito excitador de fuente de luz 106 es inferior al 50 %. Disminuir la demanda de potencia por la fuente de luz 102 cuando se atenúa la fuente de luz 102 puede en realidad aumentar la demanda de potencia por el circuito excitador de fuente de luz 106. El circuito excitador de fuente de luz 106 intenta proporcionar una corrección del factor de potencia unitario para que el circuito excitador de fuente de luz 106 parezca resistivo a la fuente de tensión de CA 101. Así, mirando en los terminales A y B, idealmente el circuito excitador de fuente de luz lo, tiene una resistencia efectiva R_{EFF_0} tal como lo percibe la fuente de tensión de CA 101. El valor de la resistencia efectiva R_{EFF_0} es igual a V_{ϕ}/i_{DENTRO} , donde V_{ϕ} es una señal modulada en fase e i_{DENTRO} es la corriente de entrada en el circuito excitador de fuente de luz 106. Como la demanda de potencia de la fuente de luz 102 disminuye cuando se atenúa, la corriente i_{DENTRO} realmente aumenta, así, disminuyendo la resistencia efectiva R_{EFF_0} , así, extrayendo más potencia de la fuente de tensión de CA 101. Disminuir la resistencia efectiva R_{EFF_0} del circuito excitador de fuente de luz 106 cuando se realiza la atenuación de la fuente de luz 102 representa un uso ineficaz de potencia.

La figura 2A muestra una serie de formas de onda de tensión, 200, que representan dos ciclos respectivos de formas de onda presentes en el sistema de iluminación 100. La tensión de suministro V_{red} es una onda sinusoidal representada con dos ciclos ilustrativos 202 y 204. El atenuador 104 genera una señal V_{ϕ} modulada en fase en bruto cortando cada semiciclo de la tensión de suministro V_{red} para generar un retardo de fase de borde anterior idéntico al para cada semiciclo respectivo del ciclo 206. Los retardos de fase de la señal V_{ϕ} modulada en fase en bruto aumentan a medida que disminuye el nivel de atenuación, es decir, el brillo de la fuente de luz 102 disminuye. El semiciclo 208 indica retardos $\alpha 2$ de fase más largos que corresponden a una disminución en el nivel de atenuación. Los retardos de fase del borde anterior αX representan el tiempo transcurrido entre el comienzo de un semiciclo y el borde anterior de la tensión V_{ϕ} de red modulada en fase, donde X es un valor de índice. Los ciclos 210 y 212 rectificadas de la señal V_{ϕ} modulada en fase tienen los mismos retardos de fase respectivos $\alpha 1$ y $\alpha 2$ que la señal V_{ϕ_BRUTO} modulada en fase en bruto.

Los atenuadores convencionales, como un atenuador basado en triac, que están diseñados para su uso con cargas inactivas, como bombillas incandescentes, a menudo no funcionan bien cuando se suministra una señal V_{ϕ_BRUTO} modulada en fase en bruto a una carga activa tal como el circuito excitador de fuente de luz 106. Por ejemplo, al suministrar una carga activa, el atenuador puede perder la generación de retardos de fase en algunos ciclos de la señal V_{ϕ_BRUTO} modulada en fase en bruto y puede generar ondas durante los retardos de fase. Los problemas ilustrativos con al menos un atenuador convencional cuando se usa con una carga activa se describen en Rand et al., "Issues, Models and Solutions for Triac Modulated Phase Dimming of LED Lamps", junio de 2007, páginas 1398-1404 de la Conferencia de especialistas en electrónica de potencia, 2007. PESC 2007, publicado por el Instituto de Ingenieros Eléctricos y Electrónicos, ISBN 978-1-4244-0055-5.

La figura 28 muestra un circuito excitador de LED 250 disponible en Supertex, Inc. de Sunnyvale, CA, el circuito excitador de LED de EE. UU. 250, representa una realización del circuito excitador de fuente de luz 106. El circuito excitador de LED 250 se describe con más detalle en la nota de diseño de Supertex DN-H05 disponible en Supertex, Inc. El circuito excitador de LED 250 incluye dos circuitos adicionales, circuito amortiguador 252 y circuito de purga 254 para proporcionar compatibilidad con un atenuador, como el atenuador 104. Según DN-H05, el circuito amortiguador 252 proporciona una carga amortiguada del circuito de filtro de entrada del excitador en P16. El circuito amortiguador 252 proporciona amortiguación resistiva para evitar las oscilaciones de la corriente de entrada de línea de CA debido a un aumento repentino de la tensión de línea de CA, como los bordes de la señal V_{ϕ} modulada en fase. El circuito de purga 254 proporciona una carga nominal de 1 kohm a una línea de CA rectificadas en P21 para suprimir un aumento de tensión en los condensadores de entrada C21-C23 durante los retardos de fase de la señal V_{ϕ} modulada en fase, lo que de otro modo podría causar el parpadeo de una lámpara accionada por el circuito excitador de LED 250.

La figura 2C muestra un excitador de lámpara LED 280 de factor de potencia unitario, que representa una realización del circuito excitador de fuente de luz 106. El excitador de lámpara LED 280 se describe con más detalle con referencia a la figura 9 en la nota de solicitud de Supertex AN-H52 disponible en Supertex, Inc. El excitador de lámpara LED 280 incluye un circuito de amortiguación 282 para agregar una carga al atenuador 104 durante los retardos de fase de la señal modulada en fase. La circuitería de amortiguación 282 incluye una resistencia de purga R_{BL} que está conectada por el transistor M2 durante los retardos de fase de una señal de entrada modulada en fase al excitador de lámpara 280. Cuando el transistor M2 conduce, la resistencia de purga R_{BL} proporciona una carga adicional a la línea de CA en V_{DENTRO} para amortiguar la señal modulada en fase durante los retardos de fase. Agregar un transistor adicional M2 y una resistencia R_{BL} aumenta el coste del sistema del excitador de lámpara 280.

El circuito excitador de fuente de luz 106 exhibe una o más ineficacias al atenuar la fuente de luz 102. Por ejemplo, cuando la demanda de potencia de la fuente de luz 102 disminuye, la tensión de enlace permanece aproximadamente constante. Adicionalmente, cuando la demanda de potencia de la fuente de luz 102 disminuye, la resistencia efectiva R_{EFF_0} del circuito excitador de fuente de luz 106 aumenta, extrayendo así más potencia de la fuente de tensión de CA 101 a pesar de las demandas de potencia más bajas de la fuente de luz 102. Adicionalmente, la circuitería añadida a los circuitos excitadores de LED convencionales aumenta el coste de los circuitos excitadores de LED.

Sumario de la invención

5 De acuerdo con la presente invención, un sistema de iluminación de diodo emisor de luz (LED) incluye un controlador de corrección del factor de potencia (PFC). El controlador incluye una entrada para recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase. El controlador también incluye un procesador de señal digital, acoplado a la entrada, para recibir la señal de retardo de fase y determinar un parámetro operativo de control PFC a partir de la señal de retardo de fase y generar una señal de control de conmutación PFC utilizando el parámetro operativo determinado y otras características definidas en la reivindicación 1.

10 De acuerdo con la presente invención, un método para controlar un sistema de iluminación de diodo emisor de luz (LED) incluye recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase, determinar un parámetro operativo de control PFC a partir de la señal de retardo de fase usando un procesador de señal digital, y generar una señal de control de conmutación PFC usando el parámetro operativo determinado, incluyendo etapas adicionales como se define en la reivindicación 10.

15 En un desarrollo adicional de la presente invención, un sistema de iluminación de diodo emisor de luz (LED) incluye un controlador de corrección del factor de potencia (PFC) para recibir una señal que indica un nivel de atenuación y generar una señal de control de conmutación PFC para hacer que un circuito de excitador de LED PFC responda al nivel de atenuación indicado por la señal sin disminuir una resistencia efectiva del circuito excitador de carga PFC, tal como lo percibe una fuente de tensión del circuito excitador de carga PFC, a medida que aumenta el nivel de atenuación indicado por la señal.

20 En un desarrollo adicional de la presente invención, un método para controlar un sistema de iluminación de diodo emisor de luz (LED) incluye recibir una señal que indica un nivel de atenuación y generar una señal de control de corrección del factor de potencia para hacer que un circuito excitador de LED PFC responda al nivel de atenuación indicado por la señal sin disminuir una resistencia efectiva del circuito excitador de carga PFC, tal como lo percibe una fuente de tensión del circuito excitador de carga PFC, a medida que aumenta el nivel de atenuación indicado por la señal.

30 En un desarrollo adicional de la presente invención, un sistema de iluminación de diodo emisor de luz (LED) incluye un controlador de corrección del factor de potencia (PFC) para generar una señal de control modulada por coeficiente de utilización para controlar una tensión de enlace regulada de un circuito excitador de LED PFC y para disminuir la tensión de enlace cuando un coeficiente de utilización de la señal de control disminuye a un valor entre cero y un valor umbral del coeficiente de utilización.

35 En un desarrollo adicional de la presente invención, un método para controlar un sistema de iluminación de diodo emisor de luz (LED) incluye generar una señal de control modulada por coeficiente de utilización para controlar una tensión de enlace regulada de un circuito excitador de LED PFC; y disminuir la tensión de enlace cuando un coeficiente de utilización de la señal de control disminuye a un valor entre cero y un valor umbral del coeficiente de utilización.

40 En un desarrollo adicional de la presente invención, un sistema de iluminación de diodo emisor de luz (LED) incluye un controlador de corrección del factor de potencia (PFC) que incluye: una entrada para recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase. El controlador de PFC está configurado para recibir la señal de retardo de fase y generar pulsos para la señal de control de conmutación PFC durante los retardos de fase de la señal modulada en fase. Los anchos de pulso y los coeficientes de utilización de los pulsos de la señal de control de conmutación PFC generados durante los retardos de fase son suficientes para atenuar la ondulación de la señal modulada en fase durante los retardos de fase de la señal modulada en fase.

45 En un desarrollo adicional de la presente invención, un método para controlar un sistema de iluminación de diodo emisor de luz (LED) incluye recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase y generar pulsos para una señal de control de conmutación PFC durante los retardos de fase de la señal modulada en fase. Los anchos de pulso y los coeficientes de utilización de los pulsos de la señal de control de conmutación PFC generados durante los retardos de fase son suficientes para atenuar la ondulación de la señal modulada en fase durante los retardos de fase de la señal modulada en fase.

55 Breve descripción de los dibujos

60 La presente invención puede entenderse mejor y sus numerosos objetivos, características y ventajas serán evidentes para los expertos en la materia haciendo referencia a los dibujos adjuntos. El uso del mismo número de referencia en todas las figuras designa un elemento similar o parecido.

La figura 1 (etiquetada como técnica anterior) representa un sistema de iluminación con un controlador y circuito excitador de corrección del factor de potencia.

65 La figura 2A (etiquetada como técnica anterior) representa varias formas de onda presentes en el sistema de iluminación de la figura 1.

La figura 2B (etiquetada como técnica anterior) representa un circuito excitador de LED con circuitos de

compatibilidad de conmutador de atenuación.

La figura 2C (etiquetada como técnica anterior) representa otro circuito excitador de LED con circuitería de compatibilidad de conmutador de atenuación.

5 La figura 3 representa un sistema de iluminación de diodo emisor de luz con un controlador de corrección del factor de potencia que deriva uno o más parámetros de control de corrección del factor de potencia a partir de una señal modulada en fase.

Las figuras 4 y 5 representan señales moduladas en fase que tienen varios retardos de fase del borde anterior y posterior.

La figura 6 representa un detector de retardo de fase.

10 La figura 7 representa una señal modulada en fase ilustrativa y formas de onda de la señal de control de conmutación PFC asociadas.

La figura 8 representa un modelo de resistencia efectiva de un circuito excitador de LED PFC.

La figura 9 representa las relaciones entre una señal modulada en fase y una corriente de inductor con y sin atenuación.

15 La figura 10 representa una relación entre los coeficientes de utilización de una señal de control de conmutación PFC y una tensión de enlace.

Las figuras 11 y 12 representan aparatos LED.

20 Descripción detallada

Un sistema de iluminación de diodo emisor de luz (LED) incluye un controlador de corrección del factor de potencia (PFC) que determina al menos un parámetro de control de corrección del factor de potencia a partir de los retardos de fase de una señal modulada en fase. Al menos en una realización, una tensión máxima de la señal modulada en fase es un parámetro de control de PFC utilizado por el controlador de PFC para controlar la corrección del factor de potencia y la generación de una tensión de enlace por un circuito excitador de LED PFC. Los retardos de fase están relacionados con una tensión máxima de la señal modulada en fase. Así, al menos en una realización, la detección del retardo de fase en uno o más ciclos de la señal modulada en fase permite al controlador de PFC determinar la tensión máxima de la señal modulada en fase.

30 El circuito excitador de LED PFC suministra una corriente de salida para activar LED(s) de un aparato LED. A medida que disminuye el nivel de atenuación, el controlador de PFC reduce un coeficiente de utilización de un conmutador PFC en el circuito excitador de LED PFC para hacer que el circuito excitador de LED PFC disminuya la corriente de salida suministrada a los LED. Cuando la señal modulada en fase indica un nivel de atenuación por debajo de un valor umbral, el controlador de PFC mantiene un coeficiente de utilización aproximadamente constante del conmutador PFC para, por ejemplo, mantener la eficacia de conmutación sin sacrificar significativamente la corrección del factor de potencia.

40 Al menos en una realización, el controlador de PFC genera una señal de control de conmutación PFC para hacer que el circuito excitador de LED PFC responda a niveles de atenuación decrecientes como lo indica una señal de atenuación, como la señal modulada en fase, sin disminuir la resistencia efectiva del circuito excitador de LED PFC, tal como lo percibe una fuente de tensión del circuito excitador de LED PFC, a medida que aumenta el nivel de atenuación indicado por la señal de atenuación. La señal modulada en fase representa una realización de la señal de atenuación.

45 En al menos una realización, el controlador de PFC genera una señal de control modulada por coeficiente de utilización para controlar una tensión de enlace regulada del circuito excitador de LED PFC y disminuye la tensión de enlace cuando un coeficiente de utilización de la señal de control disminuye a un valor entre cero y un valor umbral del coeficiente de utilización.

50 Al menos en una realización, el controlador de PFC genera anchos de pulso aproximadamente constantes para la señal de control de conmutación PFC durante cada ciclo de señal modulada en fase cuando un coeficiente de utilización de la señal de control de conmutación PFC está por debajo de un umbral predeterminado.

55 Al menos en una realización, el controlador de PFC genera pulsos para la señal de control de conmutación PFC durante los retardos de fase de la señal modulada en fase, en donde los pulsos de la señal de control de conmutación PFC generados durante los retardos de fase tienen un período significativamente mayor que un período de los pulsos de la señal de control de conmutación PFC durante un período activo de la señal modulada en fase.

60 La figura 3 representa un sistema de iluminación 300 que tiene un controlador de PFC 302 y un circuito excitador de LED PFC 304. El controlador de PFC 302 genera una señal de control de conmutación PFC modulada por coeficiente de utilización CS_1 para controlar la conductividad del conmutador 306. El conmutador 306 puede ser cualquier conmutador y, al menos en una realización, el conmutador 306 es un transistor de efecto de campo (FET) de n canales. El circuito excitador de LED PFC 304 es un convertidor de potencia de conmutación que aumenta la señal V_ϕ modulada en fase a una tensión de enlace V_{ci} a través del condensador de retención 308. Al menos en una realización, la tensión de enlace V_{ci} tiene una tensión máxima en el intervalo de 200 V-400 V. Cuando el conmutador 306 está "APAGADO" (es decir, no conductor), el diodo 310 tiene polarización directa y el inductor 312 impulsa la corriente del inductor i_{L1} a

través del diodo 301. La corriente del inductor i_{L1} a través del diodo 310 carga el condensador 308 para mantener una tensión de enlace V_{ci} aproximadamente constante. Cuando el conmutador 306 está "ENCENDIDO" (es decir, conductor), la tensión a través del inductor 312 se invierte, el diodo 310 tiene polarización inversa y el inductor 312 se activa con la corriente i_{L1} . El controlador de PFC 302 controla los coeficientes de utilización de la señal de control de conmutación PFC CS_1 y el conmutador 306 para que la corriente i_{L1} sea proporcional a la señal V_ϕ modulada en fase. El condensador 314 proporciona filtrado para suavizar la corriente de accionamiento i_{L1} de modo que la corriente de accionamiento media i_{L1} es sinusoidal y en fase con la señal V_ϕ modulada en fase.

El controlador de PFC 302 incluye un procesador de señal digital 316 para realizar varias operaciones, incluida la determinación del ancho de pulso y el coeficiente de utilización de la señal de control de conmutación PFC CS_1 . El procesador de señal digital 316 es, por ejemplo, un procesador de señal digital. Al menos en una realización, el controlador de PFC 302 determina el ancho de pulso y el coeficiente de utilización de la señal de control de conmutación PFC CS_1 utilizando los algoritmos divulgados en Melanson V y Melanson VI.

Al menos en una realización, el ancho de pulso $T1$ de la señal de control de conmutación PFC CS_1 es determinado por el procesador de señal digital 316 mediante la ejecución de un algoritmo de estado de la señal de control representado por la Ecuación [1]:

$$T1^2 = \frac{2 \cdot L}{V_{\phi_pk}^2} \cdot P \cdot TT \cdot \left(1 - \frac{V_\phi}{V_{C1}}\right) \quad [1]$$

" $T1$ " es el ancho de pulso de la señal de control de conmutación PFC CS_1 . " L " representa un valor de inductancia del inductor 312. " V_{ϕ_pk} " es una tensión máxima de la señal V_ϕ modulada en fase sin retardos de fase. " P " representa una variable de demanda de potencia relacionada con la demanda de potencia del aparato LED 322. Al menos en una realización, P es un valor de salida de integrador proporcional como se describe en Melanson V y Melanson VI. " TT " es el período de la señal de control de conmutación PFC CS_1 y, al menos en una realización, también se determina como se describe en Melanson V y Melanson VI. " V_ϕ " es un valor muestreado de la señal V_ϕ modulada en fase. " V_{ci} " un valor muestreado de la tensión de enlace V_{C1} .

Al menos en una realización, se conocen todos los parámetros de control de PFC de la Ecuación [1], pueden determinarse directamente de forma fiable o pueden determinarse de forma fiable a partir de las señales de realimentación V_ϕ' y V_{ci}' excepto V_{ϕ_pk} . Ya que la señal V_ϕ modulada en fase incluye retardos de fase al atenuar los LED del aparato LED 322, la tensión máxima V_{ϕ_pk} de la señal modulada en fase V_ϕ no siempre se puede medir directamente. Sin embargo, como se describe junto con las figuras 4 y 5, los retardos de fase de la señal V_ϕ modulada en fase pueden utilizarse por el procesador de señal digital 316 para estimar V_{ϕ_pk} .

Al menos en una realización, el controlador de PFC 302 también controla la corriente de salida i_{FUERA} de acuerdo con los sistemas y métodos ilustrativos descritos en Melanson IV.

Las figuras 4 y 5 representan ciclos de señal V_ϕ modulada en fase teniendo varios retardos de fase de borde anterior y posterior. Las formas de onda 400 representan dos ciclos 402 y 404 que tienen una tensión máxima de V_{ϕ_pk} . El ciclo 402 incluye retardos de dos fases α_0 y α_1 , y el ciclo 404 incluye retardos de dos fases α_2 y α_3 . La tensión máxima V_{ϕ_pk} puede medirse directamente desde el ciclo 402 porque los retardos de fase α_0 y α_1 son menores que $T/4$, donde T es el período de la señal V_ϕ modulada en fase. Sin embargo, la tensión máxima V_{ϕ_pk} no se puede medir directamente desde el ciclo 404 porque los retardos de fase α_2 y α_3 son mayores que $T/4$. Aunque la tensión máxima V_{ϕ_pk} se puede medir directamente desde el ciclo 402, al menos en una realización, el procesador de señal digital 316 determina la tensión máxima V_{ϕ_pk} para todos los ciclos de la señal V_ϕ modulada en fase. Al menos en una realización, el procesador de señal digital 316 determina periódicamente o intermitentemente la tensión máxima V_{ϕ_pk} . Al menos en una realización, el procesador de señal digital 316 mide cada tensión máxima V_{ϕ_pk} de cada ciclo que se puede medir.

En referencia a las figuras 3, 4 y 5, el detector de retardo de fase 318 recibe la señal V_ϕ modulada en fase y, al menos en una realización, determina un valor digital de cada retardo de fase α_X y β_X en cada ciclo de la señal V_ϕ modulada en fase, donde X es un valor de índice. Para determinar la tensión máxima V_{ϕ_pk} de los retardos de fase de la señal modulada en fase $V_{<1>$, el detector de retardo de fase 318 detecta los retardos de fase de cada ciclo de la señal V_ϕ modulada en fase. Al menos en una realización, el detector de retardo de fase 318 genera un valor digital de la señal de retardo de fase Φ para cada retardo de fase detectado en la señal V_ϕ modulada en fase. Cada valor digital de la señal de retardo de fase Φ representa un retardo de fase, y cada retardo de fase indica un nivel de atenuación. Por ejemplo, una señal V_ϕ modulada en fase de 50 Hz tiene un período de $1/50$ o 0,02 segundos. Un nivel de atenuación del 25 % está representado por un retardo de fase de $(0,5 \cdot 0,02) \cdot 0,25$ segundos. Donde $(0,5 \cdot 0,02)$ representa la duración de cada semiciclo de la señal V_ϕ modulada en fase y 0,25 representa el nivel de atenuación. Así, cada señal de retardo de fase Φ también puede denominarse señal de atenuación.

El procesador de señal digital 316 determina la tensión máxima V_ϕ de la señal de retardo de fase Φ . Cada semiciclo de la señal V_ϕ modulada en fase representa 180 grados. Cada retardo de fase se puede convertir en un ángulo de fase equivalente de acuerdo con la Ecuación [2]:

$$\text{ángulo de fase} = \frac{2 \cdot \text{retardo de fase}}{T} \times 180^\circ \quad [2]$$

donde T es el período de la señal V_Φ modulada en fase.

En al menos una realización, el procesador de señal digital 316 determina la tensión máxima V_{Φ_pk} de acuerdo con la Ecuación [3]:

$$V_{\Phi_pk} = \text{abs} \{V_{Ax} / [\text{sen}(\text{ángulo de fase})]\} \quad [3],$$

donde "abs" representa la función de valor absoluto de la cantidad encerrada entre paréntesis y V_{Ax} representa una tensión máxima del borde anterior o posterior asociado con el retardo de fase, y "x" es un índice.

Por ejemplo, si la señal V_Φ modulada en fase es una señal de 50Hz y $\alpha_0 = \alpha_1$, de las Ecuaciones [2] y [3] la tensión máxima V_{Φ_pk} para la primera mitad del ciclo 402 es igual a $\text{abs}\{V_{A0} / [\text{sen}((2 \cdot \alpha_0) / 0,02) \cdot 180]\}$. Si $\alpha_2 = \alpha_3$, de las ecuaciones [2] y [3] la tensión máxima V_{Φ_pk} para la segunda mitad del ciclo 402 es igual a $\text{abs}\{V_{A1} / [\text{sen}((2 \cdot \alpha_2) / 0,02) \cdot 180]\}$.

Al menos en una realización, los retardos de fase α_0 y α_1 se generan independientemente como, por ejemplo, se describe en Melanson II y Melanson III. Cuando los retardos de fase en un ciclo se generan de forma independiente, la tensión máxima V_{Φ_pk} se puede actualizar para cada retardo de fase generado de forma independiente.

La figura 5 representa un retardo de fase de borde anterior α_0 y un retardo de fase de borde posterior β_0 . Al menos en una realización, el procesador de señal digital 316 determina la tensión máxima V_{Φ_pk} de acuerdo con las Ecuaciones [2] y [3] para retardos de fase de borde anterior y posterior generados independientemente. Al detectar retardos de fase de borde anterior y posterior generados independientemente, al menos en una realización, el procesador de señal digital 316 recibe la señal V_{Φ_BRUTO} modulada en fase en bruto para determinar los tiempos de inicio y finalización de cada semiciclo de un ciclo al, por ejemplo, detectar la polaridad de cada semiciclo.

La figura 6 representa un detector de retardo de fase 600 basado en el tiempo que representa una realización del detector de retardo de fase 318. Un comparador 602 compara la señal V_Φ modulada en fase con una referencia conocida V_{ref} . La referencia V_{ref} es generalmente la tensión del punto de cruce del ciclo de la señal V_Φ modulada en fase, como el potencial neutro de la tensión de CA de un edificio. Al menos en una realización, la referencia V_{ref} es un valor de tensión ligeramente mayor que cualquier ondulación de tensión esperada del potencial neutro. El contador 604 cuenta el número de ciclos de la señal de reloj f_{clk} que ocurren hasta que el comparador 602 indica que un borde de la señal V_Φ modulada en fase ha sido conseguido. Dado que la frecuencia de la señal V_Φ modulada en fase y la frecuencia de la señal de reloj f_{clk} es conocida, el retardo de fase indicado por la señal de retardo de fase Φ se puede determinar a partir del recuento de ciclos de la señal de reloj f_{clk} que ocurren hasta que el comparador 602 indica que la señal V_Φ modulada en borde o fase ha sido conseguida. Así, el detector de retardo de fase 600 es un detector de retardo de fase basado en el tiempo que detecta el retardo de fase indicado por la señal de retardo de fase Φ utilizando un proceso basado en el tiempo.

La figura 7 representa formas de onda 700 ilustrativas que representan un ciclo 702 de la señal V_Φ modulada en fase y formas de onda de pulso de la señal de control de conmutación PFC CS_1 . Al menos en una realización, el controlador de PFC 302 continúa pulsando el conmutador PFC 306, es decir, encender y apagar el conmutador PFC 306, durante los retardos de fase de la señal modulada en fase V_Φ , para aumentar la resistencia efectiva R_{EFF_1} del circuito excitador de LED PFC 304 sin componentes externos adicionales y sin pérdida adicional de eficacia.

Los retardos de fase α_2 del ciclo 702 de la señal V_Φ modulada en fase indican los niveles de atenuación de los LED. Los retardos de fase crecientes indican niveles de atenuación crecientes y una demanda de potencia decreciente del circuito excitador de LED PFC. Con referencia a las figuras 3 y 7, los semiciclos 704 y 706 de la señal V_Φ modulada en fase, incluyen, cada uno, respectivas regiones activas (sin cortar) 708 y 710 que tienen un período de tiempo activo T_A (denominado "período activo T_A "). El período activo T_A más el retardo de fase α_2 es igual al período de semiciclo T/2 del ciclo 702. Haciendo referencia a la figura 1, los controladores y el circuito excitador PFC convencional, como el circuito excitador de fuente de luz 106, cortan la corriente de salida i_{FUERA} durante el retardo de fase α_2 . La señal V_Φ modulada en fase de la figura 1 a menudo tiene ondulaciones durante el retardo de fase α_2 que pueden causar problemas, como hacer que los bordes de la señal V_Φ modulada en fase sean difíciles de detectar.

Con referencia a las figuras 3 y 7, al menos en una realización, durante el retardo de fase α_2 , el controlador de PFC 302 genera pulsos 712 que disminuyen la resistencia efectiva R_{EFF_1} de la señal de control de conmutación PFC CS_1 y atenúa las ondulaciones de la señal V_Φ modulada en fase durante el retardo de fase α_2 . Atenuando las ondulaciones o la señal V_Φ modulada en fase durante α_2 , señal V_Φ modulada en fase es aproximadamente 0 V durante el retardo de fase α_2 como se muestra en el ciclo 702. La atenuación de las ondulaciones facilita una detección de bordes más precisa mediante el detector de retardo de fase 318. Una detección de bordes más precisa facilita una determinación más precisa del nivel de atenuación indicado por la señal V_Φ modulada en fase y una determinación más precisa de la tensión máxima V_{Φ_pk} . Los períodos y coeficientes de utilización de la señal de control de conmutación PFC CS_1

durante el retardo de fase α_2 no se dibujan a escala. Al menos en una realización, los períodos y coeficientes de utilización de la señal de control de conmutación PFC CS_1 son suficientes para atenuar las ondulaciones de la señal V_ϕ modulada en fase. Al menos en una realización, el período de la señal de control de conmutación PFC CS_1 durante el retardo de fase α_2 es de 0,0001 segundos a 0,0002 segundos, lo que equivale a una frecuencia de conmutación que varía entre 10 kHz y 20 kHz. Mantener un atenuador, como el atenuador 104 (figura 1) cargado durante los retardos de fase mejora el rendimiento del atenuador, así, eliminando la necesidad de la circuitería de amortiguación adicional 282 del excitador de lámpara LED 280 (figura 2).

En general, durante el período activo T_A de la señal V_ϕ modulada en fase, el controlador de PFC 302 determina los anchos de pulso de la señal de control de conmutación PFC CS_1 de acuerdo con la Ecuación [1]. Sin embargo, a medida que aumenta el retardo de fase α_2 , el coeficiente de utilización de la señal de control de conmutación PFC CS_1 también disminuye. Al menos en una realización, una vez que el coeficiente de utilización de la señal de control de conmutación PFC CS_1 está por debajo del umbral del coeficiente de utilización, el término $[1-(V_\phi / V_{C1})]$ de la Ecuación [1] se convierte en aproximadamente 1. Por consiguiente, al menos en una realización, una vez que el coeficiente de utilización del controlador de PFC 302 está por debajo del umbral del coeficiente de utilización, el controlador de PFC 302 genera pulsos 714 de la señal de control de conmutación PFC CS_1 con un ancho de pulso constante y un coeficiente de utilización constante. Al menos en una realización, el controlador de PFC 302 genera pulsos 714 dentro de un intervalo de frecuencia de 25 kHz a 150 kHz para evitar frecuencias de audio en el extremo de baja frecuencia y evitar ineficacias de conmutación en el extremo de alta frecuencia. Adicionalmente, en aplicaciones de iluminación, las frecuencias asociadas con dispositivos electrónicos comerciales, como mandos a distancia por infrarrojos, se evitan. Al menos en una realización, el umbral del coeficiente de utilización en particular es una cuestión de elección de diseño y, por ejemplo, se elige para ser un coeficiente de utilización cuando el término $[1-(V_\phi/V_\phi)]$ de la Ecuación [1] se convierte en aproximadamente 1, de modo que la disminución del coeficiente de utilización debidamente no tiene un efecto inaceptable sobre el rendimiento del sistema de iluminación 300. Al menos en una realización, el umbral del coeficiente de utilización es 0,4.

Los pulsos 716 de la señal de control CS_1 representan una ventana 718 expandida en el tiempo de los pulsos 714 para ilustrar los anchos de pulso constantes de los pulsos 714. Los pulsos 716 son ilustrativos y no necesariamente a escala. La duración de la ventana 718 es T_A/X , y X es un factor igual a $5/(\text{frecuencia de la señal de control de conmutación PFC } CS_1)$.

La figura 8 representa un modelo de resistencia efectiva del circuito excitador de LED PFC 304. El circuito excitador de LED PFC 304 tiene una resistencia efectiva R_{EFF_1} desde la perspectiva de una fuente de tensión de red, como la fuente de tensión de CA 101 (figura 1). Al menos en una realización, el controlador de PFC 302 genera una señal de control de conmutación PFC CS_1 , para hacer que el circuito excitador de LED PFC 304 responda al nivel de atenuación indicado por la señal de retardo de fase Φ sin disminuir una resistencia efectiva R_{EFF_1} del circuito excitador de LED PFC 304, como lo percibe una fuente de tensión del circuito excitador de LED PFC 304, a medida que aumenta el nivel de atenuación indicado por la señal. Evitar que la resistencia efectiva R_{EFF_1} del circuito excitador de LED PFC 304 disminuya a medida que aumentan los niveles de atenuación conserva potencia.

Al menos en una realización, el procesador de señal digital 316 supervisa la demanda de energía del aparato LED 322 supervisando el valor de la variable de demanda de potencia P en la Ecuación [1]. A medida que la demanda de potencia del aparato LED 322 disminuye debido a, por ejemplo, mayor atenuación, el valor de la variable de demanda de potencia P disminuye. Al determinar el ancho de pulso de la señal de control de conmutación PFC CS_1 de acuerdo con la Ecuación [1], el procesador de señal digital 316 reduce el ancho de pulso y, así, el coeficiente de utilización de la señal de control de conmutación PFC CS_1 . La disminución del coeficiente de utilización de la señal de control de conmutación PFC CS_1 evita que la resistencia efectiva R_{EFF_1} aumente al aumentar los niveles de atenuación.

La figura 9 muestra relaciones ilustrativas entre la señal V_ϕ modulada en fase y la corriente del inductor i_{L1} sin atenuación en la vista 902 y con atenuación en la vista 904. Con referencia a las figuras 3 y 9, la resistencia efectiva R_{EFF_1} del circuito excitador de carga PFC 304 es igual a V_ϕ/i_{L1} . En la vista 902, la señal V_ϕ modulada en fase no tiene retardos de fase, lo que indica que no hay atenuación. Debido a que el circuito excitador de carga PFC 304 tiene el factor de potencia corregido, la corriente del inductor i_{L1} rastrea y está en fase con la señal V_ϕ modulada en fase. En la vista 904, la señal V_ϕ modulada en fase incluye retardos de fase α_1 y α_2 , lo que indica atenuación. Las formas de onda con líneas discontinuas 906 y 908 representan los valores de la corriente del inductor i_{L1} si la corriente del inductor i_{L1} no había disminuido con la atenuación. Las formas de onda sólidas con líneas continuas 910 y 912 indican el valor real de la corriente del inductor i_{L1} controlada por el controlador de PFC 302. Así, la resistencia efectiva R_{EFF_1} del circuito excitador de carga PFC 304 no disminuye a medida que aumentan los niveles de atenuación y, al menos en una realización, en realidad aumenta a medida que aumentan los niveles de atenuación.

La figura 10 muestra una relación ilustrativa, gráfica, 1000 entre coeficientes de utilización de la señal de control de conmutación PFC CS_1 y la tensión de enlace V_{ci} . Con referencia a las figuras 3 y 10, el circuito excitador de carga PFC 304 aumenta la señal modulada en fase V_ϕ a diferentes tensiones de enlace V_{ci} dependiendo del coeficiente de utilización de la señal de control de conmutación PFC CS_1 . Disminuir la demanda de potencia del aparato LED 322 da como resultado un valor decreciente de la Ecuación P dentro [1] de la variable de demanda de potencia. De acuerdo con la Ecuación [1], el controlador de PFC 302 responde a la demanda de potencia decreciente por el aparato LED

322 disminuyendo el coeficiente de utilización de la señal de control de conmutación PFC CS_1 . La demanda de potencia decreciente por el aparato LED 322 es, por ejemplo, causada por la atenuación de los LED del aparato LED 322. Al menos en una realización, aumentar la señal V_ϕ modulada en fase a la tensión de enlace alta V_{C1_H} da como resultado un aumento de 120 VCA a una tensión de corriente continua de aproximadamente 400 V. Como el coeficiente de utilización de la señal de control de conmutación PFC CS_1 disminuye con la disminución de la demanda de potencia por el aparato LED 322, el circuito excitador de carga PFC 304 pierde eficacia a través de, por ejemplo, pérdidas de conmutación asociadas con el conmutador 306.

Por consiguiente, al menos en una realización, el controlador de PFC 302 genera la señal de control de conmutación PFC modulada por coeficiente de utilización CS_1 para controlar la tensión de enlace regulada V_{ci} del circuito excitador de LED PFC 304. El controlador de PFC 302 reduce la tensión de enlace V_{ci} desde un valor alto de tensión de enlace V_{C1_H} a un valor bajo de tensión de enlace V_{C1_L} cuando el coeficiente de utilización de la señal de control de conmutación PFC CS_1 disminuye a un valor entre cero y un umbral del coeficiente de utilización DC_{TH} . El valor particular del umbral del coeficiente de utilización DC_{TH} es una cuestión de elección de diseño y, por ejemplo, se elige para aumentar la eficacia del circuito excitador de carga PFC 304 mientras se proporciona una tensión de enlace adecuada V_{ci} para satisfacer las necesidades de demanda de potencia del aparato LED 322. Al menos en una realización, el umbral del coeficiente de utilización DC_{TH} se fija en 0,5. Al menos en una realización, para la señal V_ϕ modulada en fase que tiene un máximo de tensión V_{ϕ_pk} de 120 V, la tensión de enlace alta V_{C1_H} es cualquier valor dentro de un intervalo de aproximadamente 200 V a 400 V para una tensión de enlace baja V_{C1_L} con un valor respectivo dentro de un intervalo de aproximadamente 120 V a 175 V.

La pendiente y la forma de la transición 1002 de la tensión de enlace alta $VC1_H$ a la tensión de enlace baja $VC1_L$ son cuestiones de elección de diseño y dependen de, por ejemplo, una transición deseada entre la tensión de enlace alta $VC1_H$ y tensión de enlace baja $VC1_L$. Al menos en una realización, la pendiente es de 90 grados, lo que indica dos valores posibles, $VC1_H$ y $VC1_L$ para tensión de enlace $VC1$. En otras realizaciones, la pendiente es inferior a 90 grados e indica múltiples valores de tensión de enlace $VC1$ entre tensión de enlace alta $VC1_H$ y tensión de enlace baja $VC1_L$. La forma de la transición 1002 puede ser lineal o no lineal.

Las figuras 11 y 12 representan realizaciones ilustrativas del aparato LED 322. El aparato LED 1100 incluye uno o más LED 1102. Los LED 1102 pueden ser de cualquier tipo, incluido blanco, ámbar, otros colores o cualquier combinación de colores LED. Adicionalmente, los LED 1102 se pueden configurar en cualquier tipo de disposición física, como linealmente, circular, en espiral, o cualquier otra disposición física. Al menos en una realización, cada uno de los LED 1102 está conectado en serie. El condensador 1104 está conectado en paralelo con los LED 1102 y proporciona filtrado para proteger los LED 1102 de las señales de CA. El inductor 1106 suaviza la energía de la corriente LED i_{FUERA} para mantener una corriente aproximadamente constante i_{FUERA} cuando el conmutador PFC 306 está ENCENDIDO. El diodo 1108 permite continuar el flujo de corriente cuando el conmutador PFC 306 está APAGADO.

En el sistema LED de conmutación 1210, el inductor 1212 está conectado en serie con los LED 1102 para proporcionar almacenamiento y filtrado de energía. El inductor 1212 suaviza la energía de la corriente LED i_{FUERA} para mantener una corriente aproximadamente constante i_{FUERA} cuando el conmutador PFC 306 está ENCENDIDO. El diodo 1214 permite el flujo continuo de corriente cuando el conmutador PFC 306 está APAGADO. Aunque se han descrito dos realizaciones específicas del aparato LED 322, el aparato LED 322 puede ser cualquier LED, matriz de LED(s), o cualquier sistema de LED de conmutación.

Así, un controlador de PFC 302 determina al menos un parámetro de control de corrección del factor de potencia a partir de los retardos de fase de la señal V_ϕ modulada en fase.

Al menos en una realización, a medida que disminuye un nivel de atenuación, el controlador de PFC 302 reduce un coeficiente de utilización del conmutador PFC 306 en el circuito excitador de LED PFC 304 para hacer que el circuito excitador de LED PFC 304 disminuya la corriente de salida suministrada a los LED. Cuando la señal V_ϕ modulada en fase indica un nivel de atenuación por debajo de un valor umbral Φ_{TH} , el controlador de PFC 302 mantiene un coeficiente de utilización aproximadamente constante del conmutador PFC 306 para, por ejemplo, mantener la eficacia de conmutación sin sacrificar significativamente la corrección del factor de potencia.

Al menos en una realización, el controlador de PFC 302 genera una señal de control de conmutador PFC CS_2 para hacer que el circuito excitador de LED PFC 304 responda a niveles de atenuación decrecientes como lo indica una señal de atenuación, como la señal V_ϕ modulada en fase, sin disminuir una resistencia efectiva del circuito excitador de LED PFC 304.

Al menos en una realización, el controlador de PFC 302 genera una señal de control de conmutación PFC modulada por coeficiente de utilización CS_1 para controlar una tensión de enlace regulada V_{ci} o el circuito excitador de LED PFC 304 y disminuye la tensión de enlace V_{ci} cuando un coeficiente de utilización de la señal de control de conmutación PFC CS_1 disminuye a un valor entre cero y un valor umbral del coeficiente de utilización DC_{TH} .

Aunque la presente invención se ha descrito en detalle, debe entenderse que pueden realizarse varios cambios,

sustituciones y alteraciones.

REIVINDICACIONES

1. Un sistema de iluminación de diodo emisor de luz (LED) que comprende:
 un controlador de corrección del factor de potencia (PFC) caracterizado por que el controlador de corrección del factor
 5 de potencia comprende:
- una entrada para recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase; y
 - un procesador de señal digital (316), acoplado a la entrada, para recibir la señal de retardo de fase y determinar
 10 un parámetro operativo de control a partir de la señal de retardo de fase y para generar una señal de control de conmutación usando el parámetro operativo determinado para variar una corriente de entrada a un convertidor de potencia de conmutación con una tensión modulada en fase, en donde el procesador de señal digital (316) está dispuesto además para determinar los tiempos de inicio y parada de cada semiciclo de un ciclo de la señal de atenuación modulada en fase.
- 15
2. El sistema de iluminación LED de la reivindicación 1, que comprende además:
 un detector de retardo de fase basado en el tiempo para detectar el retardo de fase de la señal modulada en fase y
 generar la señal de retardo de fase como una señal digital.
- 20
3. El sistema de iluminación LED de la reivindicación 1, en donde el procesador de señal digital está configurado además para ejecutar un algoritmo de estado de la señal de control para determinar un ancho de pulso de la señal de control de conmutación PFC.
- 25
4. El sistema de iluminación LED de la reivindicación 1, en donde el parámetro operativo se determina usando al menos una tensión máxima de la señal de atenuación modulada en fase.
5. El sistema de iluminación LED de la reivindicación 1, en donde la señal de retardo de fase indica un nivel de atenuación y el controlador de PFC está configurado además para generar una señal de control de conmutación PFC para hacer que un circuito excitador de LED PFC responda al nivel de atenuación indicado por la señal de retardo de fase 2, al disminuir el coeficiente de utilización de la señal de control de conmutación PFC y, por lo tanto, mantener una resistencia efectiva del circuito excitador de LED PFC, tal como lo percibe una fuente de tensión del circuito excitador de LED PFC, a medida que aumenta el nivel de atenuación indicado por la señal de retardo de fase.
- 30
6. El sistema de iluminación LED de la reivindicación 1, en donde el controlador de PFC está configurado además para generar una señal de control modulada por coeficiente de utilización para controlar una tensión de enlace regulada de un circuito excitador de LED PFC y para disminuir la tensión del enlace cuando un coeficiente de utilización de la señal de control disminuye a un valor entre cero y un valor umbral del coeficiente de utilización.
- 35
7. El sistema de iluminación LED de la reivindicación 1, en donde el controlador de PFC está configurado además para generar anchos de pulso aproximadamente constantes para la señal de control de conmutación PFC durante cada ciclo de señal modulada en fase cuando un coeficiente de utilización de la señal de control de conmutación PFC está por debajo de un umbral predeterminado.
- 40
8. El sistema de iluminación LED de la reivindicación 1, en donde el controlador de PFC está configurado además para generar pulsos para la señal de control de conmutación PFC durante los retardos de fase de la señal modulada en fase, en donde los anchos de pulso y los coeficientes de utilización de los pulsos de la señal de control de conmutación PFC generada durante los retardos de fase son suficientes para atenuar la ondulación de la señal modulada en fase durante los retardos de fase de la señal modulada en fase.
- 45
9. El sistema de iluminación LED de la reivindicación 8, en donde los pulsos de la señal de control de conmutación PFC generada durante los retardos de fase tienen un período significativamente mayor que un período de los pulsos de la señal de control de conmutación PFC durante un período activo de la señal modulada en fase.
- 50
10. Un método para controlar un sistema de iluminación de diodo emisor de luz (LED), el método caracterizado por las etapas de:
- 55
- recibir una señal de retardo de fase que indica un retardo de fase de una señal de atenuación modulada en fase; determinar un parámetro operativo de control de PFC a partir de la señal de retardo de fase usando un procesador de señal digital; y
 - generar una señal de control de conmutación PFC usando el parámetro operativo determinado;
 - determinar los tiempos de inicio y parada de cada semiciclo de un ciclo de la señal de atenuación modulada en fase.
- 60
11. El método de la reivindicación 10, que comprende, además:
- 65
- detectar el retardo de fase de la señal modulada en fase usando un detector de retardo de fase basado en el

tiempo; y
generar la señal de retardo de fase como una señal digital.

5 12. El método de la reivindicación 10, que comprende, además:
ejecutar un algoritmo de estado de la señal de control para determinar un ancho de pulso de la señal de control de conmutación PFC.

10 13. El método de la reivindicación 10, en donde el parámetro operativo se determina usando al menos una tensión máxima de la señal de atenuación modulada en fase.

15 14. El método de la reivindicación 10, en donde la señal de retardo de fase indica un nivel de atenuación, comprendiendo además el método: generar una señal de control de corrección del factor de potencia para hacer que un circuito excitador de LED PFC responda al nivel de atenuación indicado por la señal de retardo de fase, al disminuir un coeficiente de utilización de una señal de control de conmutación PFC y, por lo tanto, mantener una resistencia efectiva del circuito excitador de carga PFC, tal como lo percibe una fuente de tensión del circuito excitador de carga PFC, a medida que aumenta el nivel de atenuación indicado por la señal de retardo de fase.

20 15. El método de la reivindicación 10, que comprende, además:
generar una señal de control modulada por coeficiente de utilización para controlar una tensión de enlace regulada de un circuito excitador de LED PFC; y
disminuir la tensión de enlace cuando un coeficiente de utilización de la señal de control disminuye a un valor entre cero y un valor umbral del coeficiente de utilización.

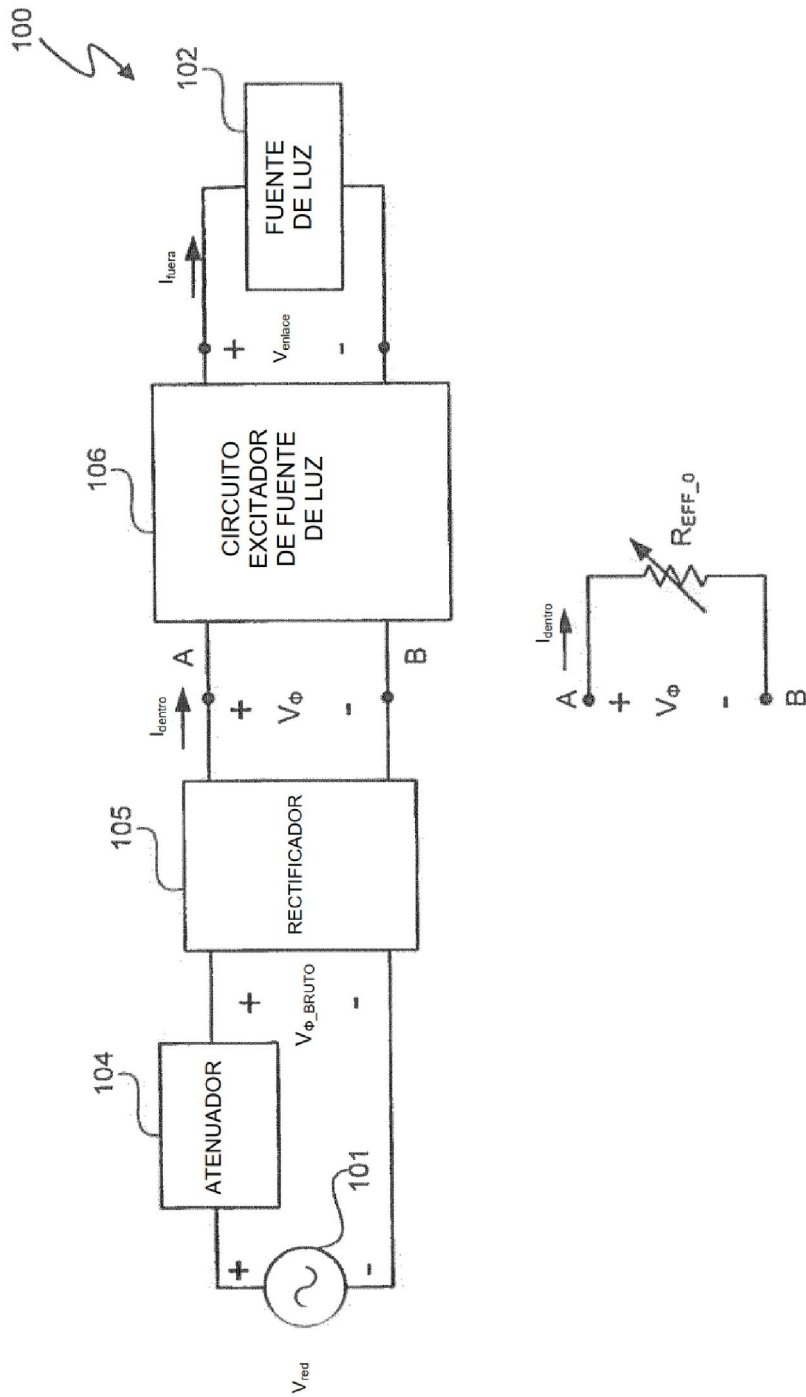


Figura 1 (técnica anterior)

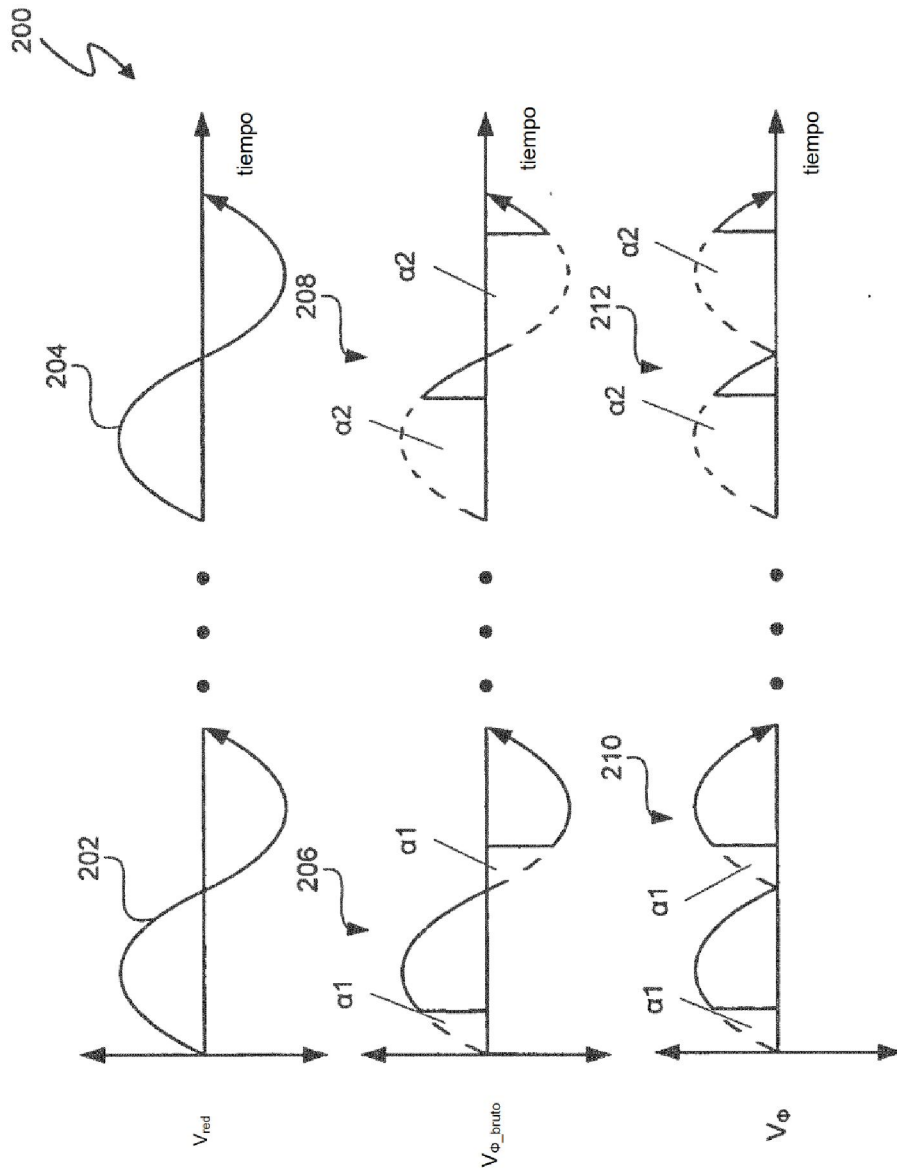


Figura 2 (técnica anterior)

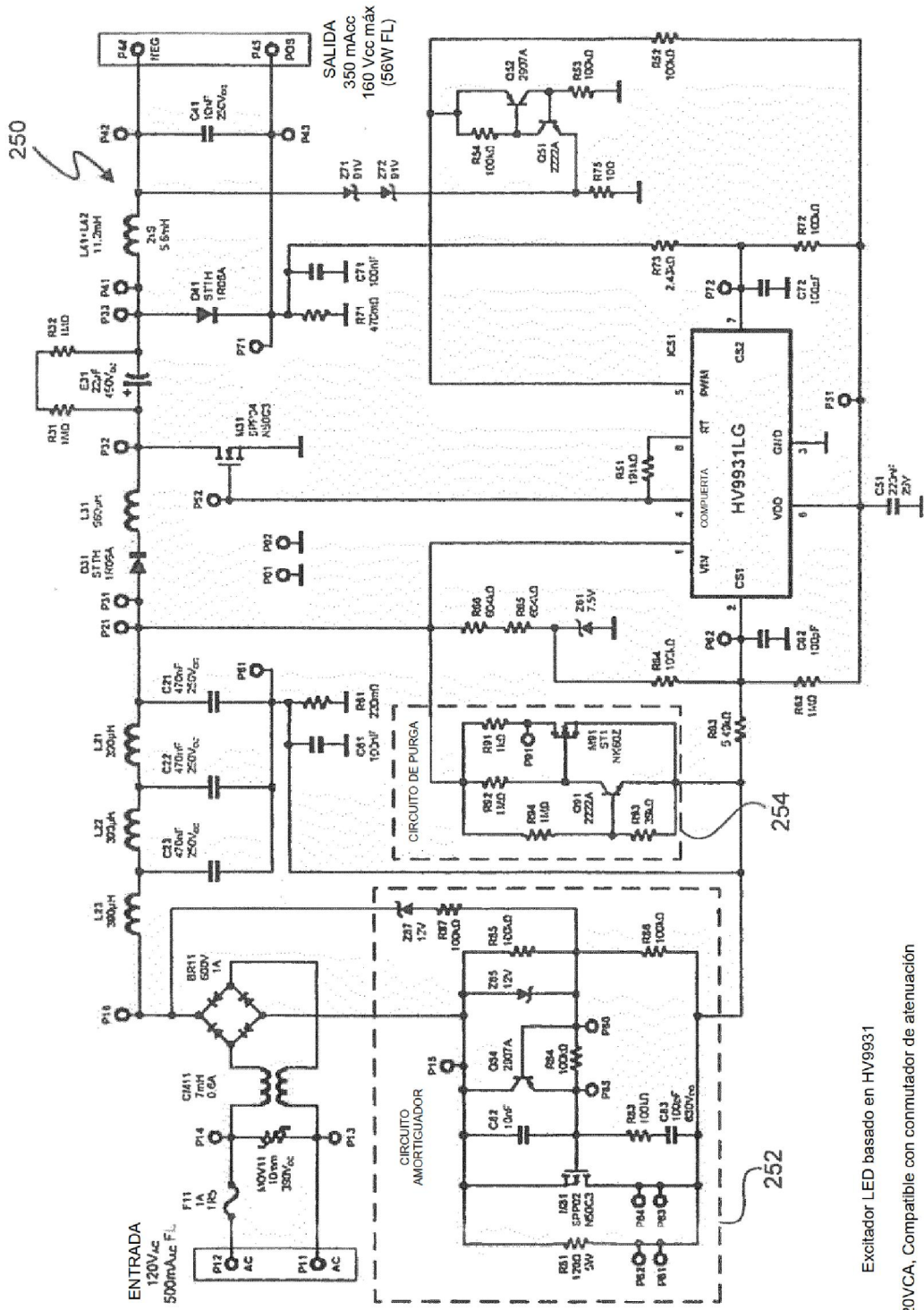


Figura 2B (técnica anterior)

(P11+P12)11Tot=8.52mF

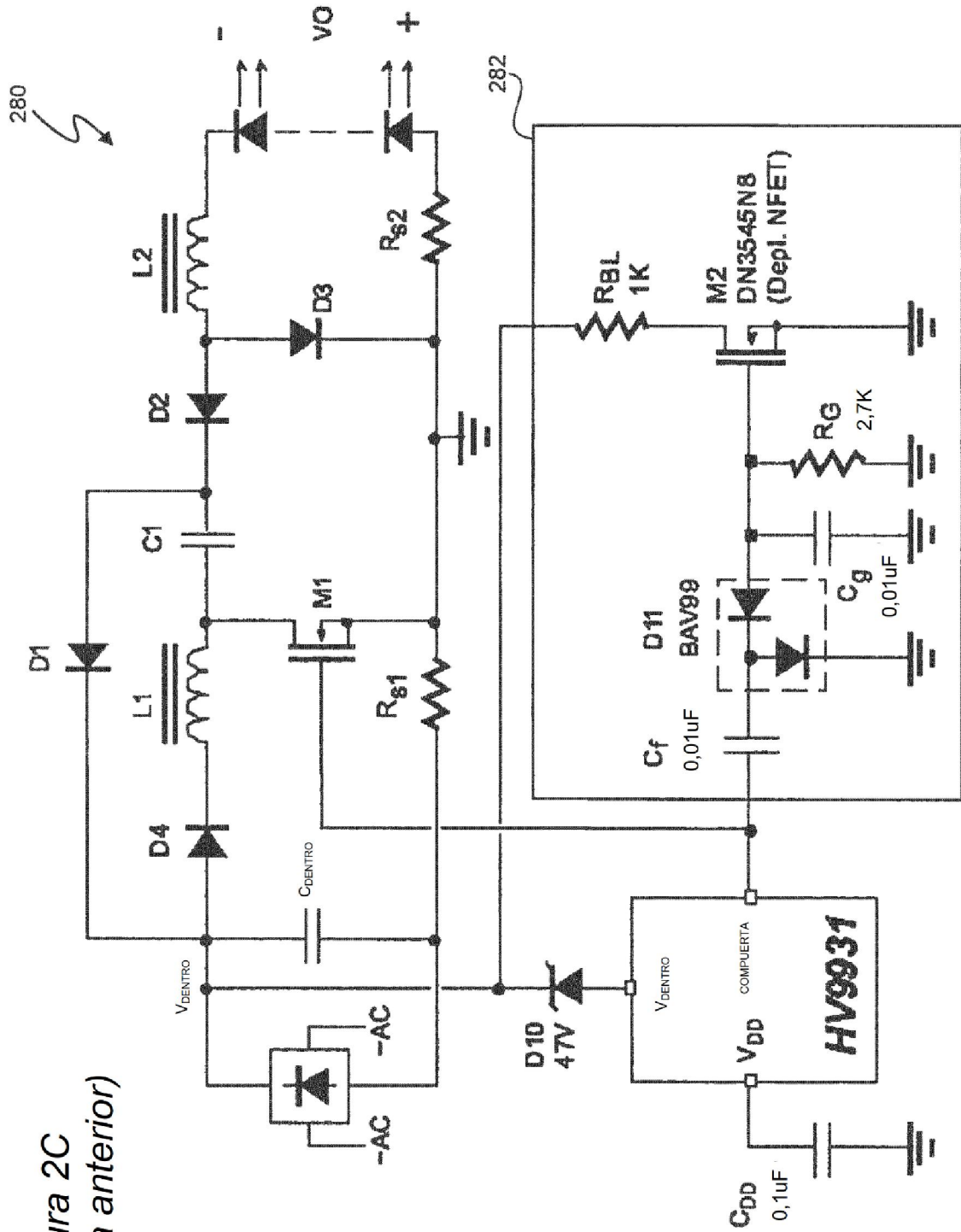


Figura 2C
(técnica anterior)

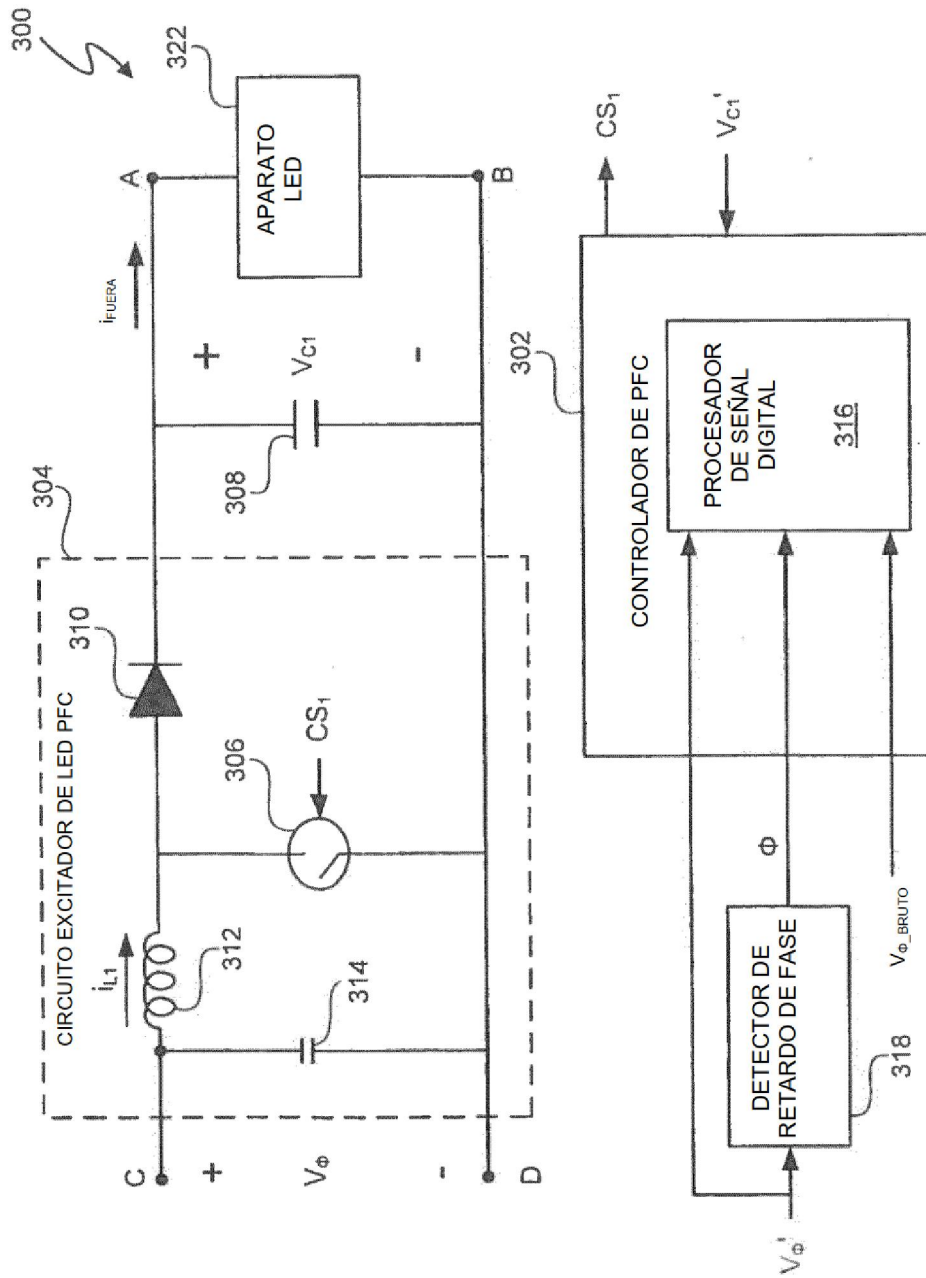


Figura 3

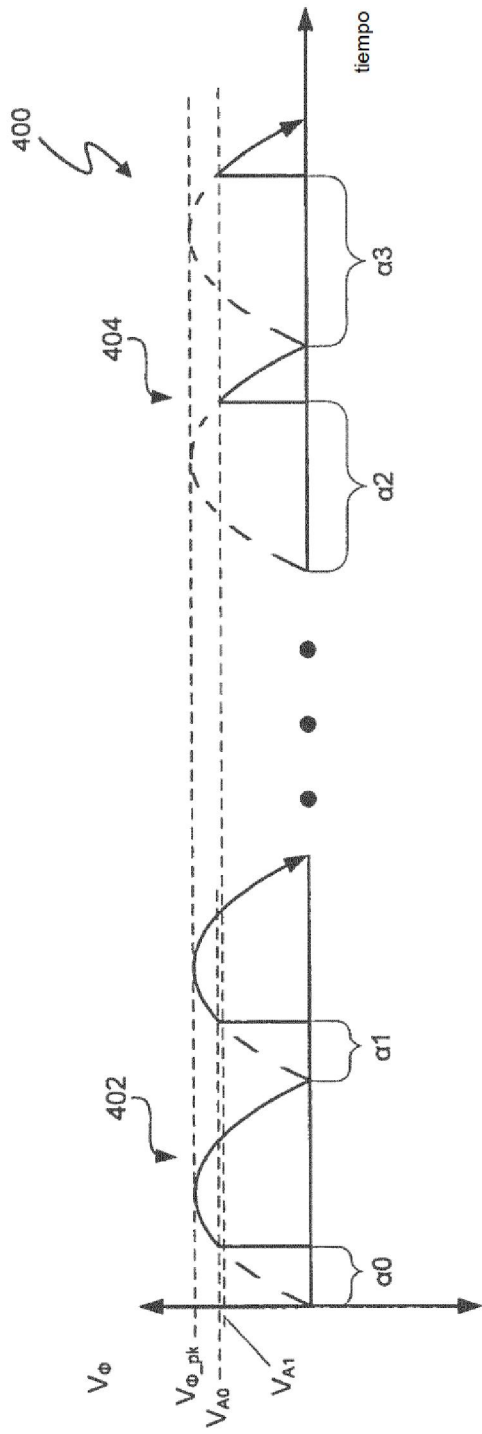


Figura 4

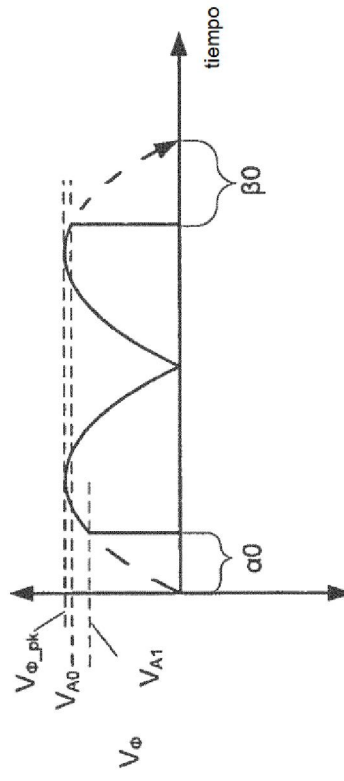


Figura 5

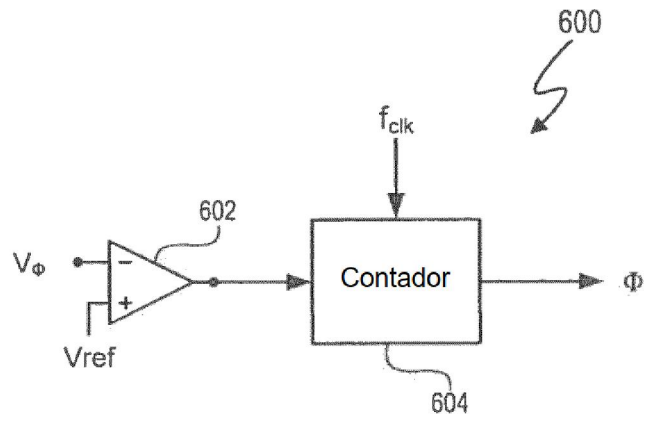


Figura 6

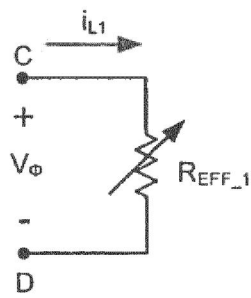


Figura 8

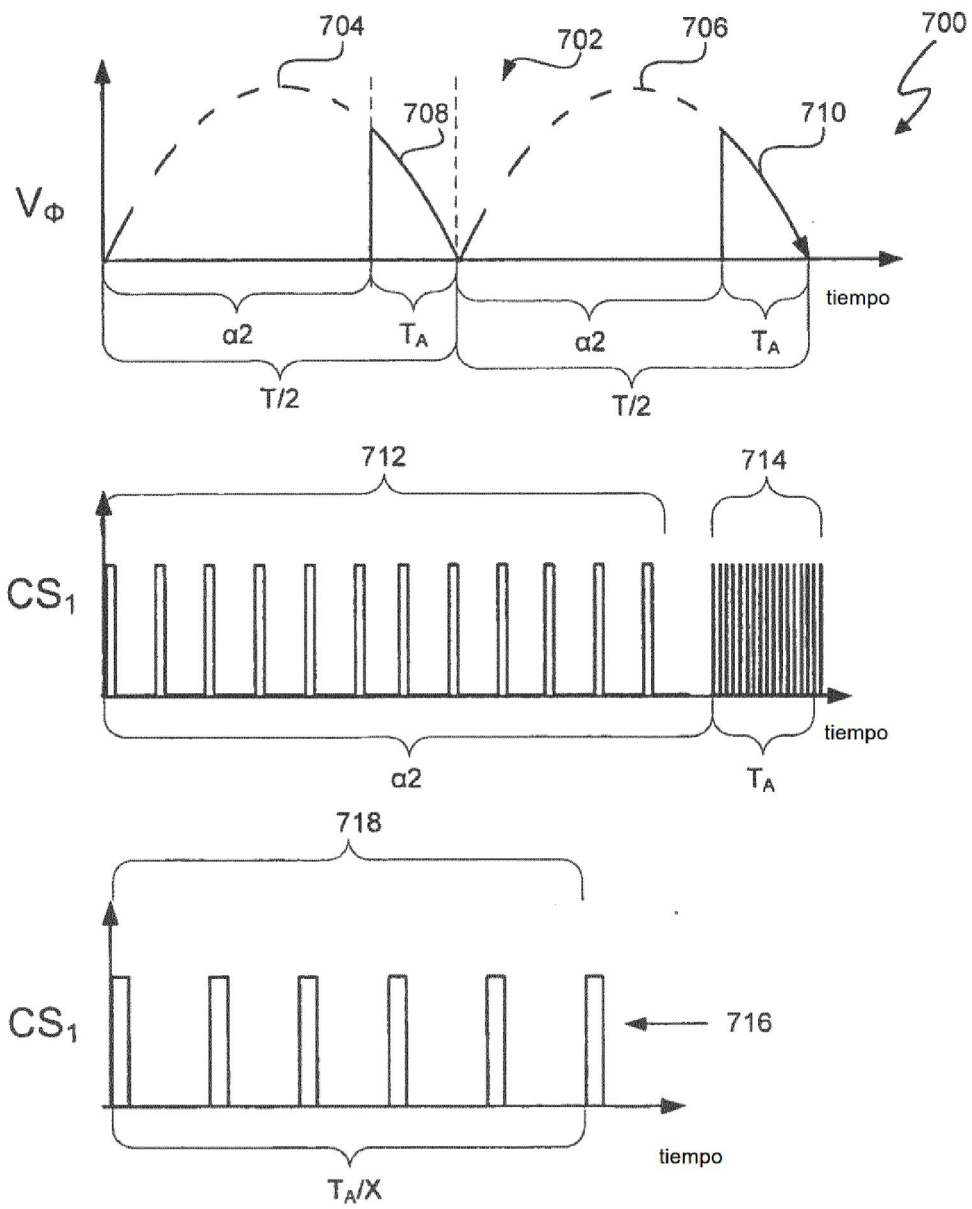


Figura 7

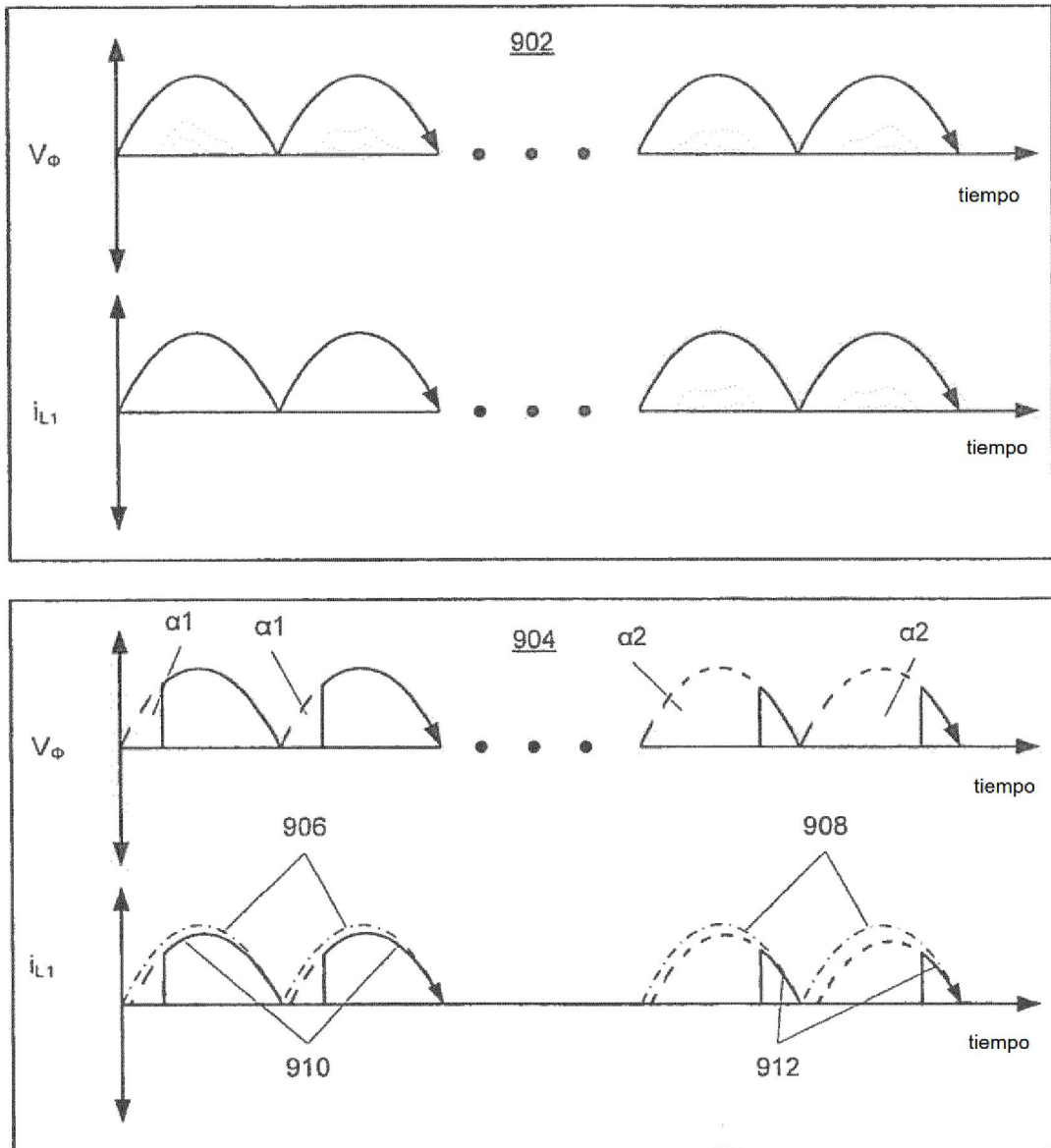


Figura 9

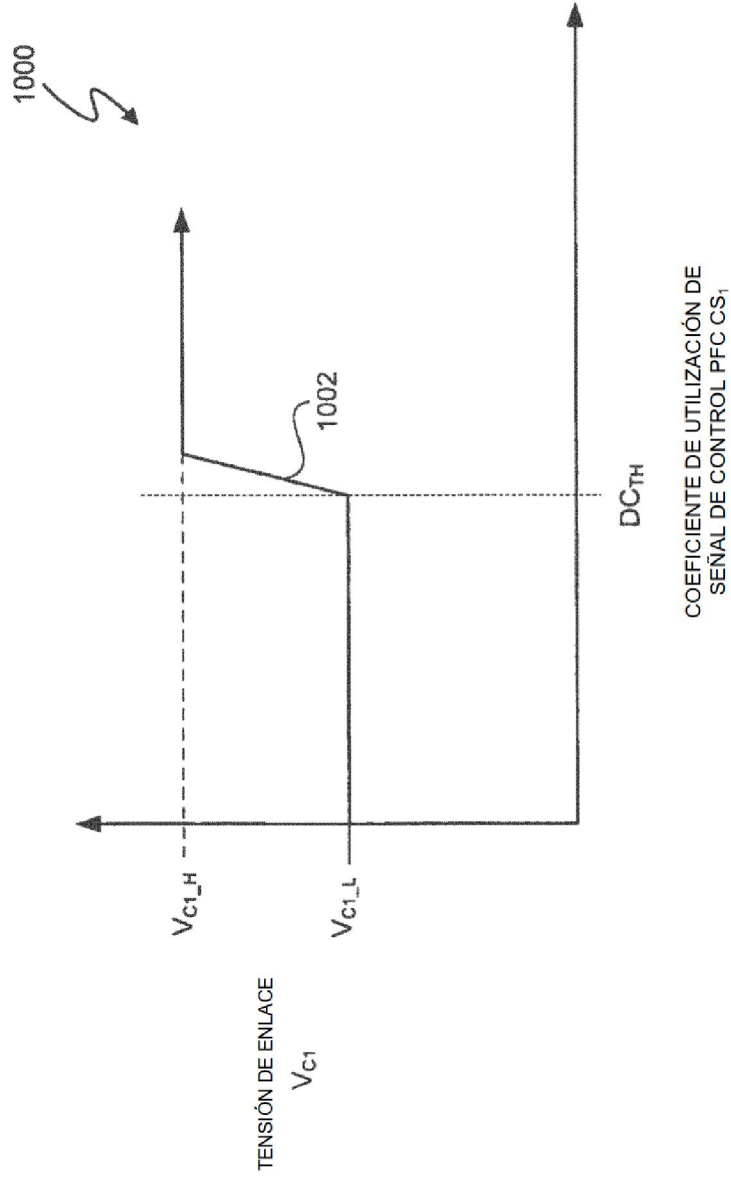


Figura 10

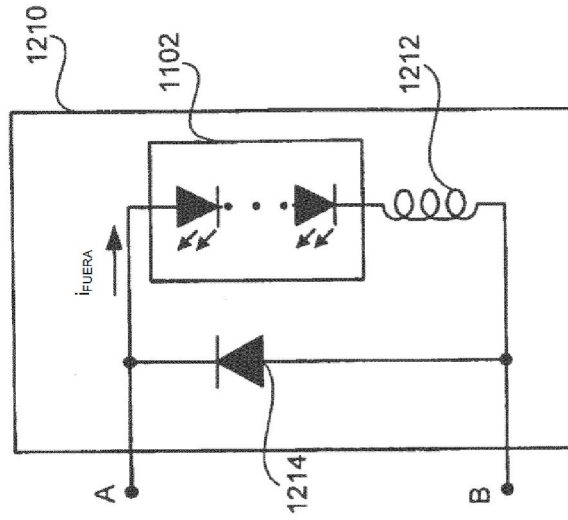


Figura 12

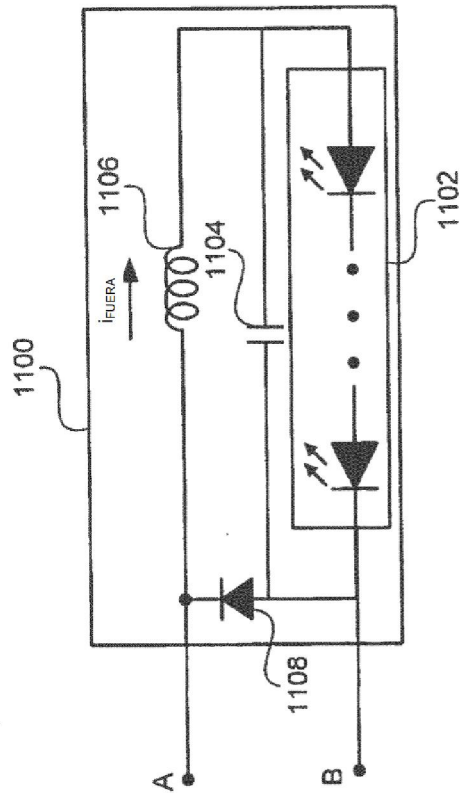


Figura 11