

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成30年8月23日(2018.8.23)

【公表番号】特表2017-529644(P2017-529644A)

【公表日】平成29年10月5日(2017.10.5)

【年通号数】公開・登録公報2017-038

【出願番号】特願2017-515931(P2017-515931)

【国際特許分類】

G 11 C 11/417 (2006.01)

【F I】

G 11 C 11/417 100

【手続補正書】

【提出日】平成30年7月12日(2018.7.12)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

レジスタファイル回路であって、

仮想供給電圧および書き込みワード線に結合されたメモリセルと、

ゲート、ソース、およびドレインを有する第1のヘッダPFETであって、前記第1のヘッダPFETのソースがシステム供給電圧に結合され、前記第1のヘッダPFETのゲートが書き込み信号を受信するためにドライバ回路の出力信号に結合され、前記第1のヘッダPFETのドレンが前記仮想供給電圧に結合される第1のヘッダPFETと、

ゲート、ソース、およびドレインを有する第1のヘッダNFETであって、前記第1のヘッダNFETのドレンが前記仮想供給電圧に結合され、前記第1のヘッダNFETのゲートが書き込み信号を受信するために前記ドライバ回路の前記出力信号に結合され、前記第1のヘッダNFETのソースがグランドに結合される第1のヘッダNFETと、

ゲート、ソース、およびドレインを有する第2のヘッダNFETであって、前記第2のヘッダNFETのドレンが前記システム供給電圧に結合され、前記第2のヘッダNFETのゲートが書き込み信号を受信するために前記ドライバ回路の前記出力信号に結合され、前記第2のヘッダNFETのソースが前記仮想供給電圧に結合される第2のヘッダNFETとを備えるレジスタファイル回路。

【請求項2】

前記第1のヘッダNFETは、前記仮想供給電圧を前記グランドまで放電させ、前記第2のヘッダNFETは、前記仮想供給電圧を書き込み電圧にクランプし、前記書き込み電圧は、供給電圧からしきい値電圧を引いた値に等しい、または、

前記ドライバ回路は、可変出力パルス幅を有するパルス発生器を備える、請求項1に記載のレジスタファイル回路。

【請求項3】

前記ドライバ回路は、可変出力パルス幅を有するパルス発生器を備え、

前記ドライバ回路は、前記第1のヘッダNFETのゲート、前記第2のヘッダNFETのゲート、および前記第1のヘッダPFETのゲートに結合されるパルス書き込み信号を出力する、請求項1に記載のレジスタファイル回路。

【請求項4】

前記ドライバ回路は書き込みクロック信号を入力し、前記パルス書き込み信号は、書き込みワ

ード線信号がアクティブになる前に出力される、請求項3に記載のレジスタファイル回路。

【請求項 5】

前記パルス書き込み信号は、前記メモリセルに対して書き込み動作を実行するのに十分な時間を前記メモリセルに与える書き込み完了時間が得られるように設定されたパルス幅を有する、請求項4に記載のレジスタファイル回路。

【請求項 6】

前記メモリセルは、

ゲート、ソース、およびドレインを有する第1のPFETであって、前記第1のPFETのソースが前記仮想供給電圧に結合される第1のPFETと、

ゲート、ソース、およびドレインを有する第2のPFETであって、前記第2のPFETのソースが前記仮想供給電圧に結合される第2のPFETと、

ゲート、ソース、およびドレインを有する第1のNFETであって、前記第1のNFETのソースが前記第1のPFETのドレインに結合され、前記第1のNFETのゲートが前記第1のPFETのゲートに結合される第1のNFETと、

ゲート、ソース、およびドレインを有する第2のNFETであって、前記第2のNFETのソースが前記第2のPFETのドレインに結合され、前記第2のNFETのゲートが前記第2のPFETのゲートに結合される第2のNFETと、

ゲート、ソース、およびドレインを有する第3のNFETであって、前記第3のNFETのゲートが前記書き込みワード線に結合され、前記第3のNFETのドレインが前記第2のPFETのゲートおよび前記第2のNFETのゲートに結合される第3のNFETと、

ゲート、ソース、およびドレインを有する第4のNFETであって、前記第4のNFETのゲートが前記書き込みワード線に結合され、前記第4のNFETのドレインが前記第1のPFETのゲートおよび前記第1のNFETのゲートに結合される第4のNFETとを備える、請求項1に記載のレジスタファイル回路。

【請求項 7】

前記第1のヘッダPFETは、前記第1のNFETおよび第2のNFETがオフのときはオンになり、前記第1のNFETおよび前記第2のNFETがオンのときはオフになるように構成される、請求項6に記載のレジスタファイル回路。

【請求項 8】

第1の共通ノードおよび第2の共通ノードをさらに備え、前記第1の共通ノードが真ビット線を備え、前記第2の共通ノードが補ビット線を備える、請求項6に記載のレジスタファイル回路。

【請求項 9】

前記第1の共通ノードは、前記第1のNFETのソースに接続するように動作可能に構成され、前記第2の共通ノードは、前記第2のNFETのソースに接続するように構成される、請求項8に記載のレジスタファイル回路。

【請求項 10】

前記第1の共通ノードおよび前記第2の共通ノードは、前記メモリセルに対する書き込み動作を実施するときに補論理電圧に駆動される、請求項9に記載のレジスタファイル回路。

【請求項 11】

前記ドライバ回路は、パルス書き込み信号を出力し、前記パルス書き込み信号が論理値ハイであるとき、前記第1のヘッダPFETがオフになり、前記第1のPFETおよび前記第2のPFETをオフにさせる、請求項10に記載のレジスタファイル回路。

【請求項 12】

前記第1のヘッダPFETは、前記第1のNFETおよび第2のNFETがオフのときはオンになり、前記第1のNFETおよび前記第2のNFETがオンのときはオフになるように構成される、請求項11に記載のレジスタファイル回路。

【請求項 13】

前記メモリセルは、モバイルフォン、モバイル通信デバイス、ページャ、携帯情報端末

、個人情報マネージャ、モバイルハンドヘルドコンピュータ、ラップトップコンピュータ、ワイヤレスデバイス、またはワイヤレスモデムのうちの1つに組み込まれる、請求項1に記載のレジスタファイル回路。

【請求項14】

各々が、仮想供給電圧および書き込みワード線に結合された、複数のメモリセルと、

各々が、ゲート、ソース、およびドレインを有する、複数のヘッダPFETであって、各ヘッダPFETのソースがシステム供給電圧に結合され、各ヘッダPFETのゲートが書き込み信号を受信するためにドライバ回路の出力信号に結合され、各ヘッダPFETのドレインが前記仮想供給電圧に結合される複数のヘッダPFETとをさらに備える、請求項1から13のいずれか一項に記載のレジスタファイル回路。

【請求項15】

レジスタファイル回路内のメモリセルに書き込む方法であって、

書き込みクロック信号を受信するステップと、

パルス書き込み信号を生成するステップと、

前記パルス書き込み信号を第1のヘッダPFETのゲートに印加して前記第1のヘッダPFETをオフにし、供給電圧からメモリセルまでの電流経路を遮断するステップと、

前記パルス書き込み信号を第1のヘッダNFETのゲートおよび第2のヘッダNFETのゲートに印加して前記第1のヘッダNFETおよび前記第2のヘッダNFETをオンにし、仮想供給電圧を前記メモリセルに対する書き込み動作を有効化するように設定されたしきい値電圧にクランプするステップであって、前記第1のヘッダNFETが、前記仮想供給電圧に結合されたドレインを有し、前記第2のヘッダNFETが、前記供給電圧に結合されたドレインを有する、ステップと、

前記メモリセルに書き込みビット信号を印加して前記メモリセルに対する前記書き込み動作を有効化するステップとを含む方法。