

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成20年4月3日(2008.4.3)

【公開番号】特開2006-294103(P2006-294103A)

【公開日】平成18年10月26日(2006.10.26)

【年通号数】公開・登録公報2006-042

【出願番号】特願2005-111351(P2005-111351)

【国際特許分類】

G 11 C 29/04 (2006.01)

G 11 C 16/06 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 16/02 (2006.01)

【F I】

G 11 C 29/00 603Z

G 11 C 17/00 639Z

G 11 C 17/00 621Z

G 11 C 17/00 622C

G 11 C 17/00 634A

G 11 C 17/00 601B

【手続補正書】

【提出日】平成20年2月18日(2008.2.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

図15(b)は、図15(a)のM N O S型メモリセルの簡概略図であり、付与してある番号が同じ構成要素は、同一部分を指す。なお、すべての図面において、ゲート103と、拡散層104及び105(一方がドレイン、他方がソースに相当)と、電荷局在部106及び107とを、図15(b)に示した記号により表すこととする。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

他の例として、各メモリセルに接続される複数のビット線と、各メモリセルに電源電圧を供給する複数の電源線とを備え、切替え手段は、さらに、フラグ回路からの出力に基づいて、ビット線と電源線との接続の組み合わせを切替え可能なスイッチ素子を含む。上記構成により、切替え手段を簡単に構成することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

図3及び図4は、本発明の実施の形態1に係る半導体記憶装置のメモリセクタに含まれ

るメモリアレイとその周辺部の模式図である。各図は、メモリセルM01、M11、M21を例にすると、図3は、紙面右側の電荷局在部に静電荷が蓄えられる場合のメモリアレイの模式図、図4は、紙面左側の電荷局在部に静電荷が蓄えられる場合のメモリアレイの模式図である。なお、図3及び図4では、紙面の都合でメモリアレイの一部分しか記述していない。図3及び図4は、メモリアレイは、9個のメモリセルを格子上に並べて接続した状態を示している。メモリセルM01～M03は、紙面横方向にアレイ状に配置される。各メモリセルのゲートは、横方向に共通ノードであるワード線WL0に接続される。すなわち、メモリセルM01～M03のコントロールゲートは、ワード線WL0に接続される。同様に、メモリセルM11～M13のコントロールゲートは、ワード線WL1に、メモリセルM21～M23のコントロールゲートは、ワード線WL2に、それぞれ接続される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正の内容】

【0112】

そこで、実施の形態7に係る半導体装置において、カウンタ回路は、所定の数のメモリセルを含む複数の小規模メモリセクタで構成するとよい。この構成において、各小規模メモリセクタに異なる桁のカウントを担当させ、下位の桁のメモリセクタにキャリーが発生した場合、上位の桁のメモリセクタに1ビット追加書き込みを行いながら、下位のメモリセクタを消去する。以上的方法により、カウンタ回路の追加書き換えをすることなく、書き換え回数をカウントすることができる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0115

【補正方法】変更

【補正の内容】

【0115】

(実施の形態8)

図14は、本発明の実施の形態8に係る半導体記憶装置の全体の概略図である。実施の形態8に係る半導体記憶装置は、先に述べた実施の形態7の変形例であるので、以下相違点のみを説明し、同一の構成要素については説明を省略する。また、図14において、実施の形態1及び2において用いた符号と同一の符号を付した構成については、同一の構成要素であることを示している。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0123

【補正方法】変更

【補正の内容】

【0123】

実施の形態9に係る半導体記憶装置は、以上の構成を備えているので、ECCを保持するためのメモリセル等の構成を別途設けることなく、ECCを保持することができる。したがって、実施の形態9に係る半導体記憶装置は、チップ面積を増加させることなく、半導体記憶装置の機能を向上させることができる。