(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3718087号
(P3718087)
(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]	F I		
G11C 29/00	G11C	29/00	671M
G11C 11/401	G11C	11/34	341D
G11C 11/413	G11C	11/34	371A

請求項の数 3　(全 9 頁)

(21)出願番号　特願平11-262364
(22)出願日　平成11年9月16日(1999.9.16)
(65)公開番号　特開2000-156097(P2000-156097A)
(43)公開日　平成12年6月6日(2000.6.6)
審査請求日　平成14年8月5日(2002.8.5)
(31)優先権主張番号　98-39957
(32)優先日　平成10年9月25日(1998.9.25)
(33)優先権主張国　韓国(KR)

(73)特許権者　390019839
三星電子株式会社
Samsung Electronics Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞４１６
416, Maetan-dong, Yeongtong-gu, Suwon-si Gyeonggi-do, Republic of Korea
(74)代理人　100076428
弁理士　大塚　康徳
(74)代理人　100093908
弁理士　松本　研一

最終頁に続く

(54)【発明の名称】電圧調整が可能な内部電源回路を有する半導体メモリ装置

(57)【特許請求の範囲】

【請求項１】

外部電源電圧では論理ハイと論理ローとの境界付近となる比較的低い電圧レベルの内部電源電圧で動作する半導体メモリ装置であって、

外部電源電圧と制御信号とを入力して、前記制御信号のレベルに伴い電圧レベルが変わる基準電圧を生成する基準電圧制御及び発生部と、

前記基準電圧に応答して内部電源用基準電圧を生成する内部電源基準電圧発生部と、

前記内部電源用基準電圧に応答して内部電源電圧を生成する内部電源電圧発生部とを備え、

前記制御信号は、正常動作時には第１レベルで入力され、低電圧マージンテスト時には第２レベルで入力され、

前記基準電圧制御及び発生部は、前記制御信号が第１レベルであれば予め設定された所定の電圧レベルの前記基準電圧を生成し、前記制御信号が第２レベルであれば前記所定の電圧レベルより低い電圧レベルの前記基準電圧を生成し、

前記内部電源基準電圧発生部は、少なくとも、前記基準電圧制御及び発生部が前記基準電圧を前記所定の電圧レベルより低い電圧レベルで発生した場合に、前記内部電源用基準電圧を前記外部電源電圧では論理ローの電圧レベルで生成することを特徴とする半導体メモリ装置。

【請求項２】

前記基準電圧は２つ以上の電圧レベルに変更できることを特徴とする請求項１に記載の

半導体メモリ装置。
【請求項３】
前記内部電源用基準電圧は前記基準電圧より高い電圧レベルであることを特徴とする請求項１に記載の半導体メモリ装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体メモリ装置に係り、特に低電源電圧マージンテスト時に内部電源電圧の調整が可能な内部電源回路に関する。
【０００２】
【従来の技術】
半導体メモリ装置の機能が多様になるに連れて、テスト条件も多様になってきている。その中に、高電源電圧マージンテストと低電源電圧マージンテストがある。高電源電圧マージンテストは、半導体メモリ装置が正常に動作できる最大電圧を半導体メモリ装置に印加した時に、動作が不良な半導体メモリ装置を判別するものであり、低電源電圧マージンテストは、半導体メモリ装置が正常に動作できる最小電圧を半導体メモリ装置に印加した時に、動作が不良な半導体メモリ装置を判別するものである。この中で、本発明は低電源電圧マージンテストに関するものである。一般に、半導体メモリ装置は、外部電源電圧を入力して前記外部電源電圧より低い電圧に変換された内部電源電圧を作って内部回路の動作電圧として使用する。
【０００３】
図1は、従来の半導体メモリ装置の低電源電圧マージンテストの一例を説明するために示した図面である。図1を参照すれば、内部電源電圧は3.0ボルトに設定されている。すなわち、内部電源電圧クランプ(clamp)レベルが3.0ボルトである。このように、内部電源電圧クランプレベルが3.0ボルトである場合、半導体メモリ装置の低電源電圧マージンテストは内部電源電圧VINT以下の任意に指定された電圧V1、例えば2.8ボルトで遂行される。この際、外部電源電圧VEXTも前記任意に指定された電圧V1になる必要がある。この場合は外部電源電圧VEXTが十分に大きいので、外部電源電圧VEXTを電源として使用する半導体メモリ装置は影響を受けず、低電源電圧マージンテストを遂行することができる。
【０００４】
図2は、従来の半導体メモリ装置の低電源電圧マージンテストの他の例を説明するために示した図面である。半導体メモリ装置が低電圧化されるにつれ、図2に示されたように、内部電源電圧クランプレベルが次第に2.5ボルト、または、それ以下に低くなっている。このように、内部電源電圧クランプレベルが2.5ボルトである場合に、低電源電圧マージンテストは前記2.5ボルトより低い所定の電圧V2、例えば2.3ボルト以下で遂行される。この場合、外部電源電圧VEXTも前記所定の電圧V2になる必要がある。外部電源電圧VEXTが前記所定の電圧V2になれば、外部電源電圧VEXTを電源電圧として使用する半導体メモリ装置は動作が不可能になり、それによって内部電源電圧VINTに対する低電源電圧マージンテストも不可能になる。
【０００５】
【発明が解決しようとする課題】
上述のように、従来の半導体メモリ装置では、内部電源電圧が一定な電圧でクランプされるために、低い電源電圧を利用する半導体メモリ装置は低電源電圧マージンテストが不可能になる。
【０００６】
本発明が解決しようとする技術的課題は、低い電源電圧を利用する半導体メモリ装置であっても低電源電圧マージンテストが容易な半導体メモリ装置を提供することにある。
【０００７】
【課題を解決するための手段】
前記技術的課題を解決するための本発明の半導体メモリ装置は、外部電源電圧では論理

ハイと論理ローとの境界付近となる比較的低い電圧レベルの内部電源電圧で動作する半導体メモリ装置であって、外部電源電圧と制御信号とを入力して、前記制御信号のレベルに伴い電圧レベルが変わる基準電圧を生成する基準電圧制御及び発生部と、前記基準電圧に応答して内部電源用基準電圧を生成する内部電源基準電圧発生部と、前記内部電源用基準電圧に応答して内部電源電圧を生成する内部電源電圧発生部とを備え、前記制御信号は、正常動作時には第１レベルで入力され、低電圧マージンテスト時には第２レベルで入力され、前記基準電圧制御及び発生部は、前記制御信号が第１レベルであれば予め設定された所定の電圧レベルの前記基準電圧を生成し、前記制御信号が第２レベルであれば前記所定の電圧レベルより低い電圧レベルの前記基準電圧を生成し、前記内部電源基準電圧発生部は、少なくとも、前記基準電圧制御及び発生部が前記基準電圧を前記所定の電圧レベルより低い電圧レベルで発生した場合に、前記内部電源用基準電圧を前記外部電源電圧では論理ローの電圧レベルで生成することを特徴とする。

【０００８】

望ましくは、前記基準電圧は、前記制御信号が論理ハイ(high)であれば予め設定された所定の電圧として発生され、前記制御信号が論理ロー(low)であれば前記所定の電圧より低い電圧として発生される。また、前記制御信号は、正常動作時には論理ハイになり、低電源電圧マージンテスト時には論理ローになって、前記基準電圧は、前記外部電源電圧が印加された状態で前記外部電源電圧の大きさに関係なく一定の電圧として発生される。

【０００９】

前記本発明によって、低電源電圧マージン領域で動作が不良な半導体メモリ装置を確実に判別することができる。

【００１０】

【発明の実施の形態】

以下、添付した図面を参照しながら本発明の望ましい実施の形態例を詳しく説明する。

【００１１】

図3は、本発明の望ましい実施の形態による半導体メモリ装置の内部電源回路のブロック図である。

【００１２】

図3を参照すれば、本発明の望ましい実施の形態による半導体メモリ装置の内部電源回路301は、基準電圧制御及び発生部311、内部電源基準電圧発生部321、及び内部電源電圧発生部331を備える。内部電源回路301は、外部電源電圧VEXTと制御信号PLVCCを入力して内部電源電圧VINTを生じる。

【００１３】

基準電圧制御及び発生部311は、外部電源電圧VEXTと制御信号PLVCCを入力して基準電圧VREFを生じる。基準電圧VREFは半導体メモリ装置の動作の基準になる電圧で、テスト規定によって所定レベルに設定される。基準電圧VREFは、外部電源電圧VEXTが一定な大きさ以上に変わっても常に一定に保たれる。基準電圧VREFは、制御信号PLVCCが論理ハイであれば前記設定された電圧として発生され、反対に制御信号PLVCCが論理ローであれば基準電圧VREFは設定された電圧より低くなる。例えば、制御信号PLVCCが論理ハイである場合に基準電圧VREFが2.5ボルトであれば、制御信号PLVCCが論理ローである場合には基準電圧VREFは2.3ボルト程度に低くなる。正常動作時に制御信号PLVCCは論理ハイになり、低電源電圧マージンテスト時に制御信号PLVCCは論理ローになる。したがって、低電源電圧マージンテスト時に生じる基準電圧VREFは、正常動作時に生じる基準電圧VREFより低い状態で出力される。このように、制御信号PLVCCの電圧レベルに伴って基準電圧VREFのレベルが変わる。

【００１４】

内部電源基準電圧発生部321は、基準電圧VREFと外部電源電圧VEXTを入力して基準電圧VREFより2倍高い他の基準電圧VREFPを生じる。基準電圧VREFPの大きさは、内部電源基準電圧発生部321の構造によって調整が可能である。基準電圧制御及び発生部311で発生される基準電圧VREFが高く、例えば3乃至4ボルトに設定されれば、基準電圧VREFの精度が低下する

。基準電圧VREFの精度を高めるためには、基準電圧VREFは低く、例えば1ボルト程度に設定される。内部電源電圧発生部331で要求する基準電圧VREFPは高く、例えば、2.5ボルトである。したがって、内部電源電圧発生部331で要求する基準電圧VREFPの精度を高めてその電圧レベルも高めるために、内部電源基準電圧発生部321が使用される。内部電源回路301が精度を要求しない場合には、基準電圧制御及び発生部311は基準電圧VREFとして直ちに高い電圧、例えば2.5ボルトを生じて内部電源電圧発生部331に入力させることもできる。

【００１５】

内部電源電圧発生部331は、内部電源基準電圧発生部321で出力される基準電圧VREFPと外部電源電圧VEXTを入力して、内部電源電圧VINTを生じる。内部電源電圧VINTは、基準電圧VREFPと等しいレベルで発生される。　例えば、基準電圧VREFPが2.5ボルトであれば内部電源電圧VINTも2.5ボルトである。内部電源電圧VINTは、外部電源電圧VEXTが一定のレベル以上で印加された状態では、外部電源電圧VEXTの大きさに関係なく常に一定の電圧レベルに保たれる。

【００１６】

図4は、前記図3に示された外部電源電圧と内部電源電圧の波形図である。

【００１７】

図4に示されるように、外部電源電圧VEXTが内部電源回路301に印加された状態で、制御信号PLVCCの電圧レベルによって内部電源電圧VINTは２種の電圧レベルに調整される。前記２種のレベルは、正常動作と低電源電圧マージンテストである。正常動作時には制御信号PLVCCが論理ハイになって、低電源電圧テスト時は制御信号PLVCCが論理ローになり、それによって内部電源電圧VINTが正常動作時より低くなる。例えば、外部電源電圧VEXTが2.8ボルトであり、内部電源電圧クランプレベルが2.5ボルトであり、低電源電圧マージンテストの基準電位が2.2ボルトであれば、外部電源電圧VEXTが2.2ボルト以上の場合、前記低電源電圧マージンテストの基準電位(2.2ボルト)で遂行される低電源電圧マージンテストを通して、低電源電圧マージン領域で動作が不良な半導体メモリ装置は確実に判別されることができる。

【００１８】

図5は、前記図3に示された基準電圧制御及び発生部311の回路図である。

【００１９】

図5を参照すれば、基準電圧制御及び発生部311は、NMOSトランジスタ511乃至513、抵抗531乃至533、及びPMOSトランジスタ521を備える。NMOSトランジスタ513のゲートには、外部電源電圧VEXTが印加される。したがって、外部電源電圧VEXTが印加された状態では、NMOSトランジスタ513は常にターンオン(turn-on)状態に保たれる。

【００２０】

抵抗531乃至533とNMOSトランジスタ511乃至513は直列に連結されているので、外部電源電圧VEXTは抵抗531乃至533とNMOSトランジスタ511～513により分圧される。それゆえ、NMOSトランジスタ512のドレインすなわち、ノードN1に生じる電圧によってPMOSトランジスタ521がゲーティング(gating)される。すなわち、ノードN1に生じる電圧がPMOSトランジスタ521のしきい電圧より低ければPMOSトランジスタ521はターンオンされ、反対にノードN1に生じる電圧がPMOSトランジスタ521のしきい電圧より高ければPMOSトランジスタ521はターンオフ(turn-off)される。

【００２１】

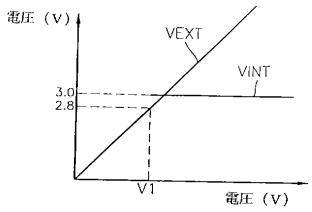
ノードN1に生じる電圧がPMOSトランジスタ521のしきい電圧より低い状態では、ノードN1に生じる電圧の大きさによってPMOSトランジスタ521に流れる電流が変わる。すなわち、ノードN1に生じる電圧がPMOSトランジスタ521のしきい電圧に近ければPMOSトランジスタ521を通して流れる電流は小さくなって、ノードN1に生じる電圧がPMOSトランジスタ521のしきい電圧より大幅に低ければPMOSトランジスタ521を通して流れる電流は多くなる。PMOSトランジスタ521を通して流れる電流の量が多ければ基準電圧VREFは低くなって、反対にPMOSトランジスタ521を通して流れる電流の量が少なければ基準電圧VREFは高まる。

【００２２】
ノードN1に生じる電圧は、抵抗531乃至533の値により決定される。すなわち、抵抗531乃至533の値が大きければノードN1に生じる電圧は低くなって、抵抗531乃至533の値が小さければノードN1に生じる電圧は高まる。抵抗531乃至533の値はNMOSトランジスタ511により制御される。すなわち、NMOSトランジスタ511がターンオンされれば、ノードN2とN3が短絡されるために抵抗532は作用しない。したがって、抵抗531乃至533の値は小さくなる。反対にNMOSトランジスタ511がターンオフされれば、外部電源電圧VEXTは抵抗531乃至533を通してノードN1に印加されるために、抵抗の値は大きくなる。NMOSトランジスタ511は制御信号PLVCCによりゲーティングされる。すなわち、制御信号PLVCCが論理ハイであればNMOSトランジスタ511はターンオンされ、制御信号PLVCCが論理ローであればNMOSトランジスタ511はターンオフされる。
【００２３】
このように、制御信号PLVCCの電圧レベルによってノードN1に生じる電圧が変わり、ノードN1に生じる電圧によって基準電圧VREFの大きさが変わる。すなわち、制御信号PLVCCの電圧レベルを制御することによって基準電圧VREFの大きさを調節することができる。
【００２４】
基準電圧VREFが設定された基準電圧VREFより上昇するようになれば、NMOSトランジスタ512のゲートに印加される電圧が上昇し、それによってNMOSトランジスタ512を通して流れる電流の量が増える。すると、ノードN1の電圧が減少するようになって、ノードN1の電圧が減少すればPMOSトランジスタ521を通して流れる電流の量が増えるようになって基準電圧VREFは減少する。基準電圧VREFが設定された基準電圧VREFより低くなれば、NMOSトランジスタ512を通して流れる電流の量が減る。すると、ノードN1の電圧が増えるようになって、ノードN1の電圧が増えればPMOSトランジスタ521を通して流れる電流の量が減少するようになって、基準電圧VREFは上昇する。これを繰り返すことによって基準電圧VREFは一定に保たれる。
【００２５】
図6は、前記図3に示された内部電源基準電圧発生部321の回路図である。
【００２６】
図6を参照すれば、内部電源基準電圧発生部321は、差動増幅器611と制御部621を備える。
【００２７】
差動増幅器611は、PMOSトランジスタ651と652、NMOSトランジスタ641と642、電流源661、及びインバータ671を備え、制御部621からフィードバックされる電圧、すなわち、ノードN4に生じる電圧と基準電圧VREFを比較及び増幅して、基準電圧VREFの2倍の大きさの電圧を有する基準電圧VREFPを出力する。基準電圧VREFPは基準電圧VREFが変われば比例して変わる。すなわち、基準電圧VREFPは基準電圧VREFが低くなれば低くなり、基準電圧VREFが上昇すれば上昇するようになって、常に基準電圧VREFの2倍の大きさを保つ。差動増幅器611としては一般差動増幅器が利用される。
【００２８】
制御部621は、差動増幅器611から出力される基準電圧VREFPの大きさを一定に保つ。制御部621は、直列に連結されたPMOSトランジスタ631と632を備える。PMOSトランジスタ631と632は、等しい駆動能力を有する。そのゆえに、ノードN4に生じる電圧は基準電圧VREFPの半分の電圧である。制御部621の構造を変更すれば、基準電圧VREFPの大きさを変更できる。例えば、駆動能力が等しい3個のPMOSトランジスタを直列で連結すれば、基準電圧VREFPは基準電圧VREFの3倍になる。ノードN4に生じる電圧は、基準電圧VREFPが高くなったり低くなったりすれば正比例して高くなったり低くなったりする。すなわち、基準電圧VREFPが上昇すれば、ノードN4の電圧も上昇する。ノードN4の電圧が上昇すれば、インバータ671の入力端に印加される電圧が上昇するようになるので、基準電圧VREFPは低くなる。反対に、基準電圧VREFPが低くなればノードN4の電圧も低くなる。ノードN4の電圧が低くなれば、インバータ671の入力端に印加される電圧が低くなって、基準電圧VREFPは上昇する。このように、基準電圧VREFPは、制御部621によって一定な電圧に保たれる。

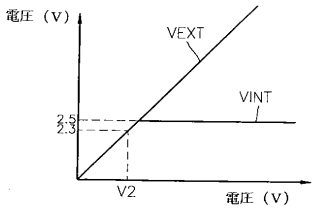
【００２９】
図7は、前記図3に示された内部電源電圧発生部331の回路図である。図7を参照すれば、内部電源電圧発生部331は、外部電源電圧VEXTと基準電圧VREFPを入力して内部電源電圧VINTを生じる。内部電源電圧発生部331は、比較部711と駆動部721を備える。比較部711は、NMOSトランジスタ731乃至733と、PMOSトランジスタ741及び742を備える差動増幅器で構成され、駆動部721は、PMOSトランジスタで構成される。内部電源電圧発生部331は、動作電圧として外部電源電圧VEXTを使用する。
【００３０】
以下、内部電源電圧発生部331の動作を説明する。基準電圧VREFPが印加されれば、NMOSトランジスタ731及び733がターンオンされる。すると、ノードN5の電圧が低くなって、それによって駆動部721が活性化されて内部電源電圧VINTが生じる。内部電源電圧VINTは、NMOSトランジスタ732のゲートに印加される。それゆえ、内部電源電圧VINTが上昇して基準電圧VREFPより高まれば、NMOSトランジスタ732を通して流れる電流がNMOSトランジスタ731を通して流れる電流より多くなる。すると、PMOSトランジスタ741及び742がターンオンされてノードN5の電圧が上昇し、それによって駆動部721を通して流れる電流の量が減るようになって、内部電源電圧VINTが減少する。内部電源電圧VINTが減少すれば、NMOSトランジスタ731を通して流れる電流がNMOSトランジスタ732を通して流れる電流より多くなるので、内部電源電圧VINTは再び上昇するようになる。このような動作を通して、内部電源電圧VINTは一定な電圧に保たれる。
【００３１】
尚、図面と明細書で最適な実施の形態例が開示された。ここでは特定の用語が使われたが、これは単に本発明を説明するための目的で使用されたものであって、意味限定や特許請求範囲に記載された本発明の範囲を制限するために使われたものではない。それゆえ、本技術分野の通常の知識を有する者なら、この開示技術から多様な変形及び均等な他の実施の形態例が可能であると理解できる。したがって、本発明の真の技術的保護範囲は特許請求範囲の技術的思想により定まるべきである。
【００３２】
【発明の効果】
上述のように本発明に係る半導体メモリ装置は、低い電源電圧を利用する半導体メモリ装置であっても低電源電圧マージンテストが容易な半導体メモリ装置を提供できる。
【００３３】
例えば、制御信号PLVCCを通して内部電源電圧VINTの大きさを調節することができる。すなわち、低い外部電源電圧VEXTが内部電源回路301に印加される場合には、内部電源電圧VINTは設定された内部電源電圧VINTより低く発生することができる。したがって、低電源電圧マージンテストが容易になり、低電源電圧マージン領域で動作が不良な半導体メモリ装置を確実に判別することができる。
【図面の簡単な説明】
【図１】従来の半導体メモリ装置の低電源電圧マージンテストの一例を説明するために示した図面である。
【図２】従来の半導体メモリ装置の低電源電圧マージンテストの他の例を説明するために示した図面である。
【図３】本発明の望ましい実施の形態例による半導体メモリ装置の内部電源回路のブロック図である。
【図４】図3に示された外部電源電圧と内部電源電圧の波形図である。
【図５】図3に示された基準電圧制御及び発生部の回路図である。
【図６】図3に示された内部電源基準電圧発生部の回路図である。
【図７】図3に示された内部電源電圧発生部の回路図である。
【符号の説明】
301: 内部電源回路
311: 基準電圧制御及び発生部

321: 内部電源基準電圧発生部
331: 内部電源電圧発生部
PLVCC: 制御信号
VEXT: 外部電源電圧
VINT: 内部電源電圧

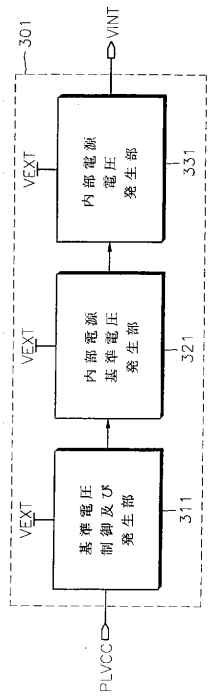
【図１】



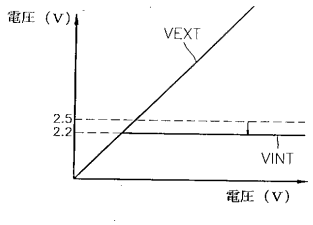
【図２】



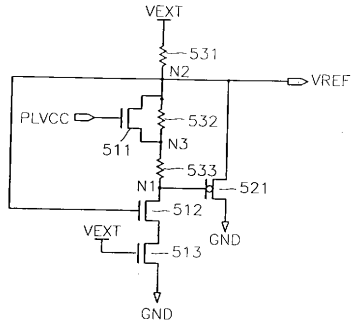
【図３】



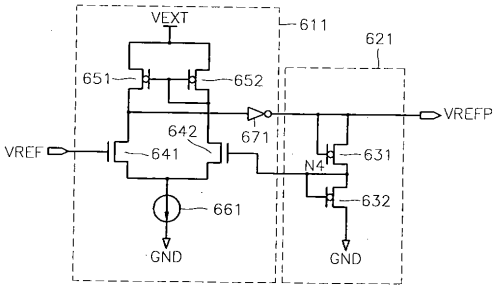
【図４】


電圧（V）
VEXT
2.5
2.2
VINT
電圧（V）

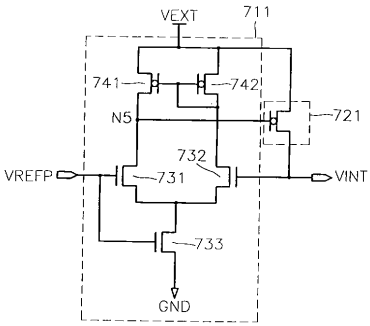
【図５】


VEXT
531
N2
VREF
PLVCC
532
511
N3
533
N1
521
512
VEXT
GND
513
GND

【図６】


VEXT
611
621
651
652
VREFP
642
671
VREF
641
N4
631
661
632
GND
GND

【図７】


VEXT
711
741
742
N5
721
732
VREFP
731
VINT
733
GND

フロントページの続き

(72)発明者　尹世昇
大韓民国ソウル特別市江南区道谷洞４６４番地　開浦韓信アパート６棟３０９号
(72)発明者　洪相杓
大韓民国ソウル特別市銅雀区舎堂３洞１１３３番地　宇成アパート８棟２１１号

審査官　小松　正

(56)参考文献　特開平０６－２５９１５０（ＪＰ，Ａ）
特開平０７－１４１０４１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 29/00
G11C 11/401-11/4099