

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月1日(01.03.2018)



(10) 国際公開番号

WO 2018/037720 A1

(51) 国際特許分類:

H02M 7/48 (2007.01) H03K 17/16 (2006.01)

H02M 1/08 (2006.01) H03K 17/56 (2006.01)

(21) 国際出願番号: PCT/JP2017/024427

(22) 国際出願日: 2017年7月4日(04.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2016-164802 2016年8月25日(25.08.2016) JP

(71) 出願人: 日立オートモティブシステムズ株式会社(HITACHI AUTOMOTIVE SYSTEMS,

LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).

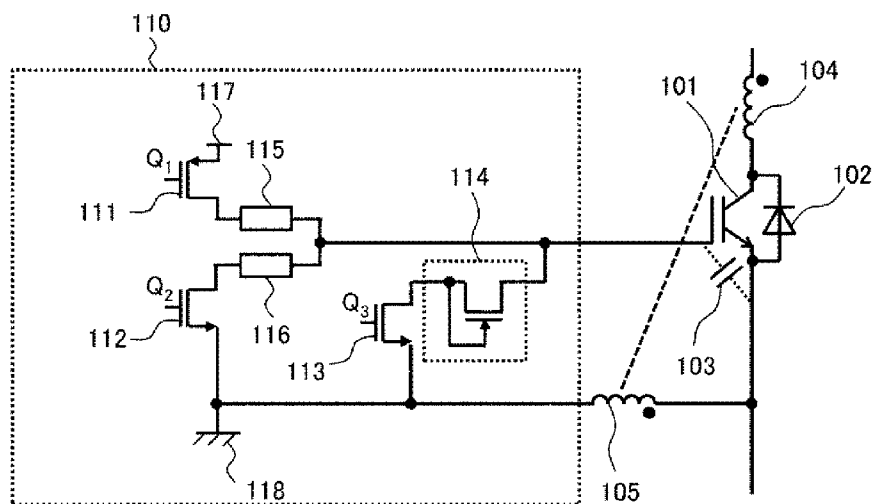
(72) 発明者: 平尾 高志(HIRAO Takashi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 坂野 順一(SAKANO Junichi); 〒1008280 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内 Tokyo (JP). 徳山 健(TOKUYAMA Takeshi); 〒3128503 茨城県ひたちなか市高場2520番地 日立オートモティブシステムズ株式会社内 Ibaraki (JP).

(74) 代理人: 戸田 裕二(TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置

【図3】



(57) **Abstract:** When a large main current is interrupted, there is a risk that an excessive surge voltage could be applied to a main terminal of a power semiconductor component. In the present invention, a third switching component 113 is turned on in response to a control signal from a control circuit 150, the control signal being generated when a signal is received from an overcurrent detection circuit 108 when the overcurrent detection circuit 108 has detected that a main current flowing in an IGBT 101 is an overcurrent. In this case, however, the control signal from the control circuit 150 is not input to a second switching component 112, and the second switching component 112 is in an off state. When the third switching component 113 is turned on, a gate capacitor 103 of the IGBT 101 is discharged via a saturation current



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

circuit 114 at a slower speed than when the second switching component 112 is turned on.

(57) 要約: 大きな主電流を遮断するときに、パワー半導体素子の主端子に過度なサージ電圧が発生する虞がある。第3スイッチング素子113は、過電流検出回路108によりIGBT101に流れる主電流が過電流であることが検知され、過電流検出回路108からの信号を受けた制御回路150からの制御信号によりオンする。なお、この場合、第2スイッチング素子112には、制御回路150からの制御信号は入力されず、第2スイッチング素子112はオフしている。第3スイッチング素子113がオンしたときに、飽和電流回路114を介してIGBT101のゲート容量103は第2スイッチング素子112がオンする場合よりも遅い速度で放電される。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、電力変換装置に関する。

背景技術

[0002] ハイブリッド自動車や電気自動車では、モータを駆動するために電力変換装置が用いられている。電力変換装置は、I G B T (Insulated Gate Bipolar Transistor)、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などのパワー半導体素子を用いたインバータ回路により構成される。そして電力変換装置は、小型化や低損失化、高信頼化が求められる。

[0003] 特許文献1には、パワー半導体素子の主電流が流れる経路の周囲にインダクタを配置し、そのインダクタをパワー半導体素子のゲートに接続することでパワー半導体素子の高速動作を可能にする回路が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-235997号公報

発明の概要

発明が解決しようとする課題

[0005] 上述した、特許文献1に記載の回路では、大きな主電流を遮断するときに、主電流経路と制御電流経路との間に形成される結合インダクタによってパワー半導体素子のゲート電圧の低下する速度が速くなり、パワー半導体素子に過度なサージ電圧が発生する虞がある。

課題を解決するための手段

[0006] 本発明による電力変換装置は、ゲート駆動回路によりオンオフ制御されるパワー半導体素子と、前記パワー半導体素子をオフする制御電流の経路内に設けられ、前記制御電流を所定の飽和電流に制限して前記パワー半導体素子をオフする飽和電流回路とを備えた。

発明の効果

[0007] 本発明によれば、パワー半導体素子のサージ電圧を低減できる。

図面の簡単な説明

[0008] [図1]自動車のシステム構成を示す図である。

[図2]電力変換装置の回路構成を示す図である。

[図3]第1の実施形態に係る電力変換装置の要部を示す回路図である。

[図4]ゲート駆動回路とIGBTのタイムチャートである。

[図5]飽和電流回路の電圧電流特性を示す図である。

[図6]パワー半導体モジュールの外観を示す図である。

[図7]電力変換装置の実装構造を示す図である。

[図8]上下アーム分のパワー半導体モジュールの外観を示す図である。

[図9]電力変換装置の結合インダクタを示す回路図である。

[図10]電力変換装置の結合インダクタを示す回路図である。

[図11]電力変換装置の結合インダクタを示す回路図である。

[図12]電力変換装置の要部を示す回路図である。

[図13]電力変換装置の要部を示す回路図である。

[図14]IGBTのサージ電圧を示すグラフである。

[図15]第2の実施形態に係る電力変換装置の要部を示す回路図である。

[図16]第3の実施形態に係る電力変換装置の要部を示す回路図である。

発明を実施するための形態

[0009] (第1の実施形態)

本実施形態に係る電力変換装置について、図面を参照しながら説明する。

本実施形態に係る電力変換装置は、ハイブリッド用の自動車や電気自動車に適用可能であるが、一例として、ハイブリッド自動車に適用した場合について説明する。

[0010] 図1はハイブリッド方式の自動車のシステム構成を示す図である。内燃機関E G NおよびモータジェネレータM Gは自動車の走行用トルクを発生する動力源である。また、モータジェネレータM Gは回転トルクを発生するだけ

でなく、モータジェネレータMGに加えられる機械エネルギー(回転力)を電力に変換する機能を有する。モータジェネレータMGは、例えば同期電動/発電機あるいは誘導電動/発電機であり、自動車の運転方法により電動機としても発電機としても動作する。

[0011] 内燃機関EGNの出力側は動力分配機構TSMを介してモータジェネレータMGに伝達され、動力分配機構TSMからの回転トルクあるいはモータジェネレータMGが発生する回転トルクは、トランスミッションTMおよびデファレンシャルギアDEFを介して車輪WHに伝達される。

[0012] 一方、回生制動の運転時には、車輪WHから回転トルクがモータジェネレータMGに伝達され、伝達された回転トルクに基づいてモータジェネレータMGは交流電力を発生する。発生した交流電力は電力変換装置251により直流電力に変換され、高電圧用のバッテリー901を充電し、充電された電力は再び走行エネルギーとして使用される。

[0013] 電力変換装置251は、インバータ回路902、平滑コンデンサ255を備える。インバータ回路902は平滑コンデンサ255を介してバッテリー901と電氣的に接続されており、バッテリー901とインバータ回路902との相互において電力の授受が行われる。平滑コンデンサ255は、インバータ回路902に供給される直流電力を平滑化する。

[0014] 電力変換装置251の制御回路150は、通信用のコネクタ903を介して上位の制御装置から指令を受けたり、上位の制御装置に状態を表すデータを送信する。制御回路150は、入力される指令に基づいて、モータジェネレータMGの制御量を演算し、演算結果に基づいて制御信号を発生してゲート駆動回路110へ制御信号を供給する。この制御信号に基づいてゲート駆動回路110がインバータ回路902を制御するための駆動信号を発生する。

[0015] モータジェネレータMGを電動機として動作させる場合には、インバータ回路902はバッテリー901から供給された直流電力に基づき交流電力を発生し、モータジェネレータMGに供給する。モータジェネレータMGとイン

バータ回路 902 からなる構成は電動/発電ユニットとして動作する。

[0016] 図 2 は、電力変換装置 251 の回路構成を示す図である。以下の説明ではパワー半導体素子として IGBT (Insulated Gate Bipolar Transistor) を使用した例で説明する。

電力変換装置 251 は、IGBT 101 及びダイオード 102 を備えてなる上アームおよび下アームを、交流電力の U 相、V 相、W 相からなる 3 相に対応して備えている。これらの 3 相の上下アームはインバータ回路 902 を構成する。

[0017] 上アームの IGBT 101 のコレクタ電極は平滑コンデンサ 255 の正極側のコンデンサ端子に、下アームの IGBT 101 のエミッタ電極は平滑コンデンサ 255 の負極側のコンデンサ端子にそれぞれ電氣的に接続されている。

[0018] IGBT 101 はコレクタ電極、エミッタ電極、ゲート電極を備えている。また、ダイオード 102 がコレクタ電極とエミッタ電極との間に電氣的に接続されている。なお、パワー半導体素子として、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いてもよく、この場合、ダイオード 102 は不要である。パワー半導体素子として IGBT は直流電圧が比較的高い場合に適していて、MOSFET は直流電圧が比較的低い場合に適している。

[0019] ゲート駆動回路 110 は、IGBT 101 のエミッタ電極と、ゲート電極との間に設けられ、IGBT 101 をオンオフ制御する。制御回路 150 は、ゲート駆動回路 110 へ制御信号を供給する。

[0020] IGBT 101 は、電流検出用エミッタ電極を備え、電流検出用エミッタ電極の出力は過電流検出回路 108 へ入力される。過電流検出回路 108 は、IGBT 101 により上下アームが構成されたインバータ回路 902 に流れる主電流が所定電流以上となる過電流を検知すると、これを制御回路 150 へ通知する。制御回路 150 は、この通知を受けて、ゲート駆動回路 110 内の後述する飽和電流回路を機能させる。飽和電流回路は、IGBT 101

1のゲート電極へ流れる制御電流を所定の飽和電流に制限する。なお、IGBT101に流れる過電流を検出する方法は種々の方法があり、本実施形態に限定しない。

[0021] 上述のように、制御回路150は上位の制御装置から制御指令を受け、これに基づいてインバータ回路902の上アームあるいは下アームを構成するIGBT101を制御する制御信号を発生し、ゲート駆動回路110に供給する。ゲート駆動回路110は制御信号に基づき各相の上アームあるいは下アームを構成するIGBT101を駆動するための駆動信号を各相のIGBT101に供給する。

[0022] IGBT101はゲート駆動回路110からの駆動信号に基づき、オンあるいはオフ動作を行い、バッテリー901から供給された直流電力を三相交流電力に変換し、この変換された電力はモータジェネレータMGに供給される。

[0023] (第1の実施形態)

図3は、本発明の第1の実施形態に係る電力変換装置251の要部を示す回路図である。なお、IGBT101に備えられている電流検出用エミッタ電極および過電流検出回路108は図示を省略する。

[0024] IGBT101はゲート駆動回路110がゲート容量103を充放電することでオン、オフ制御される。IGBT101のコレクタ配線104と補助エミッタ配線105は結合インダクタを構成する。ゲート駆動回路110は、第1～第3スイッチング素子111、112、113および飽和電流回路114、ゲート抵抗115、116、ゲート電源117で構成される。

[0025] 第1スイッチング素子111は、ゲート電源117とゲート抵抗115の間に接続され、ゲート抵抗115を介してIGBT101のゲート端子に接続される。そして、制御回路150からの制御信号により第1スイッチング素子111がオンしたときに、IGBT101のゲート容量103はゲート抵抗115を介してゲート電源117より充電される。その結果、IGBT101はオンに制御される。

[0026] 第2スイッチング素子112は、グランド電位118とゲート抵抗116の間に接続され、ゲート抵抗116を介してIGBT101のゲート端子に接続される。そして、制御回路150からの制御信号により第2スイッチング素子112がオンしたときに、IGBT101のゲート容量103はゲート抵抗116を介して放電される。その結果、IGBT101はオフに制御される。過電流検出回路108（図2参照）によりIGBT101に流れる主電流が過電流であることが検出されない通常の状態では、第1スイッチング素子111および第2スイッチング素子112により、IGBT101はオンオフ制御される。

[0027] 第3スイッチング素子113は、一方がグランド電位118に接続され、他方が飽和電流回路114を介してIGBT101のゲート端子に接続されている。飽和電流回路114は、NチャンネルJFET(Junction Field Effect Transistor)のゲートとソースを接続した回路である。第3スイッチング素子113は、過電流検出回路108によりIGBT101に流れる主電流が過電流であることが検知されると、過電流検出回路108からの信号を受けた制御回路150からの制御信号によりオンする。なお、この場合、第2スイッチング素子112には、制御回路150からの制御信号は入力されず、第2スイッチング素子112はオフしている。第3スイッチング素子113がオンしたときに、飽和電流回路114を介してIGBT101のゲート容量103は第2スイッチング素子112がオンする場合よりも遅い速度で放電される。すなわち、飽和電流回路114は、IGBT101をオフする制御電流の経路内に設けられ、制御電流を所定の飽和電流に制限してIGBT101をオフする。換言すれば、飽和電流回路114は、IGBT101をオフするときに、IGBT101のゲート電圧が低下する速度を抑制する。

[0028] 図4は、過電流検出回路108で過電流が検知された場合のゲート駆動回路110とIGBT101のタイムチャートである。

図4において、 Q_1 は第1スイッチング素子111のオン、オフのタイミン

グを示し、 Q_2 は第2スイッチング素子112のオンオフのタイミングを示し、 Q_3 は第3スイッチング素子113のオン、オフのタイミングを示す。更に、 V_{GE} はIGBT101のゲート電圧を示し、 i_G はIGBT101のゲート電流を示している。図4において、実線が図3に示す本実施形態に係る電力変換装置251におけるタイムチャートである。図4において、破線は比較例であり、例えば図3の飽和電流回路114の代わりに抵抗素子を用いた場合を示している。

[0029] IGBT101の過電流とは、通常使用するコレクタ電流の範囲を超過した電流を言う。そして、過電流を検知してIGBT101をオフしたときに、IGBT101のコレクターエミッタ間のサージ電圧が過大にならないようスイッチング速度を遅くする。過電流の原因には、IGBT101やダイオード102の破壊または誤動作によるアーム短絡や負荷の破壊による出力短絡等がある。

[0030] 図4を参照して、各スイッチング素子111～113の動作およびゲート電圧 V_{GE} 、ゲート電流 i_G の変化を、時刻($t_0 \sim t_2$ 、 t_2')の経過に基づいて説明する。

時刻 t_0 では、IGBT101の過電流を過電流検出回路108により検知し、過電流検出回路108からの信号を受けた制御回路150からの制御信号により、第1スイッチング素子111(Q_1)がオフし、第3スイッチング素子113(Q_3)がオンする。第2スイッチング素子112(Q_2)はオフのままである。IGBT101のゲート容量103は第3スイッチング素子113(Q_3)を含む経路で放電され、IGBT101のゲート電圧 V_{GE} はゲート容量103とゲート電流 i_G の電流経路内の抵抗で決まる時定数で下降を始めるが、ゲート電圧 V_{GE} がIGBT101のしきい値電圧 V_{TH} を下回るまでは、IGBT101はオンしたままである。

[0031] 時刻 t_1 では、IGBT101のゲート電圧 V_{GE} はしきい値電圧 V_{TH} を下回り、IGBT101のコレクタ電流は減少し始める。IGBT101のコレクタ電流の減少の速度に応じて、コレクタ配線104と補助エミッタ配線1

05による結合インダクタによりIGBT101のゲート容量103の放電電流（ゲート電流 i_G の負方向）が増加する。

[0032] 比較例の電力変換装置では、図4の破線で示すように、時刻 t_1 からIGBT101のゲート電圧 V_{GE} が0になる時刻 t_2 の間においてゲート電流 i_G の負方向への増加が大きくなり、ゲート電圧 V_{GE} の低下が急峻になる。そのため、IGBT101のコレクタ電流の減少の速度が急峻になり、IGBT101のコレクターエミッタ間に印加されるサージ電圧が過大になる虞がある。

[0033] 本実施形態に係る電力変換装置251では、時刻 t_1 からIGBT101のゲート電圧 V_{GE} が0になる時刻 t_2' の間においてゲート電流 i_G の放電方向の増加は、飽和電流回路114の飽和電流値 I_{SAT} でクランプされ、ゲート電圧 V_{GE} の急峻な低下を防止する。そのため、比較例と比べて、IGBT101のコレクタ電流の減少の速度が緩やかになり、IGBT101のコレクターエミッタ間に印加されるサージ電圧を抑制する。すなわち、飽和電流回路114は、IGBT101をオフするときに、インバータ回路に流れる主電流の経路と制御電流の経路の間に形成された結合インダクタによるIGBT101のゲート電圧の低下の加速を抑制する。このように、本実施形態によれば、IGBT101のスイッチング速度を抑えることができるため、サージ電圧を抑制できる。

[0034] 図5は、飽和電流回路114の電圧電流特性を示す図である。飽和電流値 I_{SAT} はしきい値電圧 V_{TH} における電流値である。飽和電流回路114として望ましい特性は、しきい値電圧 V_{TH} 以下の電圧値に線形領域と飽和領域との境界を設けることで、図4に示したように、IGBT101の過電流遮断時のゲート電流の放電方向の電流値を飽和電流値 I_{SAT} に制限し、ゲート電圧 V_{GE} の急激な低下を抑える。さらに、 V_b をしきい値電圧 V_{TH} の3倍の電圧値、 I_b を V_b における電流値としたとき、 I_b が飽和電流値 I_{SAT} の1.2倍以下になるような飽和電流回路114を用いることで、効果的にサージ電圧を抑制する。

[0035] 図6は、パワー半導体モジュール201の外観を示す図である。図6に示すパワー半導体モジュール201は、IGBT101、ダイオード102を内蔵しており、コレクタ端子202、エミッタ端子203、ゲート端子211、補助エミッタ端子212、電流検出端子213、温度検出端子214、215を備えている。

[0036] 図6において、コレクタ端子202と補助エミッタ端子212とが近接することで、磁性体を用いなくても結合インダクタが形成される。電力変換装置251を小型化するために、コレクタ端子202と補助エミッタ端子212をより近接させると結合インダクタの結合の度合いである結合係数は増加し、IGBT101のスイッチング速度に与える影響は大きくなる。そこで、本実施形態に係る電力変換装置251ではIGBT101のコレクタ過電流遮断時には、ゲート駆動回路110内の飽和電流回路114によって、サージ電圧を抑制できる。

[0037] 図7は、図6のパワー半導体モジュール201を用いた電力変換装置251の実装構造を示す図である。電力変換装置251は、筐体252、253、254、パワー半導体モジュール201、平滑コンデンサ255、バスバー256、回路基板257、流路258を備えている。パワー半導体モジュール201は、流路258を流れる冷媒によって冷却される。回路基板257には、ゲート駆動回路110や制御回路150が搭載される。バスバー256には、パワー半導体モジュール201のコレクタ端子202、エミッタ端子203が溶接または半田付けで接続され、回路基板257には、パワー半導体モジュール201のゲート端子211、補助エミッタ端子212、電流検出端子213、温度検出端子214、215が半田付けで接続される。

[0038] 図8は、上下アーム分のパワー半導体素子を内蔵したパワー半導体モジュール501の外観を示す図である。図8に示すパワー半導体モジュール501は、P端子502、N端子503、AC端子504、上アームのパワー半導体素子のゲート端子511、補助エミッタ端子512、電流検出端子513、下アームのパワー半導体素子のゲート端子521、補助エミッタ端子5

22、電流検出端子523、温度検出端子524、525を備えている。なお、P端子502は上アームのコレクタ端子、N端子503は下アームのエミッタ端子、AC端子504は上アームと下アームの接続部である。図8において、P端子502と補助エミッタ端子512とが近接することで、結合インダクタが形成される。

[0039] 図9～図11は、それぞれ結合インダクタが異なる電力変換装置251の要部を示す回路図である。図3では、IGBT101のコレクタと補助エミッタの結合インダクタを示したが、他の箇所が結合インダクタを構成してもよい。

[0040] 図9は、IGBT101のコレクタ104とゲート106による結合インダクタを持つ電力変換装置251の要部を示す回路図、図10は、IGBT101のエミッタ107と補助エミッタ105による結合インダクタを持つ電力変換装置251の要部を示す回路図、図11は、IGBT101のエミッタ107とゲート106による結合インダクタを持つ電力変換装置251の要部を示す回路図である。図9～図11のいずれの場合も、ゲート駆動回路110内の飽和電流回路114によって、IGBT101のコレクターエミッタ間のサージ電圧を抑制できる。

[0041] 図12、13は、電力変換装置251の要部を示す回路図である。これらの図に示すように、飽和電流回路114に抵抗素子や容量素子を追加してもよい。

図12は、飽和電流回路114のJFETに直列に抵抗素子121を接続した例を示す。図13は、第3スイッチング素子113と飽和電流回路114の直列回路に対して並列に容量素子122を接続した例を示す。図13に示す回路図では実質的なゲート容量を大きくすることができる。図12、13のいずれの場合も、ゲート駆動回路110内の飽和電流回路114によって、IGBT101のコレクターエミッタ間のサージ電圧を抑制できる。

[0042] 図14は、IGBT101のコレクターエミッタ間のサージ電圧を示すグラフである。図14の縦軸はコレクターエミッタ間の電圧、横軸は時間であ

る。

図14の実線で示すグラフは、図3に示す飽和電流回路114を用いた本実施形態に係る電力変換装置251において、IGBT101の過電流を遮断した場合のシミュレーション波形である。一方、図14の破線で示すグラフは、図3に示す飽和電流回路114の代わりに抵抗素子を用いた比較例の場合のシミュレーション波形を示している。

[0043] 図14より、本実施形態におけるサージ電圧のピーク値は、飽和電流回路114を用いない場合のサージ電圧のピーク値と比較して、230V低減された。また、過電流を遮断した時に生じるジュール損失は両者で同等であった。このように、本実施形態によれば、IGBT101のコレクターエミッタ間のサージ電圧を低減できる。

[0044] (第2の実施形態)

図15は、第2の実施形態に係る電力変換装置251の要部を示す回路図である。なお、IGBT101に備えられている電流検出用エミッタ電極および過電流検出回路108は図示を省略する。

本実施形態においては、飽和電流回路314としてnMOSFET（金属-酸化物-半導体接合電界効果トランジスタ）を用いる。過電流が検出された場合に、飽和電流回路314としてのnMOSFETを、図4に示す Q_3 のタイミングでオンする。さらに、第2スイッチング素子112がオンするときよりも低いゲート電圧で飽和電流回路314としてのnMOSFETをオンさせる。

[0045] 本実施形態に係る電力変換装置251では、図4に示すタイムチャートと同様に、時刻 t_1 からIGBT101のゲート電圧 V_{GE} が0になる時刻 t_2' の間においてゲート電流 i_G の放電方向の増加は、飽和電流回路314の飽和電流値 I_{SAT} でクランプされ、ゲート電圧 V_{GE} の急峻な低下を防止する。そのため、IGBT101のコレクタ電流の減少の速度が緩やかになり、IGBT101のコレクターエミッタ間に印加されるサージ電圧を抑制できる。

[0046] このように、本実施形態によれば、IGBT101のスイッチング速度を

抑えることができるため、サージ電圧を抑制できる。さらに、本実施形態では、図3に示す第3スイッチング素子113を削除することができる。これにより、nMOSFETは、図5に示したのと同様の電圧電流特性を得られる。本実施形態によれば、第1の実施形態と同様の効果に加えて、電力変換装置251の部品数を削減できる。

[0047] (第3の実施形態)

図16は、第3の実施形態に係る電力変換装置251の要部を示す回路図である。なお、IGBT101に備えられている電流検出用エミッタ電極および過電流検出回路108は図示を省略する。

本実施形態においては、飽和電流回路414としてNチャンネルJFETを用いる。過電流が検出された場合に、飽和電流回路414としてのJFET（接合型電界効果トランジスタ）を、図4に示す Q_3 のタイミングでオンする。なお、JFETをオフする場合はゲートに負の電圧を印加し、JFETをオンする場合はゲートにゼロ（GND）の電圧を印加する。

[0048] 本実施形態に係る電力変換装置251では、図4に示すタイムチャートと同様に、時刻 t_1 からIGBT101のゲート電圧 V_{GE} が0になる時刻 t_2' の間においてゲート電流 i_G の放電方向の増加は、飽和電流回路414の飽和電流値 I_{SAT} でクランプされ、ゲート電圧 V_{GE} の急峻な低下を防止する。そのため、IGBT101のコレクタ電流の減少の速度が緩やかになり、IGBT101のコレクターエミッタ間に印加されるサージ電圧を抑制できる。

[0049] このように、本実施形態によれば、IGBT101のスイッチング速度を抑えることができるため、サージ電圧を抑制できる。さらに、本実施形態では、図3に示す第3スイッチング素子113を削除することができる。本実施形態によれば、第1の実施形態と同様の効果に加えて、電力変換装置251の部品数を削減できる。

[0050] 以上説明した実施形態によれば、次の作用効果が得られる。

(1) 電力変換装置251は、ゲート駆動回路110によりオンオフ制御されるIGBT101と、IGBT101をオフする制御電流の経路内に設け

られ、制御電流を所定の飽和電流に制限して IGBT101 をオフする飽和電流回路 114 とを備える。これにより、IGBT101 などのパワー半導体素子のサージ電圧を低減できる。

[0051] (変形例)

本発明は、以上説明した第1～第3の実施形態を次のように変形して実施することができる。

(1) 第1の実施形態では、第2スイッチング素子112と並列に、第3スイッチング素子113と飽和電流回路114との直列回路を設けたが、第2スイッチング素子112を省略してもよい。この場合、第3スイッチング素子113と飽和電流回路114との直列回路で、IGBT101の通常のオンオフ制御を行い、さらに、IGBT101に過電流が検知された場合は、IGBT101のオフ制御を行う。

[0052] (2) 第2～第3実施形態では、第2スイッチング素子112と並列に、飽和電流回路314、414を設けたが、第2スイッチング素子112を省略してもよい。この場合、飽和電流回路314、414で、IGBT101の通常のオンオフ制御を行い、さらに、IGBT101に過電流が検知された場合は、IGBT101のオフ制御を行う。

[0053] 本発明は、上記の実施形態に限定されるものではなく、本発明の特徴を損なわない限り、本発明の技術思想の範囲内で考えられるその他の形態についても、本発明の範囲内に含まれる。また、上述の実施形態と複数の変形例を組み合わせた構成としてもよい。

符号の説明

[0054] 101 IGBT
102 ダイオード
103 ゲート容量
104、105、106、107 結合インダクタ
110 ゲート駆動回路
111 第1スイッチング素子

- 1 1 2 第2スイッチング素子
- 1 1 3 第3スイッチング素子
- 1 1 4、3 1 4、4 1 4 飽和電流回路
- 1 1 5、1 1 6 ゲート抵抗
- 1 1 7 ゲート電源
- 1 1 8 グランド電位
- 1 2 2 容量素子
- 1 5 0 マイコン回路
- 2 0 1、5 0 1 パワー半導体モジュール
- 2 0 2 コレクタ端子
- 2 0 3 エミッタ端子
- 2 1 1、5 1 1、5 2 1 ゲート端子
- 2 1 2、5 1 2、5 2 2 補助エミッタ端子
- 2 1 3、5 1 3、5 2 3 電流検出端子
- 2 1 4、2 1 5、5 2 4、5 2 5 温度検出端子
- 2 5 1 電力変換装置
- 2 5 2、2 5 3、2 5 4 筐体
- 2 5 5 平滑コンデンサ
- 2 5 6 バスバー
- 2 5 7 回路基板
- 2 5 8 流路
- 5 0 2 P端子
- 5 0 3 N端子
- 5 0 4 AC端子
- 9 0 1 バッテリ
- 9 0 2 インバータ回路
- 9 0 3 コネクタ

請求の範囲

- [請求項1] ゲート駆動回路によりオンオフ制御されるパワー半導体素子と、
前記パワー半導体素子をオフする制御電流の経路内に設けられ、前記制御電流を所定の飽和電流に制限して前記パワー半導体素子をオフする飽和電流回路と
を備えた電力変換装置。
- [請求項2] 請求項1に記載の電力変換装置において、
前記飽和電流回路は、前記パワー半導体素子をオフするときに、前記パワー半導体素子のゲート電圧が低下する速度を抑制する電力変換装置。
- [請求項3] 請求項1に記載の電力変換装置において、
前記パワー半導体素子により上下アームが構成されたインバータ回路を備え、
前記飽和電流回路は、前記パワー半導体素子をオフするときに、前記インバータ回路に流れる主電流の経路と前記制御電流の経路の間に形成された結合インダクタによる前記パワー半導体素子のゲート電圧の低下の加速を抑制する電力変換装置。
- [請求項4] 請求項1から請求項3までのいずれか一項に記載の電力変換装置において、
前記飽和電流回路は、前記パワー半導体素子のしきい値電圧と前記しきい値電圧の3倍電圧との間の電圧領域において、導通電流の変化が1.2倍以下となる電圧電流特性を有する電力変換装置。
- [請求項5] 請求項1から請求項3までのいずれか一項に記載の電力変換装置において、
前記飽和電流回路は、前記制御電流を前記飽和電流に制限する接合型電界効果トランジスタによって構成される電力変換装置。
- [請求項6] 請求項1または請求項2に記載の電力変換装置において、
前記パワー半導体素子により上下アームが構成されたインバータ回

路と、

前記インバータ回路に流れる主電流が所定電流以上となる過電流を検知する過電流検知回路と、を備え、

前記飽和電流回路は、前記過電流検知回路で前記過電流を検知した場合に、前記制御電流を前記飽和電流に制限する電力変換装置。

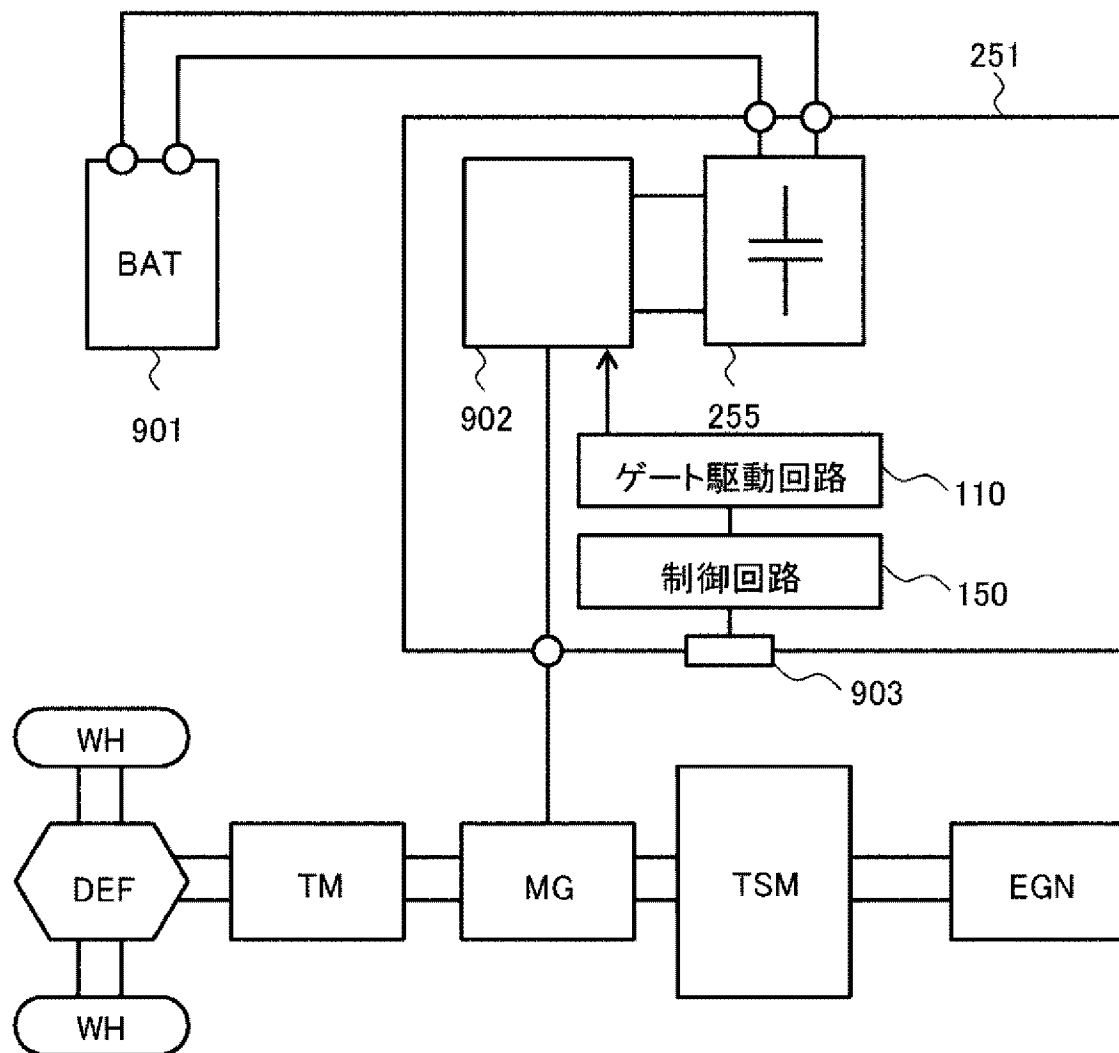
[請求項7]

請求項6に記載の電力変換装置において、

前記過電流検知回路で前記過電流を検知した場合に、前記パワー半導体素子をオフする前記飽和電流回路の駆動電圧は、前記ゲート駆動回路の駆動電圧よりも低い電力変換装置。

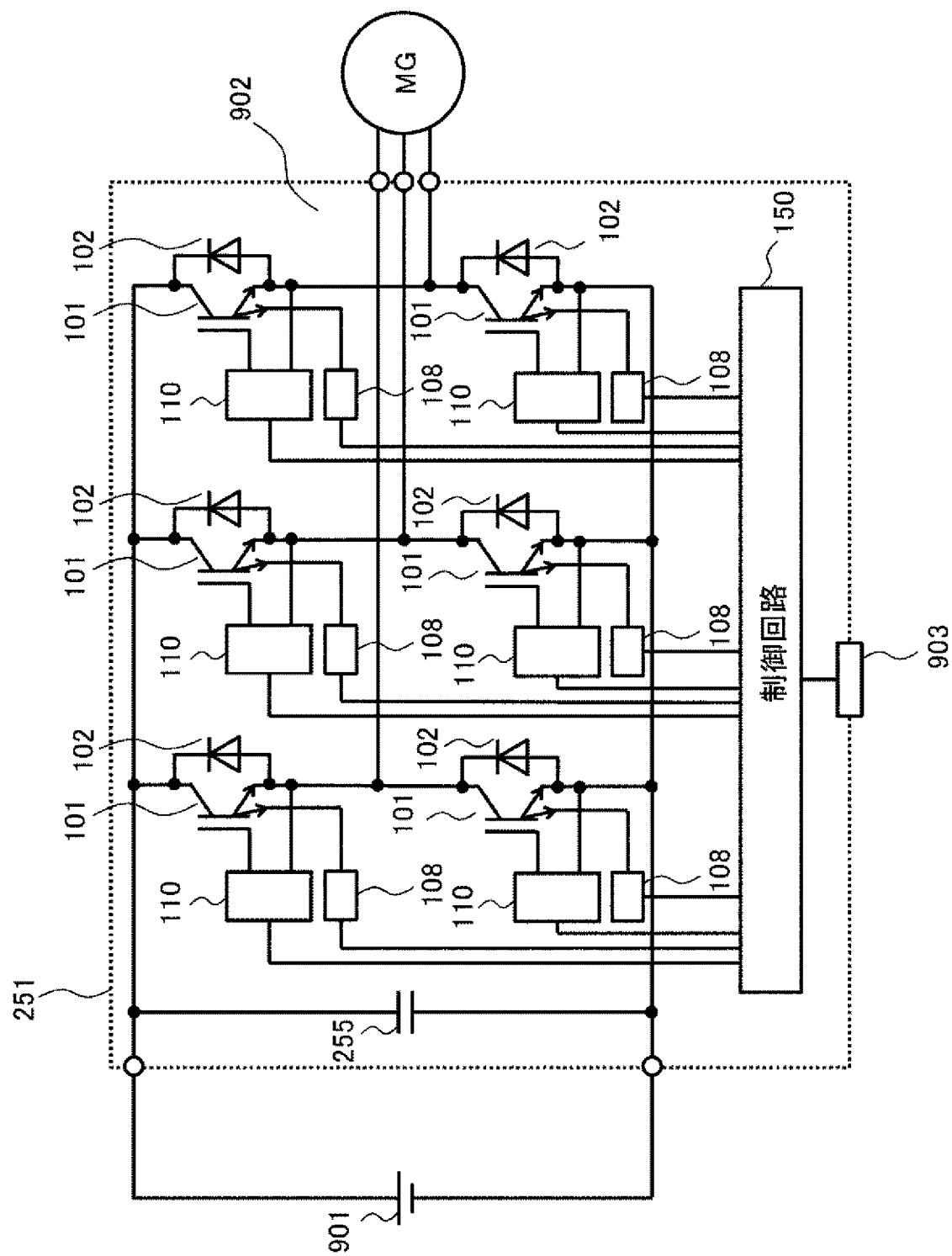
[図1]

【図1】



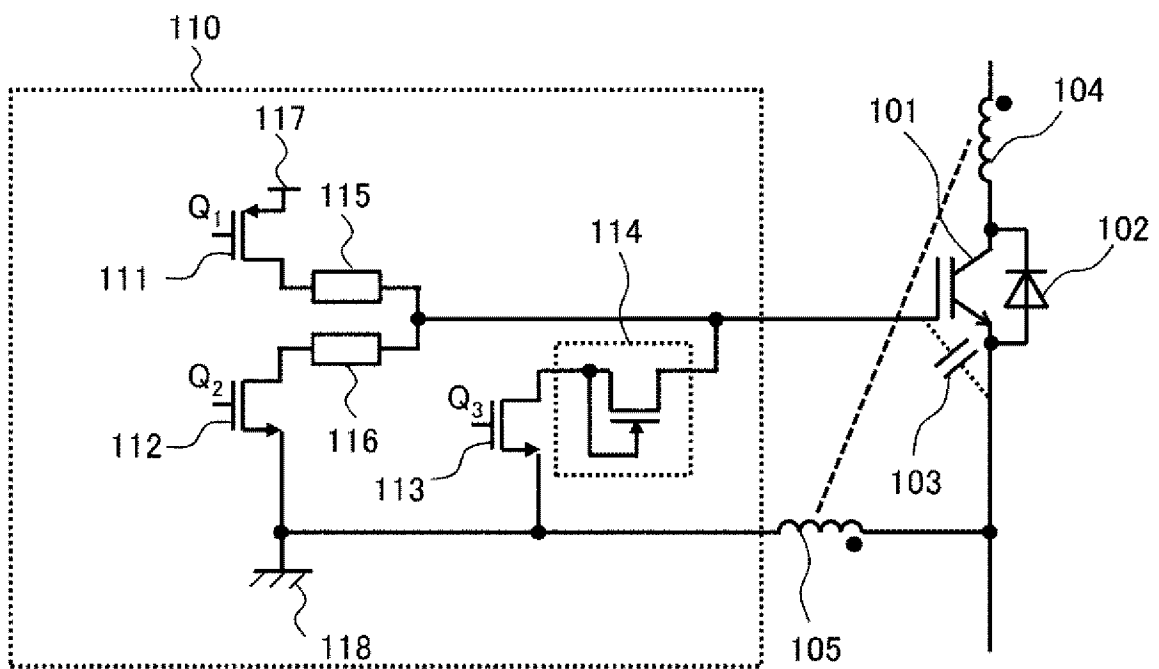
【図2】

【図2】



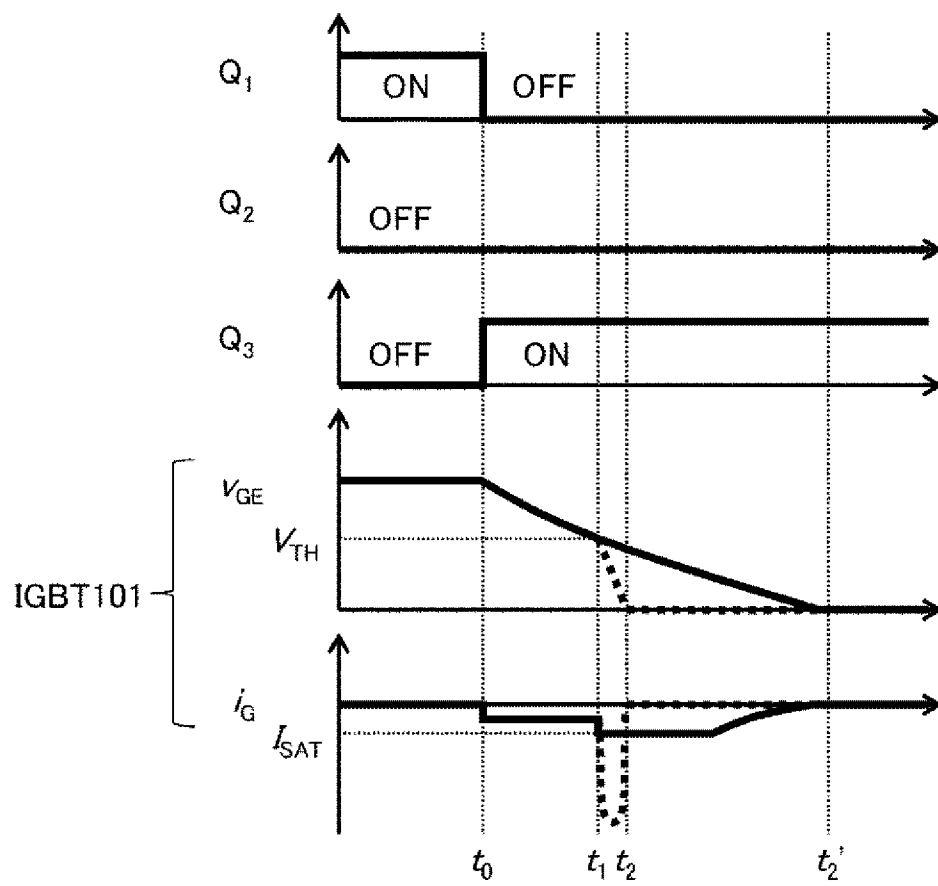
[図3]

【図3】



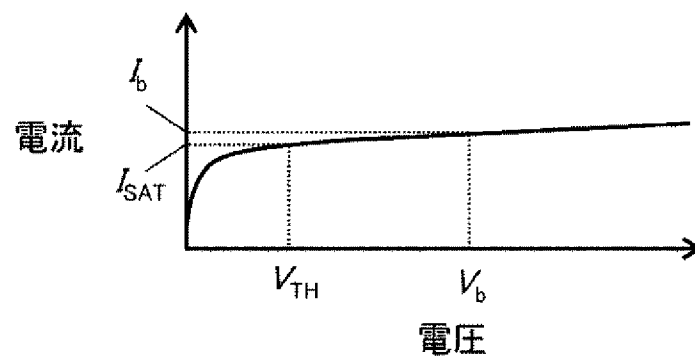
[図4]

【図4】



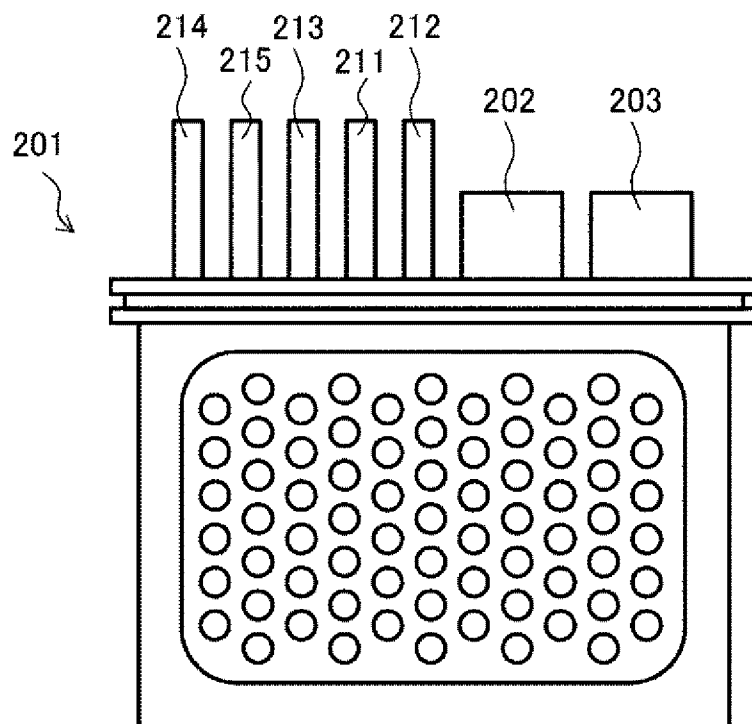
[図5]

【図5】



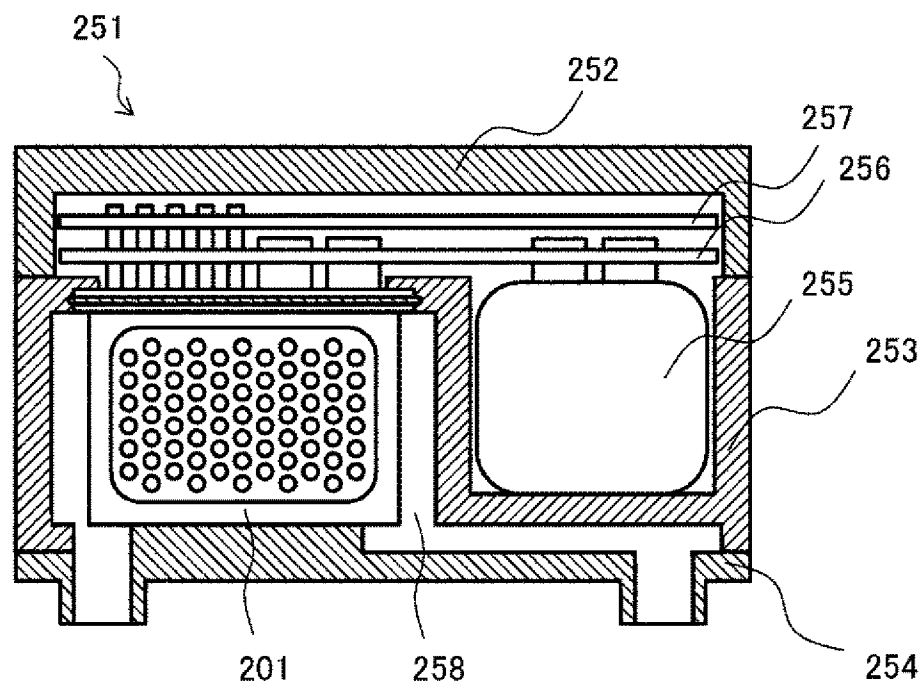
[図6]

【図6】



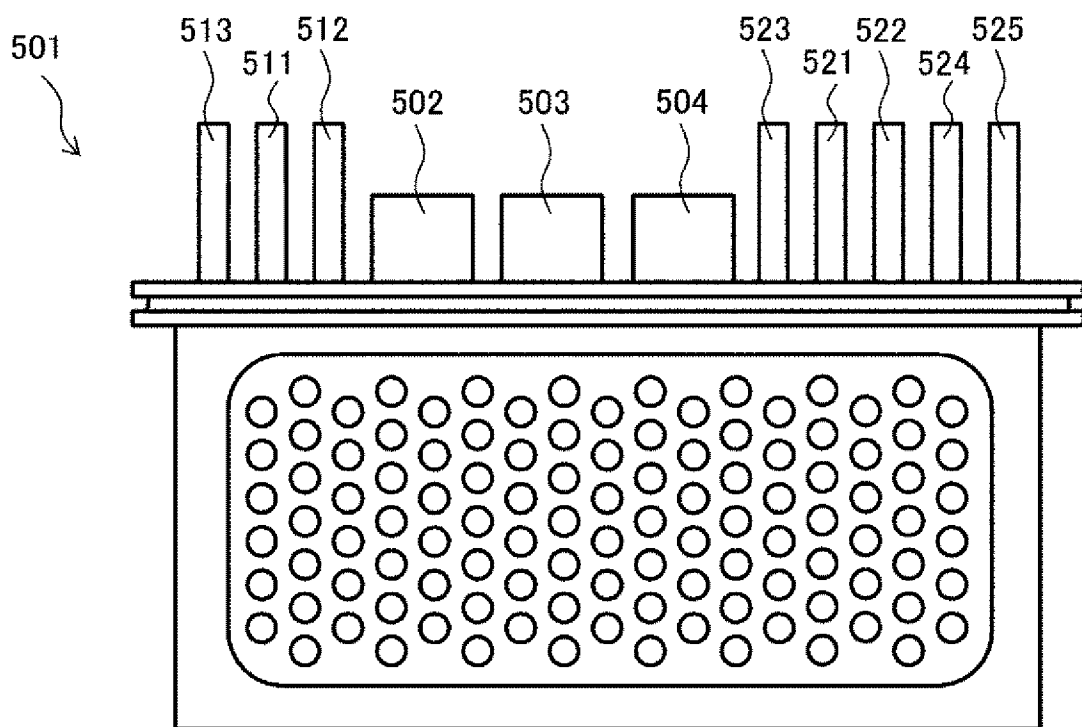
[図7]

【図7】



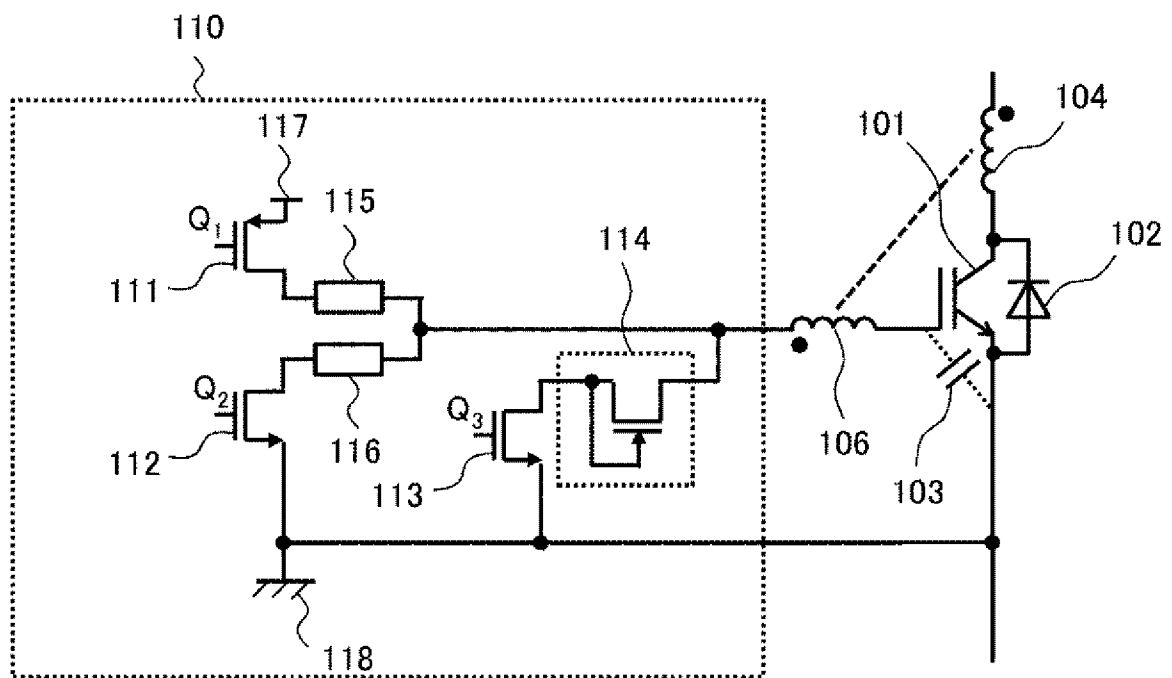
[図8]

【図8】



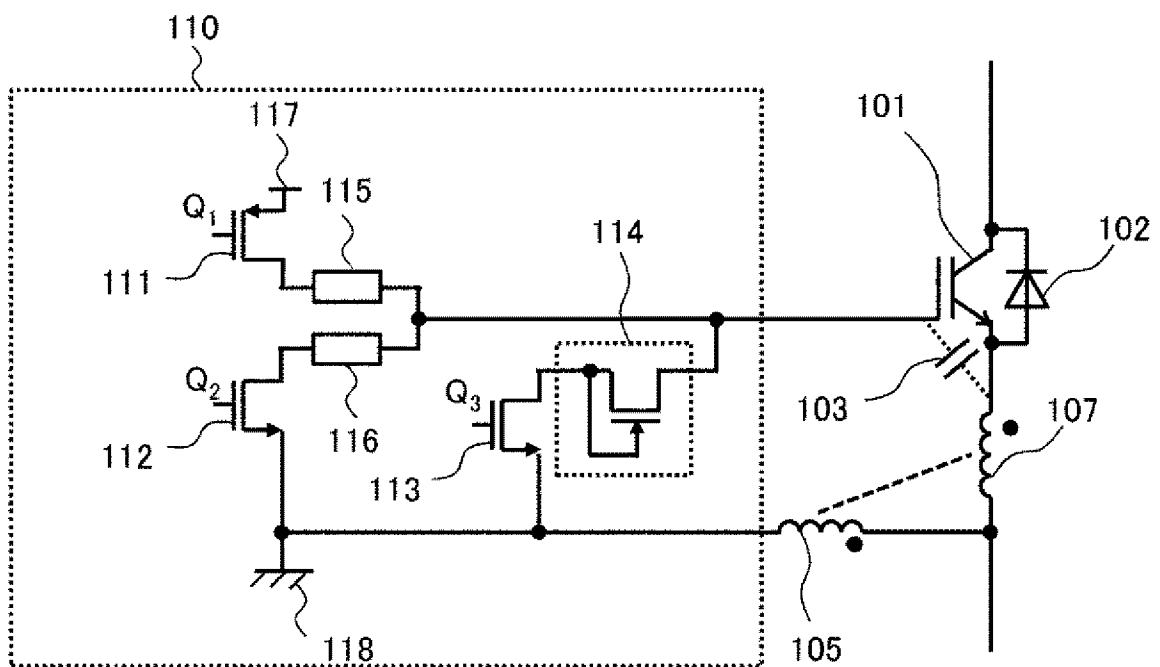
[図9]

【図9】



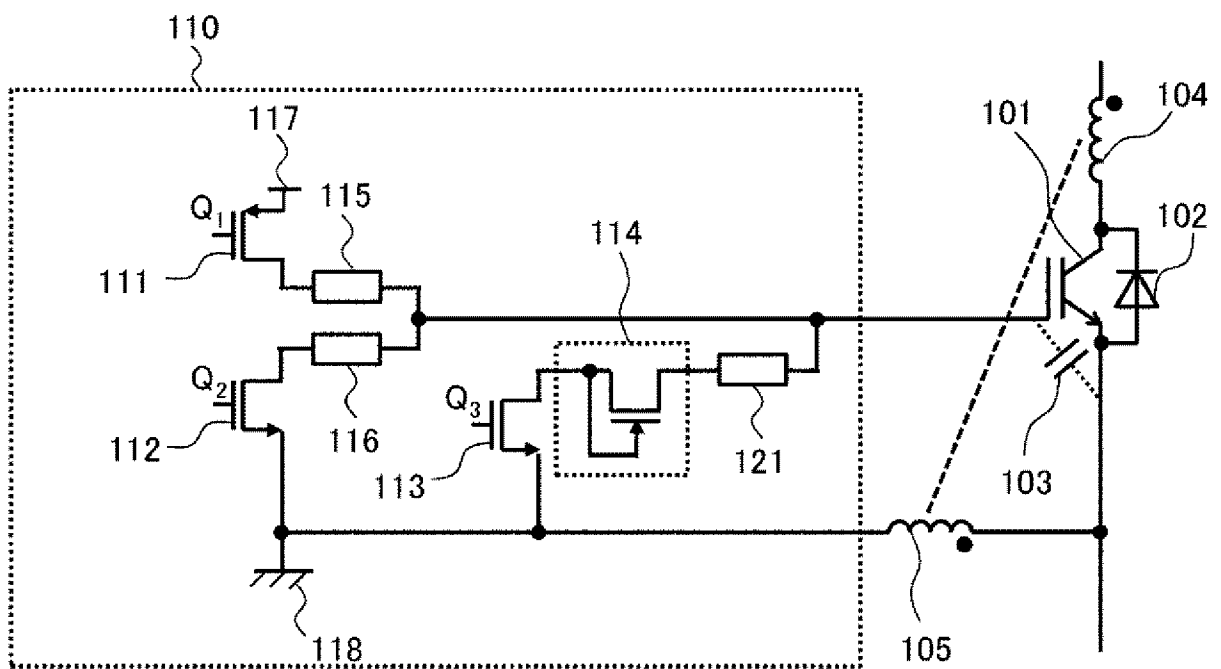
[図10]

【図10】



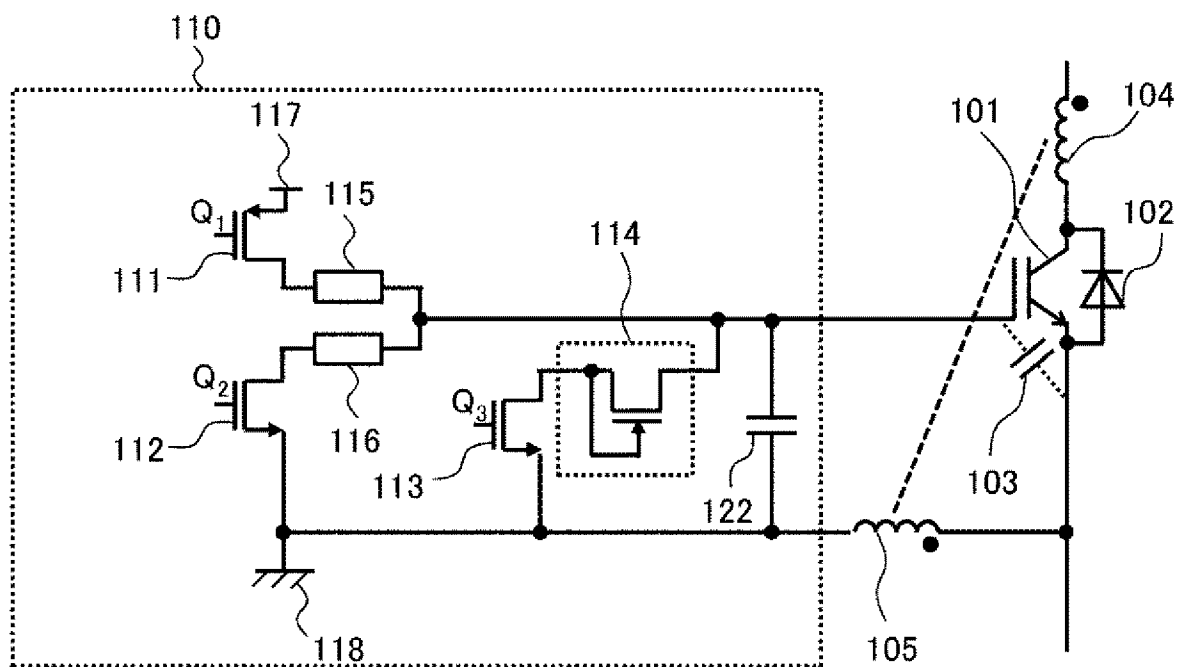
[図12]

【図12】



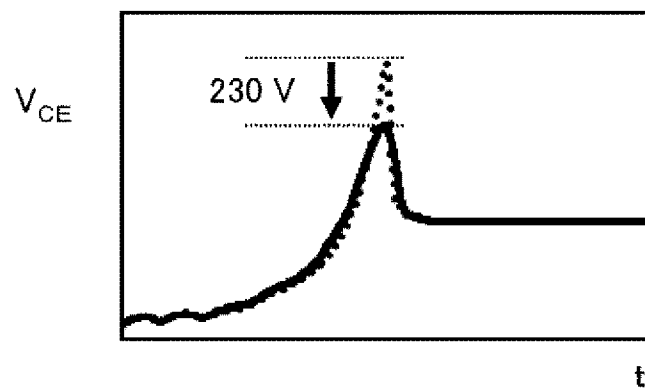
[図13]

【図13】



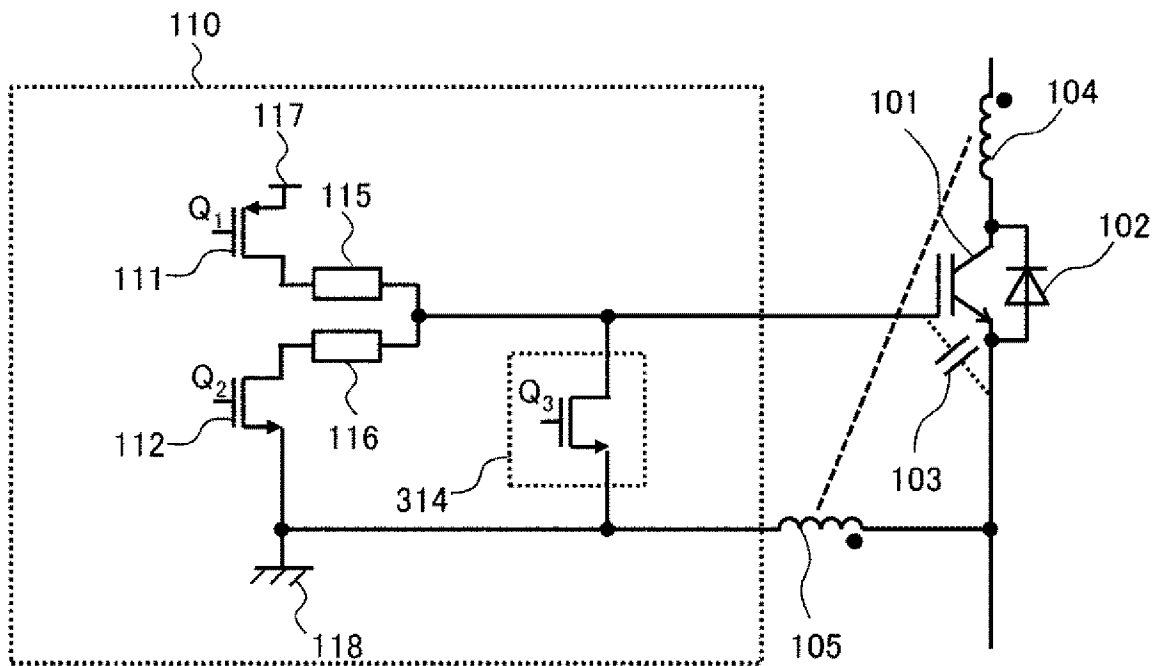
[図14]

【図14】



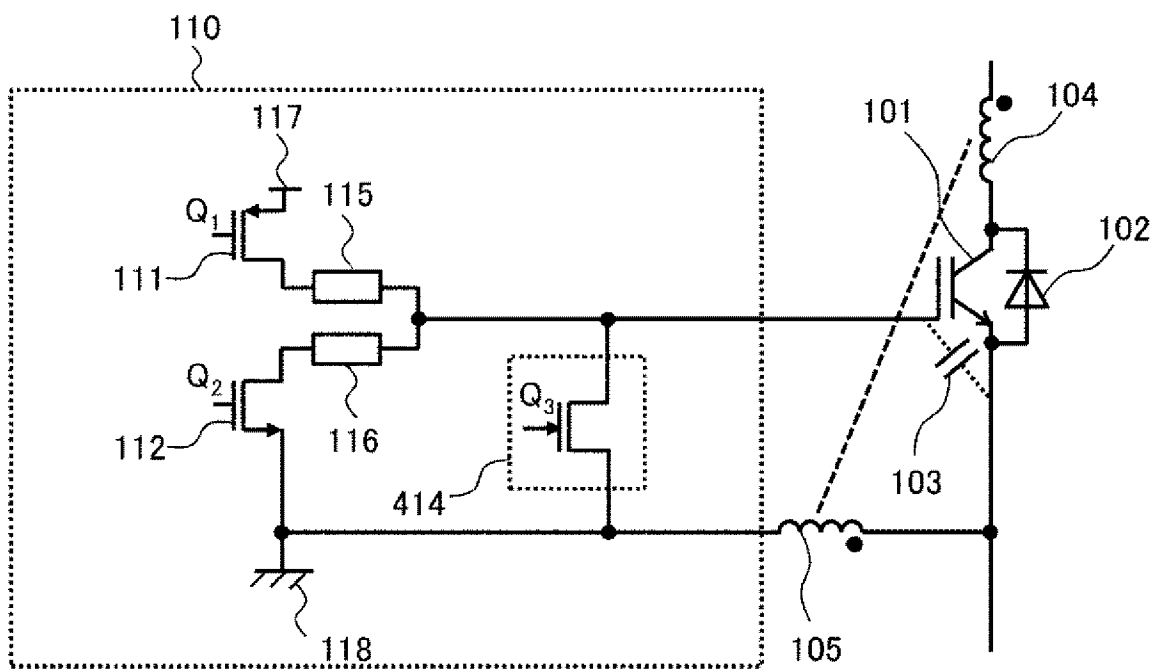
[図15]

【図15】



[図16]

【図16】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/024427

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48(2007.01)i, H02M1/08(2006.01)i, H03K17/16(2006.01)i, H03K17/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H02M1/08, H03K17/16, H03K17/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-27657 A (Fuji Electric Co., Ltd.), 25 January 2002 (25.01.2002), paragraphs [0001], [0010] to [0014]; fig. 2 to 5 (Family: none)	1-2 3-7
Y	JP 2014-165932 A (Hitachi Automotive Systems, Ltd.), 08 September 2014 (08.09.2014), paragraph [0023]; fig. 2 (Family: none)	3-7
Y	JP 2016-67171 A (Hitachi, Ltd.), 28 April 2016 (28.04.2016), paragraphs [0002], [0012], [0024]; fig. 1 & WO 2016/047174 A1	5-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 September 2017 (12.09.17)

Date of mailing of the international search report
19 September 2017 (19.09.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i, H02M1/08(2006.01)i, H03K17/16(2006.01)i, H03K17/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48, H02M1/08, H03K17/16, H03K17/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2002-27657 A (富士電機株式会社) 2002.01.25, [0001]、[010] - [0014]、図2-5（ファミリーなし）	1-2 3-7
Y	JP 2014-165932 A (日立オートモティブシステムズ株式会社) 2014.09.08, [0023]、図2（ファミリーなし）	3-7
Y	JP 2016-67171 A (株式会社日立製作所) 2016.04.28, [0002]、 [0012]、[0024]、図1 & WO 2016/047174 A1	5-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.09.2017

国際調査報告の発送日

19.09.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高野 誠治

5G

3567

電話番号 03-3581-1101 内線 3526