(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0218739
(24) 등록일자 1999년06월11일

(21) 출원번호 10-1996-0068909
(22) 출원일자 1996년12월20일
(65) 공개번호 특1998-0050131
(43) 공개일자 1998년09월15일

(73) 특허권자 현대전자산업주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 김승준
경기도 이천시 부발읍 아미리 현대전자 사원 임대 APT 104-204
(74) 대리인 이정훈, 이권희

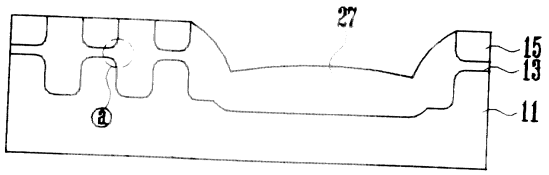
심사관 : 김용정

(54) 반도체소자의 소자분리절연막 형성방법

요약

본 발명은 반도체소자의 소자분리절연막 형성방법에 관한 것으로, 반도체기판을 일정두께 식각하여 소폭과 광폭의 트렌치를 형성하고 이를 매립하는 트렌치형 소자 분리 절연막 형성방법에 있어서, 상기 반도체기판 상부에 제 1절연막과 제 2절연막을 각각 일정두께 형성하고 상기 반도체기판에 트렌치를 형성한 다음, 상기 트렌치를 매립하는 제 3절연막을 형성하고 상기 제 3절연막을 이방성식각하여 제 3절연막 스페이서를 형성한 다음, 상기 광폭의 트렌치 저부를 열 산화시켜 열산화막을 형성하는 동시에 소폭의 트렌치에 버즈빅을 형성하고 상기 제 2,1절연막을 습식방법으로 제거하는 동시에 반도체기판 상부로 형성된 제 3절연막을 평탄화시키는 공정으로 소자분리 절연막을 형성하여 후속공정을 용이하게 하는 동시에 누설 전류의 발생을 억제하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 기술이다.

대표도



명세서

도면의 간단한 설명

제 1a 내 지 제 1c는 종래기술에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도.

제2a도 내지 제 2g는 본 발명의 실시예에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도.

*도면의 주요부분에 대한 부호의 설명

11,41 : 반도체기판
13,43 : 패드산화막
15,45 : 질화막
17 : 감광막패턴
19 : 소폭의 트랜치
21 : 광폭의 트렌치
23,49 : 산화막
25 : 산화막 스페이서
23 : 열산화막
29,31 : 소자분리 절연막
33 : 게이트 산화막
47 : 트렌치
ⓐ : 버즈빅

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자의 소자분리절연막 형성방법에 관한 것으로, 특히 트렌치를 매립하는 소자분리절연막의 손상을 방지하여 후속공정을 용이하게 실시할 수 있도록 함으로써 반도체소자의 특성 및 신뢰성을 향상시키는 기술에 관한 것이다.

고집적화라는 관점에서 소자의 집적도를 높이기 위해서는 각각의 소자 디맨젼(dimension)을 축소하는 것과 , 소자간의 존재하는 분리 영역(isolation region)의 폭과 면적을 축소하는 것이 필요하며, 이 축소정도가 셀의 크기를 좌우한다는 점에서 소자분리 기술이 메모리 셀 사이즈(memory cell size)를 결정하는 기술이라고 할 수 있다.

소자 분리 절연막을 제조하는 종래기술로는 절연물 분리방식의 로코스(LOCOS : LOCal Oxidation of Silicon, 이하에서 LOCOS라 함)방법, 실리콘기판 상부에 산화막, 다결정실리콘층, 질화막순으로 적층한 구조의 피,비.엘(poly - Buffed LOCOS, 이하에서 PBL 이라 함)방법, 기판에 홈을 형성한 후에 절연물질로 매립하는 트렌치(trench)방법 등이 있다.

그러나, 상기 LOCOS 방법으로 소자분리 산화막을 미세화할 때 공정상 또는 전기적인 문제가 발생한다. 그중의 하나는, 소자분리절연막만으로는 전기적으로 소자를 완전히 분리할 수 없다는 것이다.

그래서, 소자분리 산화막을 형성하는 산화공정 직전 또는 이후에 고농도의 B 또는 BF_2 이온을 소자분리절연막의 하부에 이온주입시켜 격리효과를 보상해 주는데, 이 공정을 N채널 필드 임플란트(N-channel field implant)공정 즉, 채널스토퍼(channel stopper) 형성 공정이라 한다.

이때, 채널스토퍼로 사용되는 B 또는 BF_2 는 소자분리 산화공정중에 또는 기타 열처리공정시에 활성영역으로 측면확산하여 활성영역이 좁아지면서, 활성트랜지스터의 문턱전압(threshold voltage)을 높이는 내로우(narrow) 채널 효과를 일으키고, 소오스/드레인을 향해 측면확산하여 n^+ 접합과 중첩되면서 일어나는 n^+ 접합 브레이크다운 전압(breakdown voltage)의 감소나 접합누출의 증대 등의 문제를 일으키며, 소자분리절연막이 형성후에 채널스톱 불순물을 주입할 경우에는 고에너지의 이온주입을 하기 때문에 소자분리 절연막의 끝부분이 손상되어 게이트 산화막의 열화를 가져올 수 있다. 그리고, 소자 분리절연막의 상층부는 기판과 단차를 형성하여 후속공정의 진행시 어려움이 있다.

그리고, 상기 PBL을 사용하는 경우, 필드산화시에 산소의 측면확산에 의하여 버즈빅이 발생한다. 즉, 활성영역이 작아져 활성영역을 효과적으로 활용하지 못하며, 필드산화막의 두께가 두껍기 때문에 단차가 형성되어 후속공정에 어려움을 준다. 그리고, 기판상부의 다결정실리콘층으로 인하여 필드산화시 기판내부로 형성되는 소자분리절연막이 타기법에 비하여 상대적으로 작기 때문에 타기법에 비해 신뢰성을 약화시킬 수 있다.

이상에서 설명한 LOCOS 방법과 PBL 방법은 반도체기판 상부로 볼록한 소자분리절연막을 형성하여 단차를 갖게 되므로써 후속공정을 어렵게 하는 단점이 있다.

이러한 단점을 해결하기 위하여, 반도체기판을 식각하여 트렌치를 형성하고 상기 트렌치를 매립한 다음, CMP 방법을 이용하여 상부면을 평탄화시키고 후속공정을 평탄화시킴으로써 후속공정을 용이하게 실시할 수 있도록 하였다.

도 1a 내지 도1c는 종래기술에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 것이다.

먼저, 반도체기판(41) 상부에 패드산화막(43)을 형성하고, 상기 패드산화막(43) 상부에 질화막(45)을 형성한다.

그리고, 소자분리마스크(도시안됨)을 이용한 식각공정에서 상기 질화막(45)과 패드산화막(43) 및 일정두께의 반도체기판(41)을 식각하여 상기 반도체기판(41)에 트렌치(37)를 형성한다.

그 다음에, 상기 트렌치(47)를 매립하는 산화막(49)을 형성하고, 상기 산화막(49)을 CMP하여 상부면을 평탄하게 형성한다.(도 1a)

그리고, 상기 질화막(45)을 제거한다. 이때, 상기 질화막(45)은 인산용액을 이용한 습식방법으로 제거한다(도 1b)

그 다음에, 상기 패드산화막(43)을 제거하는 습식세정공정을 실시하고, 상기 패드산화막(43)이 제거된 반도체기판(41)상부에 게이트산화막(도시안됨)을 형성하기 위하여 습식세정공정을 실시한다.

이때, 상기 산화막(49)과 반도체기판(41)의 경계부에 위치한 상기 산화막(49)에 상기 트랜치 (47)안쪽으로 ⓑ와 같이 식각되는 턱짐현상이 발생하여 후속공정을 어렵게 할 뿐만 아니라 반도체기판의 누설전류를 유발시켜 반도체소자의 특성 및 신뢰성을 저하시킴으로써 그에 따른 반도체소자의 고집적화를 어렵게 하는 문제점이 있다.(도 1c)

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 상기한 종래기술의 문제점을 해결하기 위하여, 트렌치를 완전히 매립할 수 있는 소자분리절연막을 형성하여 후속공정을 용이하게 하고 반도체기판의 누설전류를 감소시켜 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 반도체소자의 소자분리절연막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 소자분리 절연막 형성방법은 반도체기판을 일정두께 식각하여 소폭과 광폭의 트렌치를 형성하고 이를 매립하는 트렌치형 소자분리절연막 형성방법에 있어서, 상기 반도체기판 상부에 제 1절연막과 제 2절연막을 각각 일정두께 형성하는 공정과, 상기 반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치를 매립하는 제 3절연막을 형성하는 공정과, 상기 제 3

절연막을 이방성식각하여 제 3절연막 스페이서를 형성하는 공정과, 상기 광폭의 트렌치 저부를 열산화시켜 열산화막을 형성하는 동시에 소폭의 트렌치에 버즈빅을 형성하는 공정과, 상기 제 2,1절연막을 습식방법으로 제거하는 동시에 반도체기판 상부로 형성된 제 3절연막을 평탄화시키는 공정을 포함하는 것을 특징으로 한다.

한편, 상기한 목적을 달성하기 위한 본 발명의 원리는, 마스크를 이용하여 소폭과 광폭의 트렌치를 형성하고 상기 광폭의 트렌치에 스페이서를 형성하되, 반도체기판 상부에 형성된 패드산화막과, 질화막과 같은 구조물 및 상기 트렌치의 측벽에 형성하는 동시에 소폭의 트렌치를 매립하는 절연막이 버즈빅(bird's beak)을 갖도록 하여 후속공정인 세정공정시 소자분리절연막의 손상을 방지함으로써 후속공정을 용이하게 하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있도록 하는 것이다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 2a 내지 도 2g는 본 발명이 실시예에 따른 반도체소자의 소자분리절연막 형성방법을 도시한 단면도이다.

먼저, 반도체기판(11)상부에 패드산화막(13) 및 질화막(15)을 각각 일정두께 형성한다. 그리고 상기 질화막(15)상부에 감광막패턴(17)을 형성한다.

이때, 상기 감광막패턴(17)은 소자분리마스크(도시안됨)를 이용한 노광 및 현상공정을 형성한다.(도 2a)

그 다음에, 상기 감광막패턴(17)을 마스크로 하여 상기 질화막(15), 패드산화막(13) 및 일정두께의 반도체기판(11)을 식각하여 소폭과 광폭의 트렌치(19,21)를 형성한다.

그리고, 상기 감광막패턴(17)을 제거한다.(도 2b)

그 다음에, 상기 트렌치(19,21)를 매립하는 산화막(23)을 형성한다. 이때, 상기 산화막(23)은 화학기상증착(Chemical Vapor Deposition, 이하에서 CVD라 함) 산화막이나 고밀도 플라즈마 산화막으로 형성한다.(도 2c)

그리고, 상기 산화막(23)을 이방성식각하여 상기 소폭의 트렌치(19)를 매립하는 동시에 상기 광폭의 트렌치(21)에 산화막 스페이서(25)를 형성한다.(도 2d)

그 다음에, 열산화공정으로 상기 광폭의 트렌치(21) 저부를 산화시켜 열산화막(27)을 500～1000Å 정도의 두께로 형성한다. 이때, 상기 소폭의 트렌치(19)가 형성된 부분은 버즈빅이 ⓐ와 같이 형성된다.

여기서, 상기 버즈빅ⓐ는 500～2500Å 정도의 길이로 형성된다.(도 2e)

그 다음에, 인산용액을 이용하는 습식방법으로 상기 질화막(15)을 제거하고 세정공정을 실시한다.(도 2f)

그리고, 상기 패드산화막(13)을 제거하는 세정공정을 실시한다. 그리고 상기 패드산화막(13)이 제거된 반도체기판(11)상부에 게이트산화막(도시안됨)을 형성하기 위하여 습식 세정공정을 실시한다.

여기서, 상기 반도체기판(11) 표면으로 돌출된 산화막(23)과 산화막 스페이서(25)는 상기 도2f부터의 습식방법으로 각각 일정부분씩 식각되어 상기 반도체기판(11)의 표면이 평탄화된다.

그 다음에, 상기 반도체기판(11) 표면을 열산화시켜 게이트산화막(33)을 형성하는 동시에 상기 소폭과 광폭의 트렌치(19,21)에 소자분리절연막(29,31)을 형성한다.(도 2g)

본 발명의 다른 실시예는 상기 트렌치를 매립하는 소자분리절연막 형성방법을 PBL 구조에 적용하여 사용하는 것이다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 소자분리절연막 형성방법은, 종래기술에서 습식세정공정시 손상되는 부분을 보상해줄 수 있는 절연막 스페이서 및 버즈빅을 형성하여 상부면이 평탄화된 소자분리절연막을 형성할 수 있도록 함으로써 후속공정을 용이하게 하여 반도체소자의 특성 및 신뢰성을 향상시키고 그에 따른 반도체소자의 고집적화를 가능하게 하는 잇점이 있다.

(57) 청구의 범위

청구항 1

반도체기판을 일정두께 식각하여 소폭과 광폭의 트렌치를 형성하고 이를 매립하는 트렌치형 소자분리절연막 형성방법에 있어서, 상기 반도체기판 상부에 제 1절연막과 제 2절연막을 각각 일정두께 형성하는 공정과, 상기 반도체기판에 트렌치를 형성하는 공정과, 상기 트렌치를 매립하는 제 3절연막을 형성하는 공정과, 상기 제 3절연막을 이방성식각하여 제 3절연막 스페이서를 형성하는 공정과, 상기 광폭의 트렌치 저부를 열산화시켜 열산화막을 형성하는 동시에 소폭의 트렌치에 버즈빅을 형성하는 공정과, 상기 제 2,1절연막을 습식방법으로 제거하는 동시에 반도체기판 상부로 형성된 제 3절연막을 평탄화시키는 공정을 포함하는 반도체 소자의 소자분리절연막 형성 방법.

청구항 2

청구항 1에 있어서, 상기 제 1절연막은 패드산화막인 것을 특징으로 하는 반도체 소자의 소자분리절연막 형성 방법.

청구항 3

청구항 1에 있어서, 상기 제 2절연막은 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 소자분리

절연막 형성 방법.

청구항 4

청구항 1에 있어서, 상기 제 3절연막은 CVD 산화막이나 고밀도 플라즈마 산화막인 것을 특징으로 하는 반도체 소자의 소자분리절연막 형성 방법.

청구항 5

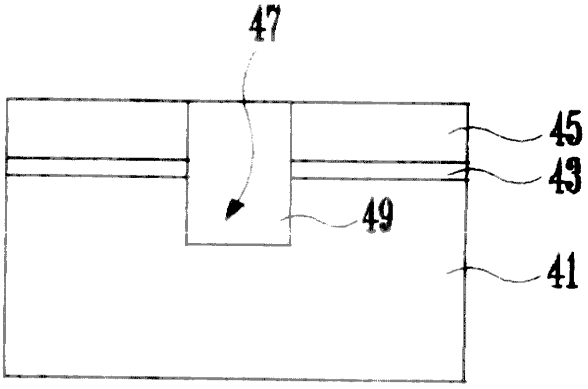
청구항 1이 있어서, 상기 열 산화막은 500~1000Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자분리절연막 형성 방법.

청구항 6

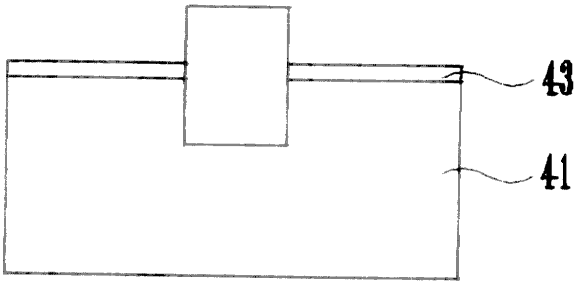
청구항 1에 있어서, 상기 버즈빅은 500~1000Å 정도의 길이로 형성하는 것을 특징으로 하는 반도체 소자의 소자분리절연막 형성 방법.

도면

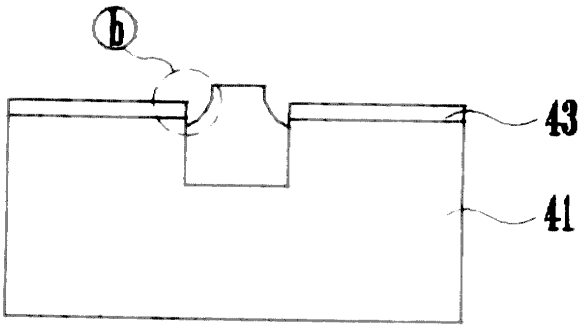
도면1a



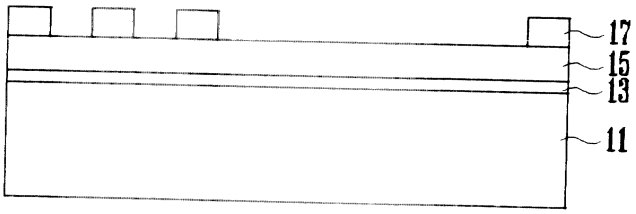
도면1b



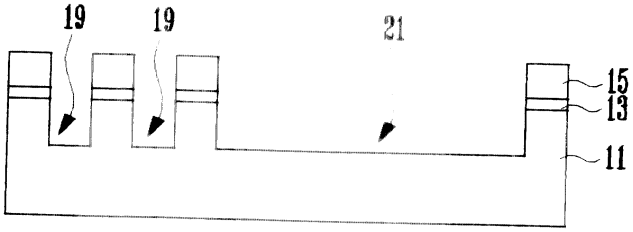
도면1c



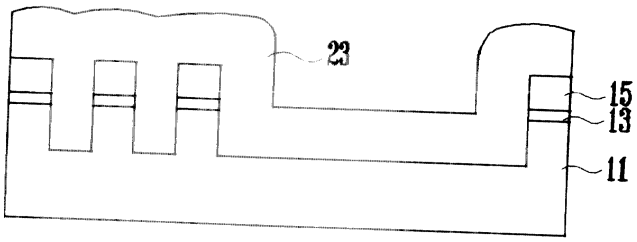
도면2a



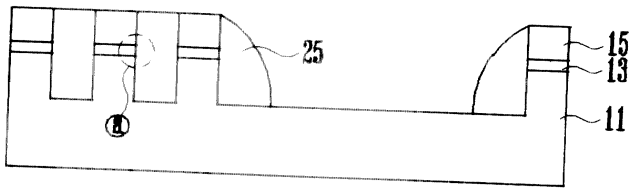
도면2b



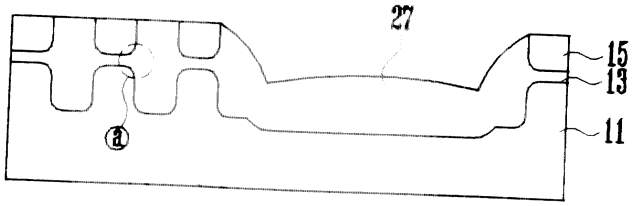
도면2c



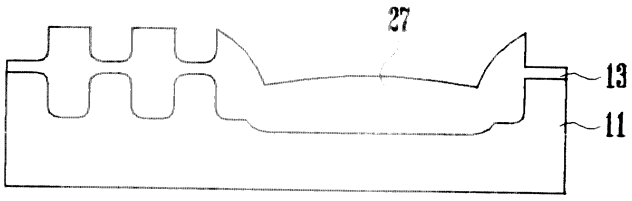
도면2d



도면2e



도면2f



도면2g

