

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 17 年 8 月 4 日 (2005.8.4)

【公開番号】特開 2002-149138 (P2002-149138A)

【公開日】平成 14 年 5 月 24 日 (2002.5.24)

【出願番号】特願 2001-235487 (P2001-235487)

【国際特許分類第 7 版】

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 F 9/30

G 0 9 F 9/35

G 0 9 G 3/20

【F I】

G 0 9 G 3/36

G 0 2 F 1/133 5 0 5

G 0 9 F 9/30 3 3 8

G 0 9 F 9/35

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 2 4 B

【手続補正書】

【提出日】平成 17 年 1 月 12 日 (2005.1.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、複数の記憶回路を有することを特徴とする液晶表示装置。

【請求項 2】

複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を  $m$  フレーム分 ( $m$  は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路を有することを特徴とする液晶表示装置。

【請求項 3】

複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、ソース信号線と、 $n$  本 ( $n$  は自然数、 $2 \leq n$ ) の書き込み用ゲート信号線と、 $n$  本の読み出し用ゲート信号線と、 $n$  個の書き込み用トランジスタと、 $n$  個の読み出し用トランジスタと、 $n$  ビットのデジタル映像信号を  $m$  フレーム分 ( $m$  は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$  個の書き込み用記憶回路選択部と、 $n$  個の読み出し用記憶回路選択部と、液晶素子とを有し、

前記  $n$  個の書き込み用トランジスタのゲート電極はそれぞれ、前記  $n$  本の書き込み用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方はソース信号線と電氣的に接続され、他方は前記  $n$  個の書き込み用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号入力部と電氣的に接続され、

前記  $n$  個の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の

信号出力部はそれぞれ、異なる前記記憶回路の信号入力部と電氣的に接続され、

前記  $n$  個の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる前記記憶回路の信号出力部と電氣的に接続され、

前記  $n$  個の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 4】

複数の画素を有する液晶表示装置において、

前記複数の画素はそれぞれ、 $n$  本 ( $n$  は自然数、 $2 \leq n$ ) のソース信号線と、書き込み用ゲート信号線と、 $n$  本の読み出し用ゲート信号線と、 $n$  個の書き込み用トランジスタと、 $n$  個の読み出し用トランジスタと、 $n$  ビットのデジタル映像信号を  $m$  フレーム分 ( $m$  は自然数、 $1 \leq m$ ) 記憶する  $n \times m$  個の記憶回路と、 $n$  個の書き込み用記憶回路選択部と、 $n$  個の読み出し用記憶回路選択部と、液晶素子とを有し、

前記  $n$  個の書き込み用トランジスタのゲート電極はそれぞれ、前記書き込み用ゲート信号線と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  本のソース信号線の、それぞれ異なる 1 本と電氣的に接続され、他方は前記  $n$  個の書き込み用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号入力部と電氣的に接続され、

前記  $n$  個の書き込み用記憶回路選択部はそれぞれ  $m$  個の信号出力部を有し、前記  $m$  個の信号出力部はそれぞれ、異なる前記記憶回路の信号入力部と電氣的に接続され、

前記  $n$  個の読み出し用記憶回路選択部はそれぞれ  $m$  個の信号入力部を有し、前記  $m$  個の信号入力部はそれぞれ、前記異なる前記記憶回路の信号出力部と電氣的に接続され、

前記  $n$  個の読み出し用トランジスタのゲート電極はそれぞれ、前記  $n$  本の読み出し用ゲート信号線の、それぞれ異なるいずれか 1 本と電氣的に接続され、ソース領域とドレイン領域とはそれぞれ、一方は前記  $n$  個の前記読み出し用記憶回路選択部の、それぞれ異なるいずれか 1 個の信号出力部と電氣的に接続され、他方は、前記液晶素子の一方の電極と電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 5】

請求項 3 もしくは請求項 4 のいずれか 1 項において、

前記書き込み用記憶回路選択部は、前記  $m$  個の記憶回路のうちいずれか 1 個を選択して、前期書き込み用トランジスタのソース領域とドレイン領域のうち一方と導通して前記デジタル映像信号の記憶回路への書き込みを行い、

前記読み出し用記憶回路選択部は、前記デジタル映像信号が記憶されている前記記憶回路のうちいずれか 1 個を選択して、前記読み出し用トランジスタのソース領域とドレイン領域のうち一方と導通して前記記憶されたデジタル映像信号の読み出しを行うことを特徴とする液晶表示装置。

【請求項 6】

請求項 3 において、

クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを入力するシフトレジスタと、

前記サンプリングパルスにしたがって、 $n$  ビット ( $n$  は自然数、 $2 \leq n$ ) のデジタル映像信号を保持する第 1 のラッチ回路と、

前記第 1 のラッチ回路に保持された前記  $n$  ビットのデジタル映像信号が転送される第 2 のラッチ回路と、

前記第 2 のラッチ回路に転送された前記  $n$  ビットのデジタル映像信号を 1 ビットずつ順に選択し、前記ソース信号線に出力する、ビット信号選択スイッチとを有することを特徴とする液晶表示装置。

【請求項 7】

請求項 4 において、

クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、

前記サンプリングパルスにしたがって、 $n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1ビットの前記デジタル映像信号を保持する第1のラッチ回路と、

前記第1のラッチ回路に保持された前記1ビットの前記デジタル映像信号が転送され、前記ソース信号線に前記1ビットの前記デジタル映像信号を出力する第2のラッチ回路とを有することを特徴とする液晶表示装置。

【請求項8】

請求項4において、

クロック信号とスタートパルスとにしたがって、順次サンプリングパルスを出力するシフトレジスタと、

前記サンプリングパルスにしたがって、 $n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号のうち、1ビットの前記デジタル映像信号を保持し、前記ソース信号線に前記1ビットの前記デジタル映像信号を出力する第1のラッチ回路とを有することを特徴とする液晶表示装置。

【請求項9】

請求項1乃至請求項8のいずれか1項において、

前記記憶回路はスタティック型メモリ (SRAM) であることを特徴とする液晶表示装置。

【請求項10】

請求項1乃至請求項8のいずれか1項において、

前記記憶回路は強誘電体メモリ (FeRAM) であることを特徴とする液晶表示装置。

【請求項11】

請求項1乃至請求項8のいずれか1項において、

前記記憶回路はダイナミック型メモリ (DRAM) であることを特徴とする液晶表示装置。

【請求項12】

請求項1乃至請求項11のいずれか1項において、

前記記憶回路は、ガラス基板上に形成されていることを特徴とする液晶表示装置。

【請求項13】

請求項1乃至請求項11のいずれか1項において、

前記記憶回路は、プラスチック基板上に形成されていることを特徴とする液晶表示装置。

【請求項14】

請求項1乃至請求項11のいずれか1項において、

前記記憶回路は、ステンレス基板上に形成されていることを特徴とする液晶表示装置。

【請求項15】

請求項1乃至請求項11のいずれか1項において、

前記記憶回路は、単結晶ウェハ上に形成されていることを特徴とする液晶表示装置。

【請求項16】

$n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、

前記液晶表示装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し

前記ソース信号線駆動回路においては、

シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、

前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、

前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、

前記ゲート信号線駆動回路においては、

ゲート信号線選択パルスが出力されてゲート信号線が選択され、  
前記複数の画素においてはそれぞれ、  
前記ゲート信号線が選択されている行において、  
ソース信号線より入力される $n$ ビットのデジタル映像信号の記憶回路への書き込みと、  
前記記憶回路に記憶された前記 $n$ ビットのデジタル映像信号の読み出しとを行うことを特徴とする液晶表示装置の駆動方法。

【請求項 17】

$n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、  
前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し  
前記ソース信号線駆動回路においては、  
シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、  
前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、  
前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、  
前記ゲート信号線駆動回路は、ゲート信号線選択パルスを出力して、前記ゲート信号線を、1行目から順次選択し、  
前記複数の画素においては、1行目から順次前記 $n$ ビットのデジタル映像信号の書き込みが行われることを特徴とする液晶表示装置の駆動方法。

【請求項 18】

$n$ ビット ( $n$ は自然数、 $2 \leq n$ ) のデジタル映像信号を用いて映像の表示を行う液晶表示装置の駆動方法において、  
前記液晶表示装置は、ゲート信号線駆動回路と、複数の画素とを有し  
前記ソース信号線駆動回路においては、  
シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、  
前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、  
前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、  
前記ゲート信号線駆動回路は、ゲート信号線選択パルスを、前記ゲート信号線の任意の行を特定して出力することによって選択し、  
前記複数の画素においては、前記ゲート信号線が選択されている任意の行において、前記 $n$ ビットのデジタル映像信号の書き込みが行われることを特徴とする液晶表示装置の駆動方法。

【請求項 19】

請求項 16 乃至請求項 18 のいずれか 1 項において、  
静止画像の表示期間においては、  
前記記憶回路に記憶された前記 $n$ ビットのデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路を停止することを特徴とする液晶表示装置の駆動方法。

【請求項 20】

請求項 1 乃至請求項 15 のいずれか 1 項に記載の前記液晶表示装置を用いたことを特徴とする電子装置。

【請求項 21】

請求項 16 乃至請求項 19 のいずれか 1 項に記載の前記液晶表示装置の駆動方法を用いたことを特徴とする電子装置。

【請求項 22】

請求項 20 もしくは請求項 21 のいずれか 1 項において、前記電子装置とは、テレビ、パーソナルコンピュータ、携帯端末、ビデオカメラ、ヘッドマウントディスプレイのいずれか 1 つであることを特徴とする電子装置。