(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2006-511085
(P2006-511085A)
(43)公表日　平成18年3月30日(2006.3.30)

(51)Int.Cl.		F I		テーマコード（参考）
H01L 25/18	(2006.01)	H01L 25/04	Z	
H01L 25/04	(2006.01)			

審査請求 未請求　予備審査請求 未請求　（全 15 頁）

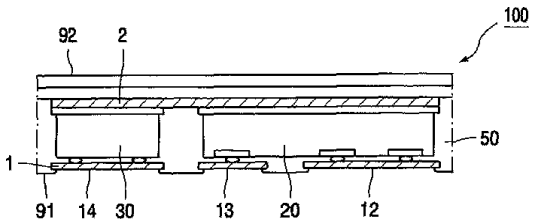
(21)出願番号	特願2004-561876 (P2004-561876)
(86)(22)出願日	平成15年12月15日 (2003.12.15)
(85)翻訳文提出日	平成17年6月17日 (2005.6.17)
(86)国際出願番号	PCT/IB2003/006028
(87)国際公開番号	WO2004/057662
(87)国際公開日	平成16年7月8日 (2004.7.8)
(31)優先権主張番号	02080665.9
(32)優先日	平成14年12月20日 (2002.12.20)
(33)優先権主張国	欧州特許庁 (EP)

(71)出願人　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
Ｋｏｎｉｎｋｌｉｊｋｅ　Ｐｈｉｌｉｐｓ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｎ．Ｖ．
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
Ｇｒｏｅｎｅｗｏｕｄｓｅｗｅｇ　１，５６２１　ＢＡ　Ｅｉｎｄｈｏｖｅｎ，Ｔｈｅ　Ｎｅｔｈｅｒｌａｎｄｓ
(74)代理人　100075812
弁理士　吉武　賢次
(74)代理人　100077609
弁理士　玉真　正美

最終頁に続く

(54)【発明の名称】電子デバイス及びその製造方法

(57)【要約】
本発明のデバイスは、半導体素子と、第１の接続素子と、第１のパターン化された導電層と、第２のパターン化された導電層とを備える。本デバイスにはさらに、基板の一部を成す第１の導電層を除く全てを封じ込めるカプセル封じを設ける。本デバイスは、第２の導電層に、事前パターン化形式で、浸透性の絶縁層をフォイルとして設けるよう適宜に製造できる。



【特許請求の範囲】
【請求項１】
電子デバイスを製造する方法であって、
導電性材料からなる第１の層を有する基板を設ける段階であって、前記層において所望のパターンに従って導体が画定され、または画定されることとなる基板を設ける段階と、
導電性材料からなる第２の層を有するフォイルを設ける段階であって、前記層において所望のパターンに従って導体が画定される、フォイルを設ける段階と、
前記基板の第１の側面上で半導体素子と第１の接続素子とを含む素子を設ける段階であって、これにより前記素子のうちの少なくとも２つであって、そのうちの一方が前記第１の接続素子である２つが、前記第１の層内の対応する導体に電気的に接触する、素子を設ける段階と、
前記素子のいずれかの側面上でフォイルを設ける段階であって、これにより前記少なくとも２つの素子と前記第２の層内の前記対応する導体との間で電気的接触が成立する、フォイルを設ける段階と、
前記半導体素子の前記第２の側面から前記フォイルを通じて不活性化材料を設ける段階であって、前記不活性化材料が前記素子のカプセル封じを形成する、不活性化材料を設ける段階と、
基板とカプセル封じと第２の導電層とから成る集合を分離する段階であって、これにより電子デバイスを形成する、電子デバイスの製造方法。
【請求項２】
前記フォイルが分離可能層を備え、前記半導体素子の前記第２の側面上で前記フォイルを設けた後に前記分離可能層が取り除かれることを特徴とする、請求項１に記載の方法。
【請求項３】
前記フォイルがパターン化された電気絶縁層を備え、前記第２のパターン化層が前記素子に面するよう前記フォイルを設けることを特徴とする、請求項１に記載の方法。
【請求項４】
前記フォイルが電気絶縁ガーゼを備え、前記第２のパターン化層が前記素子に面するよう前記フォイルを設けることを特徴とする、請求項１に記載の方法。
【請求項５】
前記第１の層で前記接続導体が予め画定された基板を使用することを特徴とする、請求項１に記載の方法。
【請求項６】
前記基板が犠牲層を備え、前記不活性化層を設けた後に前記犠牲層が少なくとも部分的には取り除かれることを特徴とする、請求項５に記載の方法。
【請求項７】
前記不活性化材料が前記第２のパターン化層をも封じ込め、前記基板が、前記第１の側面の反対を向いた前記第２の側面上に位置する対外接触のための接触面を有することを特徴とする、請求項１または５に記載の方法。
【請求項８】
半導体素子を設けた第１の側面と第２の反対側面とを備え、各々前記第１及び前記第２の側面上の導電性材料からなる第１及び第２のパターン化層の間に位置する第１及び第２の接続領域を有する電子デバイスであって、前記パターン化層は少なくとも第１の接続素子を介して電気的に相互に接続し、導体は前記層における所望のパターンに従って画定され、前記半導体素子は前記接続領域によって前記層内の少なくとも１つの層内の導体と電気的に接続し、前記デバイスには前記第１の側面にて外部と接触するための接触面を設け、前記接触面は前記第１のパターン化層内の前記導体の少なくとも一部分と導電的に接続し、前記素子と前記第２のパターン化層とは不活性化材料のカプセル封じによって少なくとも実質的には封じ込まれる、電子デバイス。
【請求項９】
前記素子の反対を向いた前記側面上で、パターン化された絶縁層を前記第２の導電層に

設けることを特徴とする、請求項８に記載の電子デバイス。
【請求項１０】
前記素子の反対を向いた前記側面上で、絶縁材料からなるガーゼを前記第２の導電層に設けることを特徴とする、請求項８に記載の電子デバイス。
【請求項１１】
パターン化された電気絶縁キャリア層とパターン化された導電層とを備えるフォイルであって、前記層の前記パターンが異なるフォイル。
【請求項１２】
前記絶縁層がガーゼであることを特徴とする、請求項１１に記載のフォイル。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は電子デバイスの製造方法に関し、その製造方法は、
－第１の導電層を備える基板の第１の側面上で、半導体素子と第１の接続素子とを含む複数の素子を設ける段階であって、これにより、かかる複数の素子のうちの少なくとも２つであってそのうちの１つが第１の接続素子である２つと、第１の導電層の対応する導体とが電気的に接触する、素子を設ける段階と、
－かかる複数の素子のいずれかの側面上で第２の導電層を施す段階であって、これにより、少なくとも２つの素子と第２の層とが電気的に接触する、第２の導電層を施す段階と、
－素子のカプセル封じを形成する不活性化材料を施す段階と、
－基板とカプセル封じと第２の導電層との集合を分離する段階であって、これにより電子デバイスを形成する段階と、を含む。
【０００２】
本発明はまた、半導体素子を設けた第１の側面と第２の反対側面とを備え、各々第１及び第２の側面上の導電性材料からなる第１及び第２の層の間に位置する第１及び第２の接続領域を有する電子デバイスに関し、かかる層は少なくとも第１の接続素子を介して電気的に相互に接続し、導体は前記層における所望のパターンに従って画定され、半導体素子は接続領域を介して前記導体の少なくともいくつかと電気的に接続し、前記デバイスには第１の側面にて外部と接触するための接触面を設け、前記接触面は第１の層内の導体の少なくとも一部分と導電的に接続し、前記素子は不活性化材料のカプセル封じによって、少なくとも実質的には封じ込まれる。
【０００３】
本発明はさらにフォイルに関する。
【発明の背景】
【０００４】
かかる方法及びデバイスは、未公開出願IB02/02305(PHNL010398)に記載されている。前記出願の半導体素子はトランジスタか、あるいは第１の側面にいくつかの接続領域を備え、第２の側面に１つの接続領域を備える、やや複雑な素子であり、それらの接続領域にヒートシンクや接触子等の伝導性接着剤を用いて電気的もしくは熱的に伝導する接続を、電気的及び熱的の少なくとも一方で伝導する接続を形成する。接続素子を備えるデバイスには、接続領域が反対側にあっても、単一の側面、この場合は第１の側面で、対外接触を達成できるという利点がある。接続素子は、例えばシリコン体や銅体である。
【０００５】
公知の方法では、基板と第２の導電層とがそれぞれ導電プレートの形態をとる。第２の導電プレート上には素子を設け、導電性の接着剤を用いて取り付ける。前記素子には、第１の側面にてバンプを設ける。その後、前記バンプ上に第１の導電プレートを設ける。次に、絶縁材料を、この場合では所謂アンダーフィル材をデバイスの側縁から設け、硬化させる。バンプと第１の導電プレートとの間で伝導性接続を確立するため、好ましくは温度処置を施す。その後、マスクを用いて第１のプレートをパターン化する。

【発明の開示】
【発明が解決しようとする課題】
【０００６】
側縁から絶縁材料を設けることは、実際には不利であることが分かっている。多数のデバイスを同時に製造する場合には、絶縁材料で全ての素子を封じ込めるのに比較的時間がかかる。加えて、素子とバンプとが完全に封じ込めない可能性が高く、完全に封じ込めないと機械的なストレスや不具合を招く。しかも、材料の選択肢はアンダーフィル材から成るグループに限られる。
【課題を解決するための手段】
【０００７】
したがって本発明の第１の目的は、冒頭の段落で述べたタイプの方法を提供することであり、その方法を用いることで絶縁材料を容易に設けることができ、しかもデバイスを基板から作り上げることができ、対外接触のための全接触面を１つの側面に位置付けることができる。この第１の目的は、
第２の層をパターン化し、相互に接続された接続導体と導体とをこれに備えることと、
少なくとも２つの素子と接続導体とを電気的に接触させるため、第２の層をフォイルの一部として設けることと、
半導体素子の第２の側面からフォイルを通じて不活性化材料を設けることと、によって達成される。
【０００８】
本発明による方法では、プレートの形をとる第２の導電層の代わりにフォイルを使用する。前記のフォイルは、予めパターン化された形で第２の導電層を備えるが、更なるフォイル部の接続機能によって、この第２の導電層は全体として設けることができる。前記の更なるフォイル部は、例えば電気絶縁層を含み、それは分離可能であってもなくてもよく、パターン化してもしなくてもよい。この「浸透性」フォイルによって、半導体素子の第２の側面から絶縁材料を設けることができる。よって、絶縁材料を設けるために使える表面が格段に広くなり、その結果処理は格段に速くなり、不完全なカプセル封じの危険性は低くなる。
【０００９】
本発明による方法には、切断経路に第２の導電層が存在しないという利点がある。導電材料が、特に銅が、切断経路に存在すると、切断工程が複雑なものとなり、使用する鋸の実用寿命に悪影響を及ぼす。したがって、銅は光蝕刻法で取り除くと有利である。しかし、組み立て工程後の光蝕刻段階もまた、組み立てプラントにおける実際条件のため望ましくない。本発明による方法では、この問題が事実上皆無である。
【００１０】
第２の導電層で付加的パターンを構成することにより機能性を増すという更なる利点も存在する。例えば、コイル、カプラー、シールド、マイクロストリップ等を設けることもできる。
【００１１】
第２の導電層でより多くのパターンを構成できることは、特に有利である。多数の素子から成るモジュールを、その全素子を第２の導電層を介して相互に接続しなくても、製造することが可能となる。本方法の更なる利点として、様々な絶縁材料をカプセル封じに使用できる。例えば、ガラスエポキシド、アクリレート、ポリイミド等を使用できるが、ガラスに硬化できるゾル・ゲル材料も使用できる。フォイルを通じての絶縁材料提供は様々な応用技法を用いて遂行できる。例えば、射出成形、噴霧法、スピンまたはウェブ被覆等がある。
【００１２】
本発明による第１の実施形態では、フォイルが分離可能層を備え、その分離可能層は、半導体素子の第２の側面上でフォイルを設けた後に取り除く。第２のパターン化層は素子によって、具体的にはその第２の側面上の接続手段によって支えられるため、フォイルは

取り除くことができる。公知の接続手段として、金属バンプや導電性接着剤等がある。本実施形態の利点として、第２のパターン化層は原理上、更なる素子のための基板として利用できる。これらの素子は、好ましくは絶縁材料の施設に事前に設ける。第２の導電層の厚みは、更なる素子の質量に適応させることができる。ただし、好ましくはこの厚みを約１００ｍｍから５０μｍの範囲内に制限する。素子の例としては、半導体素子、センサ、ヒートシンク、受動素子等がある。

【００１３】

第２の実施形態では、フォイルがパターン化された電気絶縁層を備え、かかるフォイルは、第２のパターン化層が素子に面するよう設ける。好ましくは、絶縁層を絶縁材料の中に埋め込む。そのため、絶縁層が絶縁材料に十分に接合することが望まれる。加えて絶縁層は、カプセル封じの絶縁材料を硬化させ、さらに半田及び金属の少なくとも一方を再溶解するための熱処理に耐えることができなければならない。さらに絶縁材料は、デバイスの動作に悪影響を与えてならない。実際これまでは市販の、とりわけNortonから市販されているドライソルダーレジストと、ポリイミドやベンゾシクロブテン等の構成可能材料を使用することによって満足な結果が得られた。

【００１４】

第３の実施形態では、フォイルが電気絶縁ガーゼを備え、そのフォイルは、第２のパターン化層が素子に面するよう設ける。そのようなガーゼの強度で第２の導電層を合わせ保つのに十分であることは分かっている。同時に、ガーゼの開放構造によって、カプセル封じの機械的・熱的安定性やデバイスの動作への悪影響はない。ガーゼには、例えばナイロン材やグラスファイバーからなるガーゼには、原理上、そのような熱処理に耐えるに十分な耐熱性が備わっている。ただし、たとえガーゼがかかる熱処理の最中に溶解する場合でも、それはカプセル封じによって容易に対処できる。どのみち、その時点でガーゼの機械的機能は不要である。処理を簡素化するため、分離可能層の上でガーゼを設けても良いことは言うまでも無い。

【００１５】

基板の選択は原則として完全に自由であり、具体的な応用と組み立て時の条件とにのみ左右される。この接続で、好ましくは予め第１の層で接続導体が画定される基板を使用する。そのような基板には、絶縁材料を設けた後に、上で述べた本方法で適用する光蝕刻段階を省けるという利点がある。そのような基板の第１の例は、例えばリードフレームである。上記にはなお、基板のキャリア機能と接続機能とが分離されないという欠点があるため、基板とカプセル封じの集合を分離するためには、金属リードフレームを切り開かなければならない。そのような基板の第２の例は、第１の導電層を備える分離可能のフォイルである。そのような基板の第３の例は、第１の導電層を備えるキャリア層である。

【００１６】

仮に基板が犠牲層を備え、不活性化材料を設けた後に、かかる犠牲層が少なくとも部分的には取り除かれるなら、とりわけ有利である。この犠牲層は基本的に、一時的キャリア層である。フォイルに比べた場合の犠牲層の利点は、その寸法的安定性と機械的安定性である。同時に、切断経路がある場所で第１の導電層を不在とすることもできる。取り除きは、エッチング、研磨を用いるか、あるいはＵＶ放射に曝すことによって遂行できる。

【００１７】

犠牲層の使用は、さらに２つの可能性を提供する。第１に、絶縁材料を設ける前に犠牲層を選択的に取り除くことにより、カプセル封じの中で第１の導電層を固定できる。これは、基板とカプセル封じとの間の接着力の向上につながる。特に、導電層は、第１の側面の反対を向いた側面で、基本的に導電層と同じパターンに従ってパターン化された層に接続される。この中間層、すなわち犠牲層のサブ層のパターンは、層に並行する平面でより小さい直径を有し、その結果、前記の固定が成立する。

【００１８】

犠牲層の第２の利点は、対外接触のための接触面を、基板の第１の側面の反対を向いた基板の第２の側面上で容易に形成できることである。特に、絶縁キャリア層を通過するバ

イアを省くことができる。

【００１９】

未公開の欧州特許出願EP02076425.4(PHNL020318)に記載されたアルミニウム（Ａｌ）製犠牲層と銅（Ｃｕ）製導電層、ならびに未公開の欧州特許出願EP02076426.2(PHNL020327)及びEP02079544.9(PHNL021100)に記載されたＣｕ－Ａｌ－Ｃｕの３層または多層コンセプトにより、とりわけ有利な結果が得られる。

【００２０】

さらに、第１の側面上ではバンプを使用し、そして第２の側面上では導電性接着剤を使用し、素子を設けると有利である。この場合は、基板と素子との間にアクリレート層等の融解層を設けることにより、極めて良好な素子カプセル封じを達成できるが、そのこと自体は、未公開の欧州特許出願EP02077228.1(PHNL020471)等から知られている。

【００２１】

更なる改良では、不活性化材料が第２のパターン化層をも封じ込め、そして基板は、第１の側面の反対を向いた第２の側面に対外接触のための接触面を備える。本発明によるデバイスの重要な利点は、対外接触のための全接触面が単一の側面上に位置することにある。その結果、ボールグリッド配列、ランドグリッド配列、その他でバンプを使用する場合には、基板の中、または第２の導電層の中または上に、外部に接触するための接触面が存在し得る。接触面を基板内で画定することにより、第２の導電層は全面的に封じ込めることができる。こうして、外側に突出する伝導部品を一側面のみに有するデバイスが得られ、追加の層を設ける必要はない。さらに、基板内に接触面を配置することにより、第２の導電層におけるパターン数が最小限に抑えられる。その結果、絶縁材料施設の簡便性が増す。

【００２２】

本発明の第２の目的は、本発明による方法を用いて製造でき、第２の側面上の接続領域を接触面に接続するための内部導体を備える、冒頭の段落で述べたタイプの電子デバイスを提供することである。

【００２３】

この目的は、

第２の導電層をパターン化し、相互に接続された、半導体素子の第２の接続領域のための第１の接続導体と接続素子のための第２の接続導体とを第２の導電層に設けることと、

カプセル封じが素子のみならず、第２の導電層をも実質的に封じ込めることとにより、達成する。

【００２４】

第２の導電層の前記カプセル封じの結果、望ましいデバイスが得られる。

【００２５】

半導体素子については、あらゆる類の素子を使用できる。基本的には、少なくとも３つの部類に素子を区別できる。第１の素子部類は、いずれか一方の側面に接続領域を有する垂直半導体素子を含む。多くの中で、ダイオードやバイポーラトランジスタ等が、この部類の素子に当る。伝導体またはボールの接続素子、ならびに半導体素子と受動素子を用いることにより、導体は接触面にフィードバックされる。

【００２６】

第２の半導体素子部類は、第２の層との接続が放熱及び接地の少なくとも一方に役立てられる半導体素子を含む。特に、増幅器やＩＣ等がその例である。本方法は、ＩＣのためのＨＶＱＦＮパッケージ製造に取分け適する。この場合は、半導体素子の後ろ側、すなわち半導体の側を、第１の層でヒートシンクとして画定された導体に向けて配置する。この場合の接続素子はボディであり、好ましくは金属またはソルダーバンプである。その後、半導体素子上の接続領域を第２の層の導体に接続する。それらは、接続素子を介し、デバイスの第１の側面上の接触面にフィードバックされる。このことを可能とするのは、まさしくこのフォイルの使用である。要するに、フォイルには第２の層を薄く、すなわち０．１から１０μｍ台の薄さで実施できる、という有利な効果がある。その効果によって、数

十の接続領域を有する集積回路の要求水準にまで、パターンの分解能を増すことができる。

【００２７】

比較可能なデバイスは、それ自体、米国特許6,300,161号において知られている。ただし同書では、第２の層が、インターポーザーとも呼ばれる単独のキャリア層の上にある。このキャリア層は、不活性化材料によって封じ込まれない。この公知のデバイスに比較した場合の本発明によるデバイスの利点は、第１に、特に厚みの点でコンパクトであること、そして第２に、組み立てが容易であることである。従来のＨＶＱＦＮ組み立て技法に比べた場合の更なる利点として、分離工程でＨＶＱＦＮリードフレームを切断する必要がない。基板の一部として犠牲層を使用する場合には、更なる利点を達成できる。つまり、終末間近の製造段階で、例えば試験の後に、個々のデバイスが明確に分離される。前記の分離は、カプセル封じが既に分離された後に、例えば適宜な槽でのエッチングによって犠牲層を取り除くことにより達成してもよい。

【００２８】

第３の半導体素子部類は、第１の層にのみ接続する半導体素子を含む。加えて、追加の機能を提供する素子が、第２の層及び接続素子の少なくとも一方として存在する。特に、ここで用いる半導体素子は集積回路である。追加の機能を提供する素子は、例えば保護ダイオード、減結合コンデンサ、そして第２の層内で画定されるコイル、レジスタ、またはセンサである。

【００２９】

かかる接続素子は、好ましくはシリコン体か銅体である。あるいは、特に、半導体素子の厚みが小さければ、金属またはソルダーボールでもよい。接続素子そのものが半導体素子でもよく、あるいは受動構成部品でもよい。

【００３０】

本発明による方法を用いることでデバイスを好適な方法で得ることができ、さらに基板、第２の導電層のパターン、その他について述べたような１つまたは複数の特色を有利に備えることもできる。

【００３１】

第３の目的は、本発明で使用するフォイルを提供することである。この目的は、パターン化された電気絶縁キャリア層とパターン化された導電層とを備えるフォイルによって達成する。その導電層では、接続導体、相互接続、その他を所望のパターンに従って設ける。キャリア層は、例えばガーゼやソルダーレジストである。特にキャリア層は、デバイス内に内蔵できる２００℃から３００℃範囲の熱処理に耐える材料で作る。キャリア層のパターンは、不活性化材料を流し込むための穴を備える。特に射出成形工程を用いる場合には、好ましくは穴を、フォイルと鋳型との間の距離に等しいかそれを上回るものとする。この場合の通例の寸法は、約３００μｍである。フォイルには、分離可能層を設けてもよい。

【発明を実施するための最良の形態】

【００３２】

上記をはじめとする本発明の態様は、以下に述べる実施形態から明らかであり、以下に述べる実施形態を参照しつつ説明する。

【００３３】

図面は実寸で描かれてはおらず、明確さを期すため、一部の寸法は誇張して描かれている。同様の領域及び部分は、可能な限り同じ参照番号で示す。

【００３４】

図１Ａから図１Ｆは、本発明による方法を用いた電子デバイスのいくつかの製造段階の概略的断面図である。

【００３５】

図１Ａは、犠牲層１１と導電性材料からなる第１の層１とを備える基板１０を示す。ここで使用する導電性材料は銅であり、好ましくは１μｍから１０μｍの厚みを有し、一方

でこの場合の犠牲層１１はＡｌかＡｌ合金から成る。第１の層１には、例えば錫（Ｓｎ）製の、半田のための接着層を設ける。第１の層１では接続導体１２,１３,１４を画定する。図示しないの他の導体も、必要に応じて存在する。第１の層１は、数ある中からエッチングを用いて、例えばフォトマスクを施すことにより、そしてエッチング液としてフェリクロライドを使用することによりパターン化できる。第１の層１のパターン化の後、この例ではエッチング段階を遂行したが、これは必須ではない。このエッチング段階では、第１の層１の導体１２,１３,１４が部分的にアンダーエッチされるよう犠牲層をエッチングする。好適なエッチング液は、水酸化ナトリウムである。

【００３６】

図１Ｂは、基板１０の第１の側面１０１に連続する電気絶縁層７を設けた後の基板１０を示す。ここでの前記絶縁層７は、アクリレートフォイルを成す厚さ２５μｍの合成樹脂である。前記アクリレートフォイルは、これを低い圧力及び適度の熱に曝すことで、スズ層が設けられた第１のパターン化層１に取り付ける。

【００３７】

図１Ｃは、基板１０の第１の側面１０１で半導体素子２０と第１の接続素子３０とを設けた後の暫定的な、まだ分離されていないデバイス９０を示す。ここでの半導体素子２０はバイポーラトランジスタであり、他方、第１の接続素子３０は銅体である。素子２０,３０には金属ボール２２を設け、この場合のそれは金（Ａｕ）からなる。前記の金属ボール２２は半導体素子上の接続領域２１の上に位置し、接続領域２１は、慣例的には半導体素子の中で画定される。素子を設ける最中か、その後の、例えば１００℃程度までの熱処理により、アクリレート製絶縁層は軟化し、さらに金属ボール２２は基板１０の表面まで沈み、その後、さらに例えば２６５℃まで加熱することにより金属接続が確立する。当業者によって理解されるように、この温度は使用する半田材料次第で決まる。必要に応じて、図示しない圧力手段を使用できる。基板１０の下側に位置する加熱手段もまた、図示していない。

【００３８】

図１Ｄは、素子２０,３０にフォイル４０が施された後のデバイス９０を示す。前記のフォイル４０は、好ましくは３０から６０μｍの厚みを有する第２のパターン化層２を備え、さらにこの例では、ドライフィルムソルダーレジスト製のパターン化絶縁層４１を備える。フォイルは、導電性の接着剤からなる、例えば当業者にとって周知のＡｇ含有エポキシからなる接着層４２,４３によって、素子２０,３０に取り付けられる。

【００３９】

図１Ｅは、カプセル封じ５０を形成するため、絶縁材料を設けた後のデバイス９０を示す。この場合の絶縁材料は、射出成形により、フォイル４０の絶縁層４１を通じて鋳型（図示せず）の中で設ける。絶縁材料には、例えば熱処理によって硬化するエポキシを使用する。カプセル封じ５０は、アクリレート層７を備え、素子２０,３０のみならず、第２のパターン化層２及び絶縁層４１をも封じ込める。

【００４０】

図１Ｆは、連続的に犠牲層１１が取り除かれ、図示しない隣接デバイスからデバイスが分離された後のデバイス１００を示す。ここでは接続導体と同一であり、第１の層１の一部分を形成する接触面１２,１３,１４が、デバイス１００の第１の側面９１の表面に現れ、他方、デバイスの第２の側面９２の上の第２の層２はカプセル封じ５０に封じ込められる。

【００４１】

図２は、デバイス１００の第２の実施形態の断面図である。この実施形態では、分離可能キャリア層を備えるフォイルを使用する。その結果、デバイス１００におけるフォイル４０は、第２のパターン化層２及び接着層４２,４３のみから成る。図１に示すデバイスと比較した場合の更なる違いは、基板１０に関係する。この例の基板は５層スタックを構成するが、その最上位の接着層は図示していない。残りの層は、第１のパターン化層１と、この場合はＡｌ合金製の中間層８１と、Ｃｕ製のアンダー層８２と、半田８３のための

例えばＴｉ製の接着層である。無論、別の材料を選ぶこともできる。中間層８１におけるパターンは、第１の層１におけるそれよりも小さい直径を有するため、第１の層１は、カプセル封じ５０の中、すなわち、この場合はアクリレート層７によって形成された部分の中で、機械的に固定される。この基板１０は、中間層８１が部分的に取り除かれた後に設ける。カプセル封じ５０を設けた後には、半田８３の接着層をエッチングマスクとして使用し、アンダー層８２を部分的に取り除く。

【００４２】

図３は、本発明によるデバイス１００の第３の実施形態の断面図である。この例では、ＨＶＱＦＮリードフレーム（高電圧クワド・フラット・ノンレッディィッド）の形で導体１６,１８,１９を形成すべく第１の層１をパターン化する。その上には、この場合は集積回路である半導体素子２０とは別に、第１及び第２の接続素子３０,３１がある。これらの素子は、導電性接着層４４,４５,４６を用いて第１の層１の上に置かれる。この目的のため、製造中は、後の段階で取り除かれる犠牲層（図示せず）で第１の層１を支えてもよいが、ただしそのような犠牲層は必須ではない。第１の層１は、この例ではＣｕから成る。第１の層１の上には、予め金属ボール２２が設けてある素子２０,３０,３１を置く。金属ボールの上には、パターン化された絶縁層４１と第２の層２とを備えるフォイルがあり、前記第２の層は金属ボール２２に面し、金属接続が形成される。この目的のため、好ましくは第２の層２に適宜な接着層を設ける。第２の層では、接続導体１２,１３,１４,１５を画定し、導体１２,１５は、半導体素子２０における関係接触子と接続素子３０,３１との間の導電接続を提供する。また、導体１３,１４は、図示しない更なる接続素子に至る相互接続を形成する。実際には、特に複雑な集積回路の場合は、図示するより多くの接触子があっても良い。この数の導体を第２の層２で収容するには、好ましくは前記層２を、５μｍの厚みと５μｍ未満の分解能を有する薄い層となるように実施する。素子２０,３０,３１はカプセル封じ５０によって封じ込められ、接触面１６,１７,１８は、この場合は第１の層１の一部分を形成し、デバイス１００の第１の側面９１の上に位置する。第２の側面９２上では、カプセル封じが絶縁層４１上にまで至る。ただし、これは必須ではない。

【００４３】

図４は、デバイス１００の第４の実施形態の断面図である。これは、半導体素子２０を備え、ここでのそれは集積回路であり、金属ボール２２によって第１の層１に接続する。加えて、デバイス１００は第１及び第２の接続素子３０,３１を備え、かかる接続素子の第１の接続素子はダイオードであり、第２の接続素子は導電体である。ここでの第２の層２は、第１及び第２の接続素子３０,３１を相互に接続する相互接続層である。第１の層１の接続導体はさらに、中間層８１を介し、アンダー層８２の接触面１６,１７,１８と接続する。基板１０はさらに、絶縁材料８５を備える。

【００４４】

図５Ａから図５Ｃは、フォイル４０の３つの実施形態の平面図である。フォイルはキャリア層４１を備え、かかるキャリア層は、少なくとも図５Ａ及び５Ｃに示す実施形態においては電気絶縁材料からなる。フォイル４０はさらに、所望のパターンが画定された第２のパターン化層２を備える。ここで示す実施形態で、前記の層（？）は２つの導体を成し、かかる２つの導体により、図１及び２に示す素子２０,３０を相互に接続できる。図５Ａは、例えばナイロン製のガーゼをキャリア層４１として使用する実施形態を示す。図５Ｂは、キャリア層として分離可能層を適用する実施形態を示す。この目的のため、ポリマー層を適宜に使用してよく、その上に、望ましく接着する接着層を施す。図５Ｃは、キャリア層４１としてパターン化層を使用する実施形態を示す。このキャリア層には、公知の、好ましくは廉価なパターン化技法を用いて穴４９を設ける。図５Ｃに示すフォイルは、ソルダーレジストをエッチングマスクとして兼用し、さらにアンダーエッチングにより前記エッチングマスクの下で特定のパターンを取り除くことにより、有利に製造できる。ただし、その結果導電層は、数十ミクロンの厚み、例えば３０から６０マイクロメートルの厚みを有することが必要とされる。無論、ほかの技法と単独のエッチングマスクを使用す

る場合には、より小さい厚みと、延いてはより高い分解能を有する導電層、例えば５から１０ミクロンのトラック幅とトラック間ピッチとを有する導電層の製造が可能である。

【図面の簡単な説明】

【００４５】

【図１Ａ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図１Ｂ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図１Ｃ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図１Ｄ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図１Ｅ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図１Ｆ】本方法のいくつかの段階におけるデバイスの概略的断面図。
【図２】デバイスの第２の実施形態の断面図。
【図３】デバイスの第３の実施形態の断面図。
【図４】デバイスの第４の実施形態の断面図。
【図５Ａ】本方法で使用するフォイルの３つの実施形態の平面図。
【図５Ｂ】本方法で使用するフォイルの３つの実施形態の平面図。
【図５Ｃ】本方法で使用するフォイルの３つの実施形態の平面図。

【符号の説明】

【００４６】

１　第１の層
２　第２の層
１２　接続導体（接触面）
１３　接続導体（接触面）
１４　接続導体（接触面）
３０　接続素子
５０　カプセル封じ
９１　第１の側面
９２　第２の側面
１００　デバイス

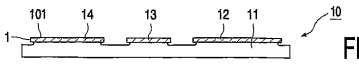


FIG. 1A

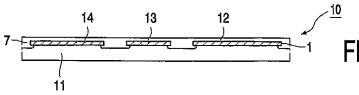


FIG. 1B

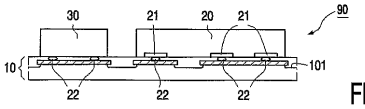


FIG. 1C

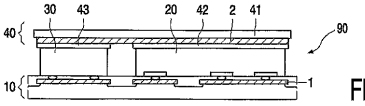


FIG. 1D

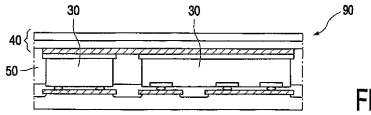


FIG. 1E

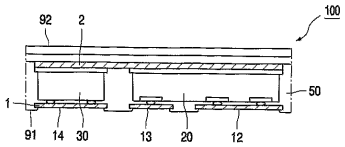


FIG. 1F

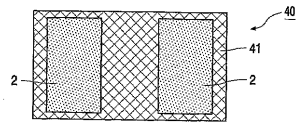


FIG. 5A

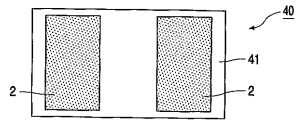


FIG. 5B

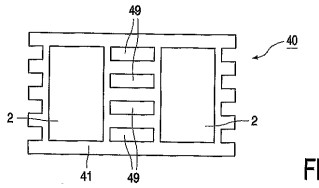


FIG. 5C

【図２】

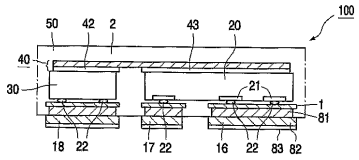


FIG. 2

【図３】

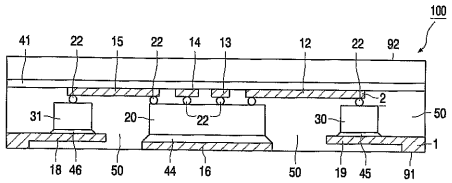


FIG. 3

【図４】

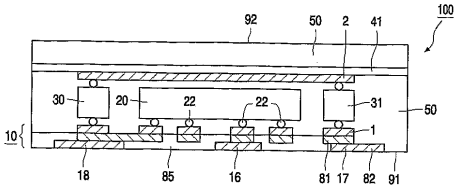


FIG. 4

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No
/IB 03/06028

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/68 H01L21/60 H01L23/538

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/117743 A1 (ASAHI TOSHIYUKI ET AL) 29 August 2002 (2002-08-29)	8,9
A	the whole document	1-3,5-7
X	DE 21 04 262 A (INT STANDARD ELECTRIC CORP) 26 August 1971 (1971-08-26) the whole document	11,12
X	US 5 350 947 A (TAKEKAWA KOUICHI ET AL) 27 September 1994 (1994-09-27) column 4, lines 13-41; figure 1A	11
A	US 6 324 072 B1 (STERN PETER ET AL) 27 November 2001 (2001-11-27) the whole document	1,8
	-/--	

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 August 2004	06/09/2004

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Le Gallo, T

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International Application No
.../IB 03/06028

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/074146 A1 (OKUBORA AKIHIKO) 20 June 2002 (2002-06-20) the whole document	1,8
A	US 2001/048156 A1 (FUKUIZUMI AKIRA) 6 December 2001 (2001-12-06) the whole document	1,8
A	EP 0 615 289 A (SUMITOMO ELECTRIC INDUSTRIES) 14 September 1994 (1994-09-14) the whole document	1,8

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
/IB 03/06028

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002117743 A1	29-08-2002	CN 1366444 A	28-08-2002
		JP 3547423 B2	28-07-2004
		JP 2002261449 A	13-09-2002
		TW 511405 B	21-11-2002
DE 2104262 A	26-08-1971	DE 2104262 A1	26-08-1971
US 5350947 A	27-09-1994	JP 5259223 A	08-10-1993
		JP 2949969 B2	20-09-1999
		JP 5235091 A	10-09-1993
US 6324072 B1	27-11-2001	WO 9815005 A1	09-04-1998
		EP 0931346 A1	28-07-1999
		JP 2001501376 T	30-01-2001
		KR 2000048725 A	25-07-2000
		US 2002023341 A1	28-02-2002
US 2002074146 A1	20-06-2002	JP 2000114413 A	21-04-2000
US 2001048156 A1	06-12-2001	JP 3467454 B2	17-11-2003
		JP 2001352009 A	21-12-2001
		TW 501255 B	01-09-2002
EP 0615289 A	14-09-1994	JP 6268020 A	22-09-1994
		CA 2118785 A1	11-09-1994
		EP 0615289 A2	14-09-1994
		US 5723904 A	03-03-1998

Form PCT/ISA/210 (patent family annex) (January 2004)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100088889
弁理士 橘谷 英俊
(74)代理人 100082991
弁理士 佐藤 泰和
(74)代理人 100096921
弁理士 吉元 弘
(74)代理人 100103263
弁理士 川崎 康
(72)発明者 ヨハヌス、ウェー．ベーカンプ
オランダ国５６５６、アーアー、アインドーフェン、ケアオブ、プロフ．ホルストラーン、６
(72)発明者 マルク、アー．ド、サンベ
オランダ国５６５６、アーアー、アインドーフェン、ケアオブ、プロフ．ホルストラーン、６
(72)発明者 エリク、セー．エー．ファン、フルンスフェン
オランダ国５６５６、アーアー、アインドーフェン、ケアオブ、プロフ．ホルストラーン、６