



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0062431
(43) 공개일자 2009년06월17일

(51) Int. Cl.

H03K 5/04 (2006.01) H03L 7/08 (2006.01)

(21) 출원번호 10-2007-0129672

(22) 출원일자 2007년12월13일

심사청구일자 2007년12월13일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

윤광섭

인천 남구 용현3동 인하대학교 전자공학과 하이테크관 810호

조성일

인천 남구 용현3동 인하대학교 하이테크센터 810호

(74) 대리인

이은철, 유완식

전체 청구항 수 : 총 5 항

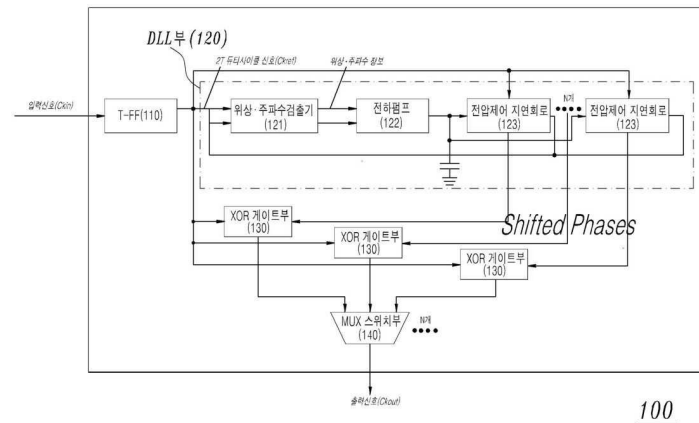
(54) 듀티 사이클 보정 회로

(57) 요약

본 발명은 듀티 사이클 보정 회로에 관한 것으로서, 무선 센서 네트워크에서 낮은 듀티 사이클을 이용할 수 있을 뿐만 아니라, 다양한 듀티 사이클을 만들어 무선 센서 네트워크에서 필요한 듀티 사이클을 선택적으로 사용할 수 있도록 하는 듀티 사이클 보정 회로를 제공함에 그 특징적인 목적이 있다.

이러한 목적을 달성하기 위한 본 발명은, 입력신호의 듀티 사이클에 대하여 2T 주기를 갖는 듀티 사이클 신호(Ckref)를 출력하는 T-FF부; 입력신호와 출력신호의 동기를 맞추기 위한 DLL부; 상기 T-FF부로부터 출력된 2T 주기를 갖는 듀티 사이클 신호와 전압제어 지연회로로부터 출력된 2T 주기를 갖는 시프트(shifted)된 신호를 입력받아, 상기 T-FF부로 최초 입력된 듀티 사이클 신호와 무관한 다수개의 듀티 사이클 신호를 생성하는 XOR 게이트부; 및 상기 XOR 게이트부를 통해 생성된 다수개의 듀티 사이클 신호 중, 하나의 신호를 선택하는 MUX 스위치부를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

듀티 사이클 보정 회로에 있어서,

입력신호의 듀티 사이클에 대하여 2T 주기를 갖는 듀티 사이클 신호(Ckref)를 출력하는 T-FF부(110);

입력신호와 출력신호의 동기를 맞추기 위한 DLL부(120);

상기 T-FF부(110)로부터 출력된 2T 주기를 갖는 듀티 사이클 신호와 전압제어 지연회로(123)로부터 출력된 2T 주기를 갖는 시프트(shifted)된 신호를 입력받아, 상기 T-FF부(110)로 최초 입력된 듀티 사이클 신호와 무관한 다수개의 듀티 사이클 신호를 생성하는 XOR 게이트부(130); 및

상기 XOR 게이트부(130)를 통해 생성된 다수개의 듀티 사이클 신호 중, 하나의 신호를 선택하는 MUX 스위치부(140); 를 포함하는 것을 특징으로 하는 듀티 사이클 보정 회로.

청구항 2

제 1 항에 있어서,

상기 DLL부(120)는,

상기 T-FF부(110)를 통해 출력된 2T 주기를 갖는 듀티 사이클 신호와, 전압제어 지연회로(123)의 출력신호를 입력받아, 그에 따른 위상·주파수 정보를 생성하는 위상·주파수 검출기(121);

상기 위상·주파수 검출기(121)로부터 출력된 위상·주파수 정보를 입력받고, 전압제어 지연회로(123)의 총 지연시간이 한 사이클을 보장하도록 위상·주파수 정보를 전압제어 지연회로(123)의 바이어스 단으로 인가하는 전하펌프(122);

상기 T-FF부(110)로부터 2T의 주기를 갖는 듀티 사이클 신호를 입력받고, 상기 전하펌프(122)로부터 2T의 주기를 가진 듀티 사이클 신호 및 위상·주파수 정보를 입력받아 2T의 주기를 가진 듀티 사이클 신호와 다수개의 듀티 사이클 신호를 생성하여 XOR 게이트부(130)로 인가하는 전압제어 지연회로(123); 를 포함하는 것을 특징으로 하는 듀티 사이클 보정 회로.

청구항 3

제 2 항에 있어서,

상기 위상·주파수 정보는, 상기 DLL부(120)를 잠금 상태로 하기 위한 위상·주파수 정보인 것을 특징으로 하는 듀티 사이클 보정 회로.

청구항 4

제 1 항에 있어서,

상기 MUX 스위치부(140)는,

트랜스미션 게이트(Transmission Gate)로 구현되어, 듀티 사이클이 서로 다른 신호 중 원하는 하나의 신호를 선택하는 것을 특징으로 하는 듀티 사이클 보정 회로.

청구항 5

제 1 항에 있어서,

상기 MUX 스위치부(140)가 N개일 경우,

2^N 개의 듀티 사이클 신호가 생성되는 것을 특징으로 하는 듀티 사이클 보정 회로.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 듀티 사이클 보정 회로에 관한 것으로서, 더욱 상세하게는 무선 센서 네트워크에서 낮은 듀티 사이클을 이용할 수 있을 뿐만 아니라, 다양한 듀티 사이클을 만들어 무선 센서 네트워크에서 필요한 듀티 사이클을 선택적으로 사용할 수 있도록 하는 듀티 사이클 보정 회로에 관한 것이다.

배경 기술

- <2> 현재, 무선 센서 네트워크(Wireless Sensor Network)에 대한 연구가 활발히 이루어지고 있는 동시에, 효율적으로 에너지를 관리하는 방법에 대한 중요성이 커지고 있다.
- <3> 에너지를 효율적으로 관리하기 위한 방법 중의 하나는, 센서가 동작하지 않는 센서의 휴지상태(sleep mode), On/Active 상태를 고려하여 낮은 듀티 사이클을 이용하는 것이다.
- <4> 그러나, 상술한 방법을 이용한 듀티 보정 회로는 안정적인 클럭을 제공할 수 없었으며, 무선 센서 네트워크에서 필요한 듀티 사이클을 선택적으로 사용할 수 없는 한계가 있었다.

발명의 내용

해결 하고자하는 과제

- <5> 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로서, 무선 센서 네트워크에서 낮은 듀티 사이클을 이용할 수 있을 뿐만 아니라, 다양한 듀티 사이클을 만들어 무선 센서 네트워크에서 필요한 듀티 사이클을 선택적으로 사용할 수 있도록 하는 듀티 사이클 보정 회로를 제공함에 그 특징적인 목적이 있다.

과제 해결수단

- <6> 이러한 기술적 과제를 달성하기 위하여, 본 발명은 듀티 사이클 보정 회로에 관한 것으로서, 입력신호의 듀티 사이클에 대하여 2T 주기를 갖는 듀티 사이클 신호(Ckref)를 출력하는 T-FF부; 입력신호와 출력신호의 동기를 맞추기 위한 DLL부; 상기 T-FF부로부터 출력된 2T 주기를 갖는 듀티 사이클 신호와 전압제어 지연회로로부터 출력된 2T 주기를 갖는 시프트(shifted)된 신호를 입력받아, 상기 T-FF부로 최초 입력된 듀티 사이클 신호와 무관한 다수개의 듀티 사이클 신호를 생성하는 XOR 게이트부; 및 상기 XOR 게이트부를 통해 생성된 다수개의 듀티 사이클 신호 중, 하나의 신호를 선택하는 MUX 스위치부; 를 포함한다.

효과

- <7> 상기와 같은 본 발명에 따르면, MUX 스위치를 이용하여 원하는 듀티 사이클을 선택적으로 사용할 수 있는 효과가 있다.
- <8> 그리고 본 발명에 따르면, 안정적인 DLL(Delay Locked Loop) 구조를 기반으로 발진 가능성이 없으며, T-FF(Toggle Flip-Flop)를 사용하여 보정 범위를 크게 할 수 있는 효과도 있다.

발명의 실시를 위한 구체적인 내용

- <9> 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.
- <10> 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.
- <11> 본 발명에 따른 듀티 사이클 보정 회로(100)에 관하여 도 1 내지 도 3b 를 참조하여 설명하면 다음과 같다.
- <12> 도 1 은 본 발명에 따른 듀티 사이클 보정 회로(100)에 관한 전체 회로도로서, 도시된 바와 같이 전체적으로 T-FF부(Toggle Flip-Flop:토글 플립플롭)(110), DLL부(Delay Locked Loop: 지연고정루프)(120), XOR 게이트부(130) 및 MUX(Multiplexer) 스위치부(140)를 포함한다.
- <13> 구체적으로, T-FF부(110)는 입력신호(Ckin)의 듀티 사이클에 대하여 2T 주기를 갖는 듀티 사이클 신호(Ckref)를 출력한다. 이때, 2T 주기를 갖는 듀티 사이클 신호는 최초 입력신호(Ckin)에 대해 50%의 듀티 사이클을 갖는 신호로서, 이는 듀티 사이클 신호의 보정범위를 최대화하도록 한다.

- <14> 또한, DLL부(120)는 입력신호(Ckin)와 출력신호(Ckout)의 동기를 맞추는 기능을 수행하는 바, 위상·주파수 검출기(Phase&Frequency Detector)(121), 전하펌프(Charge Pump)(122) 및 전압제어 지연회로(Voltage Controlled Delay Line)(123)로 이루어져 있다.
- <15> 상술한 DLL부(120)의 세부 기능을 살펴보면, 위상·주파수 검출기(121)는 T-FF부(110)를 통해 출력된 2T 주기를 갖는 듀티 사이클 신호와, 전압제어 지연회로(124)의 출력신호를 입력받아, 그에 따른 위상·주파수 정보를 생성한다. 여기서, 위상·주파수 정보는, DLL부(120)를 잠금 상태로 하기 위한 위상·주파수 정보이다.
- <16> 전하펌프(122)는 위상·주파수 검출기(121)로부터 출력된 위상·주파수 정보를 입력받고, 전압제어 지연회로(123)의 총 지연시간이 한 사이클을 보장하도록 위상·주파수 정보를 전압제어 지연회로(123)의 바이어스 단으로 인가한다.
- <17> 전압제어 지연회로(123)는 T-FF부(110)로부터 2T의 주기를 갖는 듀티 사이클 신호를 입력받고, 전하펌프(122)로부터 2T의 주기를 가진 듀티 사이클 신호 및 위상·주파수 정보를 입력받아, 2T의 주기를 가진 듀티 사이클 신호와 다수개의 듀티 사이클 신호를 생성하여 XOR 게이트부(130)로 인가한다.
- <18> 또한, XOR 게이트부(130)는 T-FF부(110)로부터 출력된 2T 주기를 갖는 듀티 사이클 신호와 전압제어 지연회로(123)로부터 출력된 2T 주기를 갖는 시프트(shifted)된 신호를 입력받아, T-FF부(110)로 최초 입력된 듀티 사이클 신호와 무관한 다수개의 듀티 사이클 신호를 생성한다. 이때, 전압제어 지연회로(123)가 N개, 바람직하게 60개인 경우 첫 번째 전압제어 지연회로(123)로부터 나온 신호는 듀티 사이클 신호(Ckref)에 대해서 6개의 위상차를 갖고 듀티 사이클이 3%인 신호를 얻을 수 있다.
- <19> 그리고, MUX 스위치부(140)는 XOR 게이트부(130)를 통해 생성된 다수개의 듀티 사이클 신호 중, 하나의 신호를 선택한다.
- <20> 이러한 MUX 스위치부(140)는 온 저항을 줄이기 위하여 트랜스미션 게이트(Transmission Gate)로 구현되며, MUX 스위치부(140)가 N개 일 경우, 2^N 개의 듀티 사이클 신호가 생성된다.
- <21> 상기와 같이 구성된 듀티 사이클 보정 회로(100)의 동작 및 기능을 도 2 내지 도 3b 를 참조하여 더욱 상세히 살펴보도록 한다.
- <22> 도 2 에 도시된 바와 같이, 듀티 사이클 신호(Ckref)는 입력신호(Ckin)에 대해 50%의 듀티 사이클을 가진 주기가 2T인 신호이다.
- <23> 위상·주파수 검출기(121)는 듀티 사이클 신호(Ckref)와 전압제어 지연회로(123)의 출력 신호를 입력으로 받으며, DLL부(120)가 잠금 상태일 때 전압제어 지연회로(123)의 총 지연 시간이 한 사이클을 보장한다.
- <24> 이때, 전압제어 지연회로(123)에서는 듀티 사이클 신호(Ckref) 대비 원하는 위상차를 가지는 신호를 만들 수 있으며, 전압제어 지연회로(123)의 수가 많아질수록 더욱 세분화된 위상차의 신호를 얻을 수 있다.
- <25> 듀티 사이클 신호(Ckref)와 전압제어 지연회로(123)를 통해 출력되는 신호를 다수개의 XOR 게이트부(130)에 인가함으로써, 입력신호(Ckin)의 듀티 사이클에 무관한 듀티 사이클을 갖는 다수개의 신호를 얻을 수 있다.
- <26> 앞서 서술한 바와 같이, 전압제어 지연회로(123)가 60개인 경우 첫 번째 전압제어 지연회로(123)로부터 나온 신호는 듀티 사이클 신호(Ckref)에 대해서 6개의 위상차를 갖고 듀티 사이클이 3%인 신호를 얻을 수 있으며, 듀티 사이클이 다른 신호는 MUX 스위치부(140)를 통해서 원하는 듀티 사이클을 갖는 하나의 신호를 선택할 수 있다.
- <27> 즉, 다음의 [수식 1] 을 통해 전압제어 신호로부터 30°, 60°, 90°, 120° 의 위상차를 갖는 신호가 XOR 게이트부(130)를 거쳐 [수식 2] 를 통해 16.7%, 33.4%, 50%, 66.8%의 듀티 사이클을 가진 신호가 출력되며, 이에 따른 시뮬레이션 결과는 도 3a 와 같다.
- <28> [수식 1]
- <29> 위상차(Shifted Phase)= $\frac{360^\circ}{\text{전압제어 지연회로의 개수}}$

<30> [수식 2]

$$\text{듀티 사이클(Duty Cycle)} = \frac{\text{펄스 폭(Pulse Width)}}{\text{주기(Time Period)}}$$

<31>

<32> MUX 스위치부(140)를 연결하여 선택 신호에 따른 출력신호(Ckout)의 결과 파형을 도 3b에 나타내었다.

<33> 정리하면, 전압제어 지연회로(123)의 개수를 조절하여 듀티 사이클 신호(Ckref)와 위상차가 다른 신호들을 만들고 XOR 게이트부(130)를 거쳐서 다수의 듀티 사이클을 갖는 신호를 얻을 수 있다. 다시, 이 신호는 N개의 MUX 스위치부(140)에 의해서 2^N 개의 듀티 사이클을 중 원하는 듀티 사이클 신호를 선택할 수 있다.

<34> 이상으로 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 이와 같이 도시되고 설명된 그대로의 구성 및 작용에만 국한되는 것이 아니며, 기술적 사상의 범주를 일탈함이 없이 본 발명에 대해 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

<35> 도 1은 본 발명에 따른 듀티 사이클 보정 회로에 관한 전체 회로도.

<36> 도 2는 본 발명에 따른 듀티 사이클 보정 회로의 신호 타이밍을 보여주는 일예시도.

<37> 도 3a는 본 발명에 따른 듀티 사이클 신호에 대한 시뮬레이션 결과를 보여주는 일예시도.

<38> 도 3b는 본 발명에 따른 MUX 스위치부의 선택 신호에 따른 출력신호의 파형을 보여주는 일예시도.

<39> ** 도면의 주요 부분에 대한 부호의 설명 **

<40> 100: 듀티 사이클 보정 회로

110: T-FF부

<41> 120: DLL부

130: XOR 게이트부

<42> 140: MUX 스위치부

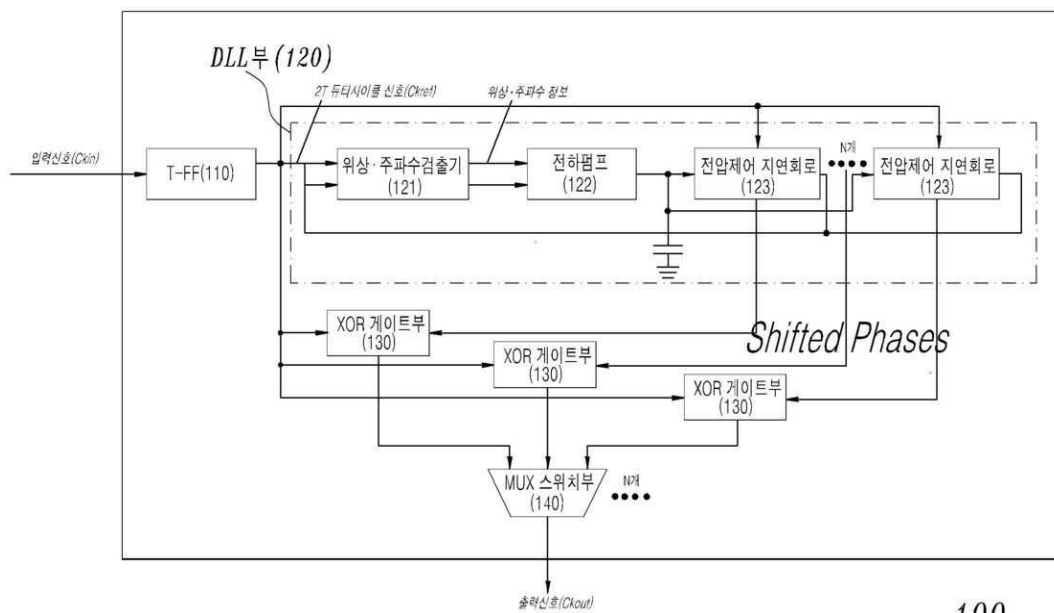
121: 위상·주파수 검출기

<43> 122: 전하펌프

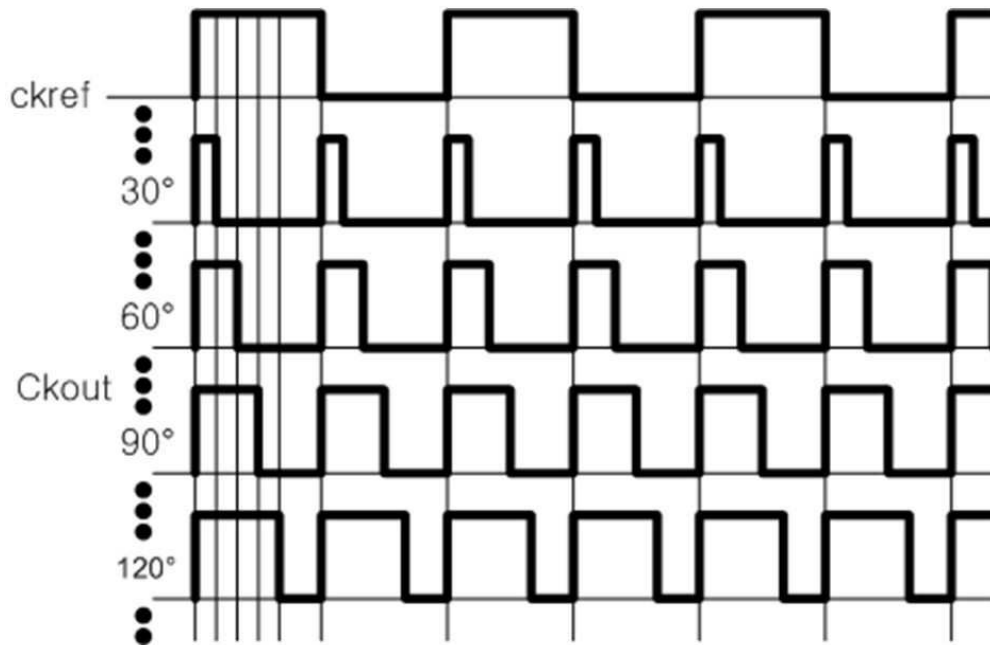
123: 전압제어 지연회로

도면

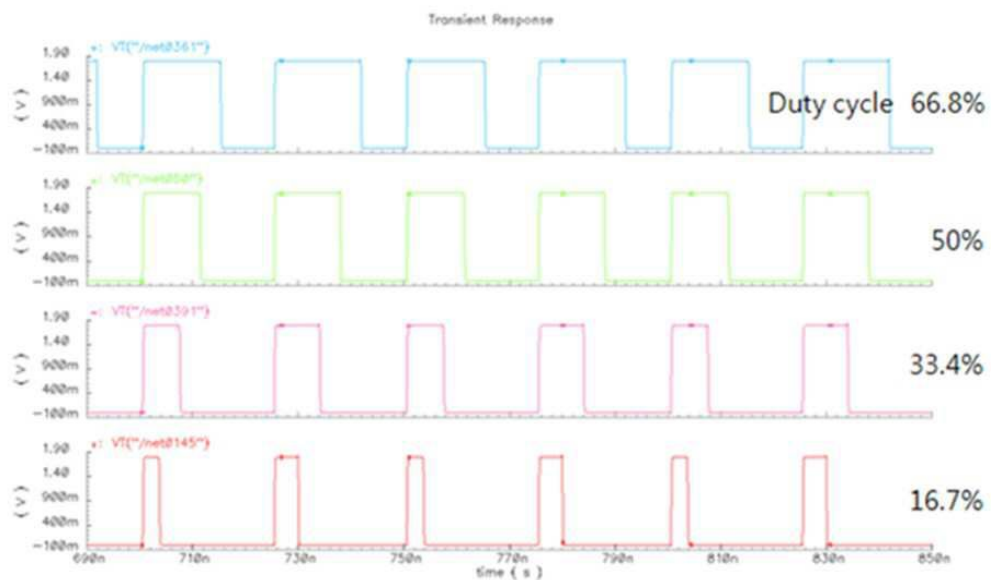
도면1



도면2



도면3a



위상차에 따른 각각의 듀티 사이클 출력파형

도면3b

