

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273732
(P2004-273732A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 3 A	2 H O 9 2
GO 2 F 1/1345	GO 2 F 1/1345	3 K O O 7
GO 2 F 1/1368	GO 2 F 1/1368	5 F 1 1 0
HO 5 B 33/14	HO 5 B 33/14 A	

審査請求 未請求 請求項の数 15 O L (全 15 頁)

(21) 出願番号	特願2003-61985 (P2003-61985)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(22) 出願日	平成15年3月7日(2003.3.7)	(71) 出願人	501122377 川崎 雅司 宮城県仙台市青葉区川内元支倉35番地1-101
		(71) 出願人	501356721 大野 英男 宮城県仙台市泉区桂3-33-10
		(74) 代理人	100101683 弁理士 奥田 誠司
		(72) 発明者	藤田 達也 大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

最終頁に続く

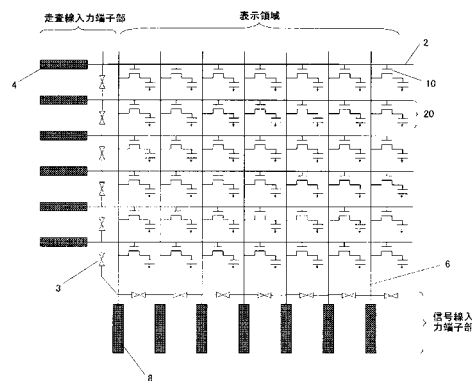
(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

【課題】 アクティブマトリクス基板において、実装工程後も機能し、かつ電荷分散性の高い簡便な構造の短絡部材を備えることにより、低電圧領域においてリーク電流をほとんど生じることなく、静電気からTFTを有効に保護する。

【解決手段】 アクティブマトリクス基板は、基板1と、基板1の上に形成された複数の画素電極と、複数の配線2および6と、それぞれが複数の画素電極の少なくとも一つと複数の配線2および6の少なくとも一つとを電気的に接続する複数のスイッチング素子20と、バリスタの特性を有する短絡部材3とを有する。短絡部材3は、複数の配線2および6のうち互いに隣接する少なくとも2本の配線2および6を接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上に形成された複数の画素電極と、
複数の配線と、
それぞれが、前記複数の画素電極の少なくとも一つと前記複数の配線の少なくとも一つとを電氣的に接続する複数のスイッチング素子と、
バリスタの特性を有する短絡部材であって、前記複数の配線のうち互いに隣接する少なくとも2本の配線を接続する短絡部材と
を有する、アクティブマトリクス基板。

10

【請求項 2】

前記複数の配線は、複数の走査線と、前記複数の走査線と交差する複数の信号線とを含み、
前記複数のスイッチング素子は、それぞれがゲート電極、ドレイン電極およびソース電極を備え、前記ゲート電極が前記複数の走査線の一つと、前記ドレイン電極が前記複数の画素電極の一つと、前記ソース電極が前記複数の信号線の一つとそれぞれ電氣的に接続されており、
前記短絡部材は、前記複数の信号線のうち互いに隣接する少なくとも2本の信号線および/または前記走査の信号線のうち互いに隣接する少なくとも2本の走査線を接続する、請求項 1 に記載のアクティブマトリクス基板。

20

【請求項 3】

前記短絡部材は、ZnOまたはZnOを主成分とする化合物を含む、請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記短絡部材に含まれる前記ZnOまたはZnOを主成分とする化合物の結晶粒径は、30nm以上であって、前記複数の配線のそれぞれの線幅以下である、請求項 3 に記載のアクティブマトリクス基板。

【請求項 5】

前記スイッチング素子は半導体層を有しており、前記半導体層はZnOまたはZnOを主成分とする化合物を含む、請求項 2 から 4 のいずれかに記載のアクティブマトリクス基板。

30

【請求項 6】

前記半導体層および前記短絡部材はいずれもZnOを含んでおり、前記半導体層に含まれるZnOの結晶粒径は、前記短絡部材に含まれるZnOの結晶粒径よりも小さい、請求項 5 に記載のアクティブマトリクス基板。

【請求項 7】

前記短絡部材のバリスタ電圧は、前記アクティブマトリクス基板を表示装置に適用したときに、表示装置の動作時に、前記少なくとも2本の信号線および/または前記少なくとも2本の走査線の間が生じる電位差の最大値よりも高く、100Vよりも低い、請求項 2 から 6 のいずれかに記載のアクティブマトリクス基板。

40

【請求項 8】

前記短絡部材は、前記基板と前記少なくとも2本の信号線との間に設けられている、請求項 2 から 7 のいずれかに記載のアクティブマトリクス基板。

【請求項 9】

請求項 1 から 8 のいずれかに記載のアクティブマトリクス基板を備えた表示装置。

【請求項 10】

基板と、
複数の画素電極と、
複数の配線と、
それぞれが、前記複数の画素電極の少なくとも一つと前記複数の配線の少なくとも一つと

50

を電氣的に接続する複数のスイッチング素子と、
前記複数の配線のうち互いに隣接するすくなくとも2本の配線を接続する短絡部材と
を備えたアクティブマトリクス基板の製造方法であって、前記短絡部材を形成する工程を
包含し、前記短絡部材を形成する工程は、
前記基板の上に膜を堆積する工程と、
前記膜をパターンニングする第1パターンニングを行う工程と
を含み、前記短絡部材はバリスタ特性を有する、製造方法。

【請求項11】

前記複数の配線は、複数の走査線および複数の信号線を含み、
前記短絡部材は前記複数の走査線のうち互いに隣接するすくなくとも2本の走査線および
/または前記複数の信号線のうち互いに隣接するすくなくとも2本の信号線を接続する、請
求項10に記載のアクティブマトリクス基板の製造方法。 10

【請求項12】

前記複数のスイッチング素子のそれぞれは半導体層を有しており、前記膜をパターンニング
する第2パターンニングを行うことによって、前記半導体層を形成する工程を含む、請求項
11に記載の製造方法。

【請求項13】

前記第1パターンニングと前記第2パターンニングとを同時に行う、請求項12に記載の製造
方法。

【請求項14】

前記第1パターンニングによって第1パターンが得られ、前記短絡部材を形成する工程は、
前記第1パターンを第1温度で熱処理する工程を含む、請求項10から13のいずれかに
記載の製造方法。 20

【請求項15】

前記第2パターンニングによって第2パターンが得られ、前記半導体層を形成する工程は、
前記第2パターンを前記第1温度よりも低い第2温度で熱処理する工程を含む、請求項1
4に記載のアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス基板およびその製造方法、ならびにアクティブマトリク
ス基板を備えた液晶表示装置やEL表示装置などの各種表示装置に関する。 30

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置は、画素毎にスイッチング素子を備えているため
、高繊細で高品位の表示が可能である。上記スイッチング素子としては、薄膜トランジス
タ(以下、「TFT」と称することがある)、ダイオード等の非線形素子が用いられる。
なかでも、アモルファスシリコンまたは多結晶シリコンを用いたTFTが広く用いられて
いる。

【0003】

通常、アクティブマトリクス型の液晶表示装置の製造工程には、静電気を生じやすい工程
(例えばラビング工程など)が多く含まれている。しかし、TFTに用いられるアモルフ
アスシリコンや多結晶シリコンは、静電気による損傷を受けやすい。従って、液晶表示装
置の製造工程において、静電気によって、TFTの特性が変化したり、TFT自体が破壊
されたりするので、製品の良品率を低下させるという問題があった。 40

【0004】

そこで、液晶表示装置の製造工程において生じた静電気からTFTを保護するための種々
の手段を備えたアクティブマトリクス基板が提案され、または採用されている。

【0005】

特許文献1は、図7に示すアクティブマトリクス基板を開示している。このアクティブマ 50

トリクス基板では、基板の最も外側に導電性ライン（導電性ショートリング）7が形成されており、この導電性ライン7によって基板に設けられた走査線および信号線は全て電氣的に接続されている。このような構成により、基板に設けられたいずれかのTFTが帯電した場合でも、この導電性ラインを介して電荷を分散させることができるので、TFTを静電気から保護できる。

【0006】

また、特許文献2には、図8に示すように、高抵抗の半導体層（例えばリンドープの n^+ アモルファスシリコン）からなるショートリング9を有するアクティブマトリクス基板が開示されている。

【0007】

さらに、特許文献3は、図9に示すアクティブマトリクス基板を開示している。このアクティブマトリクス基板では、複数の走査線のうち互いに隣り合う走査線の間および複数の信号線のうち互いに隣り合う信号線の間スイッチング素子からなる入力保護回路（2端子素子ショートリング）5がそれぞれ挿入されている。この入力保護回路5により、1つの線（走査線または信号線）に一定以上の静電気が加わると、その線から、入力保護回路5のスイッチング素子を介して、その線の隣に位置する線に過大な電荷を分散させることができる。

【0008】

【特許文献1】

特開昭61-059475号公報

【特許文献2】

特公平5-47813号公報

【特許文献3】

特開平10-20336号公報

【0009】

【発明が解決しようとする課題】

上述したようなアクティブマトリクス基板には、以下のような問題がある。

【0010】

図7のアクティブマトリクス基板は、電荷の分散性は優れているが、駆動用ドライバを実装する前に導電性ショートリングを除去する必要がある。そのため、除去後の実装工程において静電気が生じると、その静電気からTFTを十分に保護することができない。

【0011】

これに対し、図8のアクティブマトリクス基板では、実装工程の前にショートリングを除去する必要はない。しかしながら、特許文献2に例示されたような半導体層（リンドープの n^+ アモルファスシリコンなど）からなるショートリングは、基本的に電圧に対して直線性抵抗となるため、このショートリングに印加される電圧が低くても微小なリーク電流が生じ、その結果、TFTの駆動に悪影響を与える可能性がある。これを防ぐために、ショートリングはある程度高い抵抗を有する必要がある。そのような高抵抗なショートリングの電荷分散性は、図7の導電性ショートリングの電荷分散性よりも低い。また、ショートリングの抵抗値や駆動ドライバの出力インピーダンスの選択に制約が課されるため、アクティブマトリクス基板やそれを用いた表示パネルの設計の自由度を阻害するという問題もある。さらに、半導体層にアモルファスシリコン、コンタクト層に n^+ アモルファスシリコンを用いた場合の製造プロセスでは、ソース・ドレイン電極をマスクとしてTFTのギャップ部をエッチングするような短縮プロセスを採用することができないという問題があった。

【0012】

図9のアクティブマトリクス基板は、図7または図8に示すようなショートリングを有するアクティブマトリクス基板と比べて明らかに複雑な構造を有している。そのため、図7や図8のアクティブマトリクス基板の製造技術よりも高い製造技術が要求される。例えば、所定位置にスイッチング素子を不良なく形成する必要がある。また、ガラス基板上に形

10

20

30

40

50

成される複数のスイッチング素子の特性が、基板内におけるこれらの素子の位置に応じてばらつきやすいという問題もある。このようなばらつきを抑えて、スイッチング素子の特性を均一にするために、例えば基板を大型化できないなどの、より多くの制約が課されている。

【0013】

本発明は、上記事情に鑑みてなされたものであり、その主な目的は、駆動用ドライバの実装工程後も機能し、かつ電荷分散性の高い簡便な構造の短絡部材を備えることにより、低電圧領域においてリーク電流をほとんど生じることなく、静電気からTFTを有効に保護することができるアクティブマトリクス基板を提供することである。

【0014】**【課題を解決するための手段】**

本発明によるアクティブマトリクス基板は、基板と、前記基板の上に形成された複数の画素電極と、複数の配線と、それぞれが、前記複数の画素電極の少なくとも一つと前記複数の配線の少なくとも一つとを電気的に接続する複数のスイッチング素子と、パリスタの特性を有する短絡部材であって、前記複数の配線のうち互いに隣接する少なくとも2本の配線を接続する短絡部材とを有することを特徴とし、そのことにより上記目的が達成される。

【0015】

ある好ましい実施形態において、前記複数の配線は、複数の走査線と、前記複数の走査線と交差する複数の信号線とを含み、前記複数のスイッチング素子は、それぞれがゲート電極、ドレイン電極およびソース電極を備え、前記ゲート電極が前記複数の走査線の一つと、前記ドレイン電極が前記複数の画素電極の一つと、前記ソース電極が前記複数の信号線の一つとそれぞれ電気的に接続されており、前記短絡部材は、前記複数の信号線のうち互いに隣接する少なくとも2本の信号線および/または前記走査の信号線のうち互いに隣接する少なくとも2本の走査線を接続する。

【0016】

ある好ましい実施形態において、前記短絡部材は、ZnOまたはZnOを主成分とする化合物を含む。

【0017】

前記短絡部材に含まれる前記ZnOまたはZnOを主成分とする化合物の結晶粒径は、30nm以上であって、前記複数の配線のそれぞれの線幅以下であることが好ましい。

【0018】

ある好ましい実施形態において、前記スイッチング素子は半導体層を有しており、前記半導体層はZnOまたはZnOを主成分とする化合物を含む。

【0019】

前記半導体層および前記短絡部材はいずれもZnOを含んでおり、前記半導体層に含まれるZnOの結晶粒径は、前記短絡部材に含まれるZnOの結晶粒径よりも小さくてもよい。

【0020】

前記短絡部材のパリスタ電圧は、前記アクティブマトリクス基板を表示装置に適用したときに、表示装置の動作時に、前記少なくとも2本の信号線および/または前記少なくとも2本の走査線の間を生じる電位差の最大値よりも高く、100Vよりも低いことが好ましい。

【0021】

前記短絡部材は、前記基板と前記少なくとも2本の信号線との間に設けられていてもよい。

【0022】

本発明の表示装置は、上記のいずれかのアクティブマトリクス基板を備えたことを特徴とする。

【0023】

10

20

30

40

50

本発明の製造方法は、基板と、複数の画素電極と、複数の配線と、それぞれが、前記複数の画素電極の少なくとも一つと前記複数の配線の少なくとも一つとを電氣的に接続する複数のスイッチング素子と、前記複数の配線のうち互いに隣接するすくなくとも2本の配線を接続する短絡部材とを備えたアクティブマトリクス基板の製造方法であって、前記短絡部材を形成する工程を包含し、前記短絡部材を形成する工程は、前記基板の上に膜を堆積する工程と、前記膜をパターンニングする第1パターンニングを行う工程とを含み、前記短絡部材はバリスタ特性を有することを特徴とし、そのことにより上記目的が達成される。

【0024】

ある好ましい実施形態において、前記複数の配線は、複数の走査線および複数の信号線を含み、前記短絡部材は前記複数の走査線のうち互いに隣接するすくなくとも2本の走査線および/または前記複数の信号線のうち互いに隣接するすくなくとも2本の信号線を接続する。

10

【0025】

ある好ましい実施形態において、前記複数のスイッチング素子のそれぞれは半導体層を有しており、前記膜をパターンニングする第2パターンニングを行うことによって、前記半導体層を形成する工程を含む。

【0026】

前記第1パターンニングと前記第2パターンニングとを同時に行ってもよい。

【0027】

前記第1パターンニングによって第1パターンが得られ、前記短絡部材を形成する工程は、前記第1パターンを第1温度で熱処理する工程を含むことができる。

20

【0028】

前記第2パターンニングによって第2パターンが得られ、前記半導体層を形成する工程は、前記第2パターンを前記第1温度よりも低い第2温度で熱処理する工程を含むことができる。

【0029】**【発明の実施の形態】**

本発明では、アクティブマトリクス基板において、例えば酸化亜鉛(ZnO)または酸化亜鉛(ZnO)を主成分とする化合物を用いて形成される薄膜バリスタを用いることによって、走査線同士または信号線同士を短絡させる短絡部材またはショートリングを構成している。なお、本明細書では、「短絡部材」は、2本以上の線(走査線や信号線)を一定条件下で電氣的に接続する部材を意味し、バリスタ、抵抗、TF Tなどを広く含むものとする。また、図7や図8に示す従来技術のように、短絡部材を介してアクティブマトリクス基板に含まれる全ての線がリング状に接続される場合、そのような短絡部材を特に「ショートリング」と呼ぶことがある。

30

【0030】

従来から、 ZnO は、その結晶粒界に2重ショットキーバリアが形成されることにより、非直線抵抗特性を発現する材料であることが知られている。 ZnO を用いて電圧非直線抵抗素子バリスタを形成する技術や、そのようなバリスタを利用する技術は数多く提案されている(例えば特公昭62-36606号公報や特許第2912081号公報など)。しかし、アクティブマトリクス基板に ZnO の非直線抵抗特性を利用する試みは行われていない。

40

【0031】

本発明者らは、液晶表示装置等のアクティブマトリクス基板において、 ZnO 及び ZnO を主成分とする化合物を用いて形成された薄膜バリスタを用いることにより、上記課題を解決できることを見出し、本発明に到達した。

【0032】

以下、図面を参照しながら、本発明によるアクティブマトリクス基板の実施形態を説明する。

【0033】

50

本実施形態のアクティブマトリクス基板の等価回路図を図1に示す。図1のアクティブマトリクスマトリクス基板は、行および列からなるマトリクス状に配列された複数の画素電極と、それぞれ行方向および列方向に配列された複数の走査線（ゲート配線）2および複数の信号線（ソース配線）6を含む複数の配線とを有している。各走査線2と各信号線6との交点近傍には、例えば薄膜トランジスタなどのスイッチング素子20がそれぞれ形成されている。各スイッチング素子20のゲート電極およびソース電極は、複数の走査線2の一つおよび複数の信号線6の一つとそれぞれ電氣的に接続されている。また、各スイッチング素子20のドレイン電極は、複数の画素電極の一つと電氣的に接続されている。複数のスイッチング素子20を囲むように、バリスタ特性を有する短絡部材3が形成されている。短絡部材3は、例えばZnOまたはZnOを主成分とする化合物から形成された薄膜である。互いに隣接する走査線2および互いに隣接する信号線6は、それぞれ走査線入力端子部4および信号線入力端子部8近傍で、短絡部材3によって接続されている。

10

【0034】

本実施形態では、ZnOを用いて短絡部材3を構成しているが、本発明はこれに限定されない。ZnOの代わりに、バリスタ特性を有する他の材料を用いて短絡部材3を構成してもよい。また、互いに隣り合う2本または3本以上の線（走査線2または信号線6）を接続する複数の短絡部材3を構成してもよいし、全ての線を接続する1本の短絡部材3（すなわちショートリング）を構成してもよい。さらに、短絡部材3は、互いに隣り合う走査線2の間と互いに隣り合う信号線6の間との両方に形成されてもよいし、どちらか一方のみ形成されていてもよい。

20

【0035】

なお、短絡部材3は、複数の走査線2のうち、互いに隣り合う少なくとも2本の走査線2の間または複数の信号線6のうち互いに隣り合う少なくとも2本の信号線6の間に形成されていけばよい。

【0036】

本実施形態では、走査線2または信号線6と短絡部材3とは入力端子部近傍で接続されているが、接続される位置はこれに限られない。例えばZnOまたはZnOを主成分とする化合物を用いて透明な短絡部材3を形成する場合、短絡部材3はアクティブマトリクス基板の表示領域に形成されてもよい。例えば、短絡部材3は画素電極と重なって形成されてもよい。

30

【0037】

本実施形態では、スイッチング素子20として薄膜トランジスタを用いているが、スイッチング素子20はこれに限定されない。代わりに、MOSFET（Metal-Oxide-Semiconductor Field Effect Transistor）などの他の三端子素子や、MIM（Metal-Insulator Metal）素子などの二端子素子を用いることもできる。二端子素子を用いる場合、各二端子素子は複数の配線（典型的には信号線）の一つと複数の画素電極の一つとを接続するので、短絡部材3は、複数の配線（信号線）のうち互いに隣接する少なくとも2本を接続するように形成される。

【0038】

（実施形態1）

次に、図2を参照しながら、本実施形態のアクティブマトリクス基板における短絡部材3と信号線との接続部分の構成を説明する。

40

【0039】

図2(a)および(b)は、本実施形態のアクティブマトリクス基板における信号線入力端子部分の断面図および平面図を示す。図2(a)は図2(b)のA-A'線の断面図である。図2(a)および(b)に示す例では、基板1の上に、ゲート絶縁層11を介して複数の信号線（ソース配線）6が設けられている。複数の信号線6のうち互いに隣接する信号線6は、信号線6の上に形成された短絡部材3を介して接続されている。なお、本実施形態における各短絡部材3は、それぞれ2本の信号線のみを接続しているが、3本以上

50

の信号線を接続していてもよい。

【0040】

続いて、図4を参照しながら、本実施形態のアクティブマトリクス基板の製造方法を説明する。図4(a)~(d)は、各製造工程における、図1に示すようなアクティブマトリクス基板のうち、走査線入力端子が形成される部分、TFTが形成される部分および信号線入力端子が形成される部分(以下、それぞれ「走査線入力端子部」、「TFT部」および「信号線入力端子部」と称する)の模式的な断面図を示す。なお、走査線入力端子は、走査線2に走査線を送るための入力端子であり、信号線入力端子は、信号線6にデータ線を送るための入力端子である。

【0041】

まず、基板1を用意する。基板1は、TFTなどが形成される表面が絶縁性表面であればよく、石英基板、ガラス基板以外に表面が絶縁層で覆われたSi基板や金属基板でもよい。本実施形態では、基板1として、コーニング社製1737ガラスなどの無アルカリガラス基板を用いる。

【0042】

次に、図4(a)に示すように、基板1の上にゲート電極10、走査線(ゲート配線)2、走査線入力端子4および信号線入力端子8を、例えばタンタル(Ta)を用いて以下のような方法で同時に形成する。まず、スパッタ法などにより基板1上にTaを堆積した後、Ta上にゲート電極10、走査線2、走査線入力端子4および信号線入力端子8を規定するパターンを有するフォトリソを形成する。このフォトリソをマスクとしてTaをドライエッチングすることによって、Taをパターンニングする。その後、フォトリソを剥離する。

【0043】

続いて、図4(b)に示すように、ゲート絶縁層11、半導体層12およびコンタクト層13を形成する。ゲート絶縁層11は、例えばプラズマCVD法によりSiN_xを用いて形成する。TFT部では、ゲート絶縁層11の上に、半導体層12およびコンタクト層13をゲート電極10の少なくとも一部を覆うように形成する。半導体層12およびコンタクト層13の形成は、例えばプラズマCVD法により、アモルファスシリコン(a-Si)およびn⁺シリコンをゲート絶縁層11上に順次堆積させた後、パターンニングすることにより行う。この後、走査線入力端子4および信号線入力端子8上のゲート絶縁層11を、例えばドライエッチングによって除去する。

【0044】

この後、図4(c)に示すように、ソース電極およびドレイン電極14、信号線(ソース配線)6、走査線(ゲート配線)2と短絡部材3とを接続する接続線15を、例えばTaを用いて以下に説明するような方法で形成する。まず、スパッタ法によりTaを堆積した後、Ta上にソース電極およびドレイン電極14、信号線6および接続線15のパターンを有するフォトリソを形成する。このフォトリソをマスクとしてTaをドライエッチングすることによって、Taをパターンニングする。このパターンニングにより、TFT部には、コンタクト層13上にソース電極およびドレイン電極14が形成され、信号線入力端子部には、信号線入力端子8と接続された信号線6が形成され、走査線入力端子部には、走査線2と接続された接続線15が形成される。また、このパターンニングの際に、ソース電極とドレイン電極との間に位置するコンタクト層13も同時にエッチングされるので、ソース電極とドレイン電極とは絶縁される。パターンニング後、フォトリソを剥離する。さらに、このパターンニングにより、走査線2と信号線6とを電氣的に接続する配線も同時に形成できる。

【0045】

次に、図4(d)に示すように、接続線15および信号線6の上に、例えばZnOを用いて短絡部材3を形成する。短絡部材3の形成は、例えば以下のような方法で行う。まず、ZnOターゲットを用いたスパッタリング法によって、ArとO₂との混合ガス雰囲気中でZnOを堆積する。この後、500以上600以下の温度で、酸素又は空気雰囲気

10

20

30

40

50

中でZnOを熱処理することによって、ZnOを結晶成長させる。あるいは、ZnOにエキシマレーザー等を照射すること(レーザーアニール)によって結晶成長させてもよい。レーザーアニールを行う場合は、ZnOを部分的に結晶成長させることも可能である。このような熱処理(レーザーアニールを含む)により、好ましくは、抵抗率が $10^5 \cdot \text{cm}$ 以上 $10^8 \cdot \text{cm}$ 以下で、結晶のC軸が基板1の表面に対して垂直に配向したZnOを形成する。次いで、公知のフォトリソグラフィ工程で所定のレジストパターンを形成した後、酢酸を用いてZnOをエッチングする。これにより、短絡部材3(またはショートリング)が得られる。信号線入力端子部では、この短絡部材3によって、信号線6は隣接する信号線と接続される。また、走査線入力端子部では、走査線2は接続線15を介して短絡部材3と接続され、またその走査線2と隣接する走査線も接続線15を介して同一の短絡部材と接続されるので、走査線2と隣接する走査線との接続が確保される。

10

【0046】

本実施形態では、ZnOを用いて短絡部材3を形成しているが、短絡部材3の材料は、ZnOに限定されず、バリスタ特性を示すものであればよい。例えば、Bi、Mn、Co、Sb、Ti等の酸化物を含有したZnOを用いて短絡部材3を形成すると、より安定したバリスタ特性が得られる。

【0047】

また、多数の短絡部材3がそれぞれ2本の線のみを接続するように形成されていてもよいし、3本以上の線を接続するように形成されていてもよい。あるいは、1本の短絡部材3が全ての線を接続するように形成されていてもよい。1本の短絡部材3が全ての線を接続するように形成される(すなわちショートリングである)場合は、複数の短絡部材を有する場合と比べて、短絡部材3のパターニングの際に要求される位置合わせの精度が低いので、有利である。

20

【0048】

図6は、本実施形態における短絡部材3のI-V特性を示す図である。図6に示すI-V特性は、抵抗率 $10^5 \cdot \text{cm}$ 、膜厚100nmのZnOを用いて、互いに隣接する信号線(ソース配線)の間に線幅 $10 \mu\text{m}$ 、線長 $100 \mu\text{m}$ のバリスタ特性を有する短絡部材3を形成し、この信号線間に電圧を印加した場合のI-V特性である。短絡部材3のバリスタ電圧は50Vとしている。

【0049】

信号線6間に印加する電圧がこのバリスタ電圧以下のとき、信号線6間の抵抗値(すなわち短絡部材3の抵抗値)は 2^{11} となる。従って、この短絡部材3は、従来のショートリング、例えば図8に示すようなリンドープ n^+ アモルファスシリコンを用いて形成された高抵抗ショートリング(抵抗値:数M)よりも高い絶縁性を有している。そのため、互いに隣接する信号線の間は完全に絶縁されていると考えられる。信号線6間に印加する電圧がバリスタ電圧である50Vを超えると、短絡部材3の抵抗値が急激に低下するので、信号線6間は電氣的に接続される。

30

【0050】

短絡部材3のバリスタ電圧は、短絡部材3を形成するZnOまたはZnOを主成分とする化合物の結晶粒子径、膜厚、線幅、線長などを変えることで任意に設定できる。例えば、本実施形態のアクティブマトリクス基板を表示装置に適用した場合において、走査線電圧 V_{gh} 、 V_{gl} をそれぞれ15V、-10Vとすると、表示装置の動作時には、互いに隣接する走査線間には最大で25Vの電位差が生じることになる。このような場合のバリスタ電圧は、隣接する走査線間に最大25Vの電位差が生じても互いの信号が影響を受けないように、25Vより大きいことが好ましい。このように、短絡部材3のバリスタ電圧を、表示装置の動作時に互いに隣接する線間に生じる電位差の最大値よりも高く設定することによって、その表示装置の通常の表示動作時には、短絡部材3によって接続された線同士は短絡状態にならないので、駆動ドライバからの信号を各線に与えることが可能になる。一方、TFTのゲート絶縁層を静電気から確実に保護するためには、バリスタ電圧は100V以下であることが好ましい。より好ましいバリスタ電圧は、40V以上70V以

40

50

下である。

【0051】

(実施形態2)

次に、図3を参照しながら、実施形態2のアクティブマトリクス基板における短絡部材3(またはショートリング3)と信号線との接続部分の構成を説明する。

【0052】

図3(a)および(b)は、本実施形態のアクティブマトリクス基板における信号線入力端子部分の断面図および平面図を示す。図3(a)は図3(b)のB-B'線の断面図である。本実施形態は、図3(a)および(b)に示すように、短絡部材3が信号線(ソース配線)6の下、すなわち信号線6とゲート絶縁層11との間に設けられている点で実施形態1と異なっている。このような構成は、TFTの半導体層をZnOまたはZnOを主成分とする化合物を用いて形成する場合に、短絡部材3とTFTの半導体層とを同時に形成できるので有利である(例えば特開2000-150900号公報に、ZnOまたはその化合物を用いてTFTの半導体層を形成する技術が開示されている)。なお、実施形態1と同様に、短絡部材3は3本以上の信号線を接続するパターンを有していてもよく、例えばショートリングであってもよい。

10

【0053】

続いて、図5を参照しながら、本実施形態のアクティブマトリクス基板の製造方法を説明する。図5(a)および(b)は、図4と同様に、走査線入力端子部、TFT部および信号線入力端子部における模式的な断面図を示す。

20

【0054】

まず、実施形態1と同様の工程によって、図5(a)に示すように、基板1の上にゲート電極10、走査線(ゲート配線)2、走査線入力端子4および信号線入力端子8を、例えばTaを用いて同時に形成する。

【0055】

続いて、実施形態1と同様の工程によって、ゲート絶縁層11を例えばSiN_xを用いて形成する。この後、ゲート絶縁層11の上に、例えばZnOを用いて半導体層12および短絡部材3を形成する。半導体層12および短絡部材3の形成は、例えば以下のように行う。まず、ZnOターゲットを用いたスパッタリング法によって、ArとO₂との混合ガス雰囲気中でZnOを堆積する。この後、酸素又は空気雰囲気中でZnOを熱処理することによって、ZnOを結晶成長させる。あるいは、ZnOにエキシマレーザー等を照射すること(レーザーアニール)によって結晶成長させてもよい。熱処理の温度などの好ましい結晶成長条件は、典型的には、堆積させたZnOのうち、半導体層12となる部分と短絡部材3となる部分とで異なる。例えば、ZnOのうち半導体層12となる部分には、200以上400以下の温度T1で熱処理を行い、ZnOのうち短絡部材3となる部分には、T1よりも高い温度T2(例えばT2は500以上600以下)で熱処理を行う。これにより、ZnOのうち短絡部材3となる部分の結晶粒径は、半導体層12となる部分の結晶粒径よりも大きくなる。このように部分的にZnOの熱処理条件を変える場合には、レーザーアニールによる熱処理方法が好ましい。あるいは、上記のZnOを堆積する工程において、基板温度を例えば250に設定してスパッタリングを行うことにより、結晶状態のZnOを堆積させることができる。この場合、ZnOのうち短絡部材3となる部分にはレーザーアニールなどの熱処理を行うことにより、バリスタ特性を有するようにZnOをさらに結晶成長させ、一方、ZnOのうち半導体層12となる部分には熱処理を施さないことも可能である。

30

40

【0056】

上記の熱処理条件は、それぞれ所望の特性を有する半導体層12および短絡部材3が形成されるように適宜選択される。典型的には、結晶粒径が10nm以上30nm未満のZnOは半導体層12としても好適な特性を有し、結晶粒径が30nm以上であるZnOは短絡部材3として好適なバリスタ特性を有する。また、短絡部材3がバリスタ特性を確実に発揮するためには、接続する2本の線の間結晶粒界が存在する必要があるため、短絡部

50

材 3 の結晶粒径は、短絡部材 3 によって接続される走査線または信号線の線幅以下であることが好ましい。さらに、好適な短絡部材 3 を得るには、ZnO のうち短絡部材 3 となる部分を、 $10^5 \cdot \text{cm}$ 以上 $10^8 \cdot \text{cm}$ 以下の抵抗率を有し、かつ結晶の C 軸が基板 1 の表面に対して垂直に配向するように ZnO を結晶成長させることが望ましい。

【0057】

次いで、公知のフォトリソグラフィ工程でレジストパターンを形成した後、例えば酢酸を用いて ZnO をエッチングすることにより、ZnO をパターンニングする。これにより、短絡部材 3 および半導体層 12 が同時に形成される。なお、短絡部材 3 のパターンニングと半導体層 12 のパターンニングとを別個の工程で行ってもよい。この後、走査線入力端子 4 および信号線入力端子 8 上のゲート絶縁層 11 を、例えばドライエッチングによって除去する。

10

【0058】

続いて、実施形態 1 と同様の方法で、ソース電極およびドレイン電極 14、信号線（ソース配線）6、接続線 15 を、例えば Ta を用いて形成する。なお、本実施形態では、Ta は ZnO に対してオーミックコンタクトが可能であるので、実施形態 1 のようにコンタクト層 13 を設ける必要はない。この結果、信号線入力端子部では、この短絡部材 3 によって、信号線 6 は隣接する信号線と接続される。また、走査線 2 は接続線 15 を介して短絡部材 3 と接続され、またその走査線 2 と隣接する走査線も接続線 15 を介して同一の短絡部材と接続されるので、走査線 2 と隣接する走査線との接続が確保される。

【0059】

なお、本実施形態における短絡部材 3 と実施形態 1 における短絡部材 3 とは、形成される位置は異なっているが、同様の機能および特性（例えば I-V 特性など）を有する。

20

【0060】

上記実施形態のアクティブマトリクス基板は、上述したような短絡部材を有しているので、短絡部材によって接続された線間の電位差がバリスタ電圧以下では、リーク電流をほとんど生じない。また、本実施形態における短絡部材は電荷分散性が高く、アクティブマトリクス基板の TFT を静電気から確実に保護できる。さらに、本実施形態における短絡部材はアクティブマトリクス基板の駆動を妨げないため、駆動ドライバを実装した後に、短絡部材を除去する必要がない。従って、アクティブマトリクス基板の製造工程において生じる静電気に起因する製品不良を低減することができる。

30

【0061】

また、本実施形態のアクティブマトリクス基板の製造方法によると、上述したようなアクティブマトリクス基板を簡便に製造できる。特に、TFT の半導体層と短絡部材とを同じ材料を用いて同時に形成すると、製造工程を増加させたり、製造コストを増大させたりする必要がないので有利である。

【0062】

【発明の効果】

アクティブマトリクス基板の実装工程後も機能し、かつ電荷分散性の高い簡便な構造の短絡部材を備えることにより、低電圧領域においてリーク電流をほとんど生じることなく、静電気から TFT を有効に保護することができるアクティブマトリクス基板を提供することができる。

40

【0063】

本発明は、アクティブマトリクス基板を備えた液晶表示装置や EL 表示装置などの各種表示装置に好適に適用される。

【図面の簡単な説明】

【図 1】本発明の実施形態によるアクティブマトリクス基板の等価回路を示す図である。

【図 2】(a) および (b) は、それぞれ本発明の第 1 の実施形態のアクティブマトリクス基板における短絡部材を模式的に示す断面図および平面図である。

【図 3】(a) および (b) は、それぞれ本発明の第 2 の実施形態のアクティブマトリクス基板における短絡部材を模式的に示す断面図および平面図である。

50

【図4】(a)～(d)は、本発明の第1の実施形態のアクティブマトリクス基板の製造方法を説明するための模式的な断面図である。

【図5】(a)および(b)は、本発明の第2の実施形態のアクティブマトリクス基板の製造方法を説明するための模式的な断面図である。

【図6】本発明の実施形態における短絡部材のI-V特性を示す図である。

【図7】従来の導電性ショートリングを有するアクティブマトリクス基板の等価回路を示す図である。

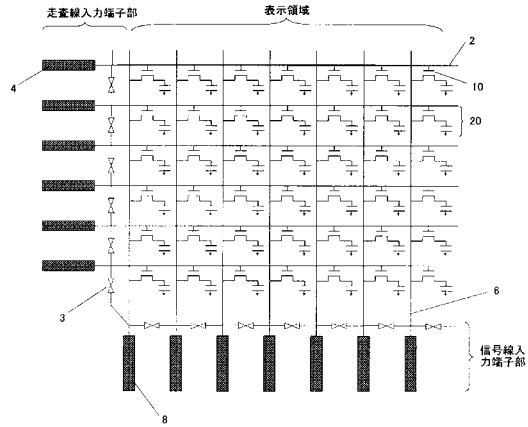
【図8】従来の高抵抗半導体ショートリングを有するアクティブマトリクス基板の等価回路を示す図である。

【図9】従来の2端子素子からなるショートリングを有するアクティブマトリクス基板の等価回路を示す図である。 10

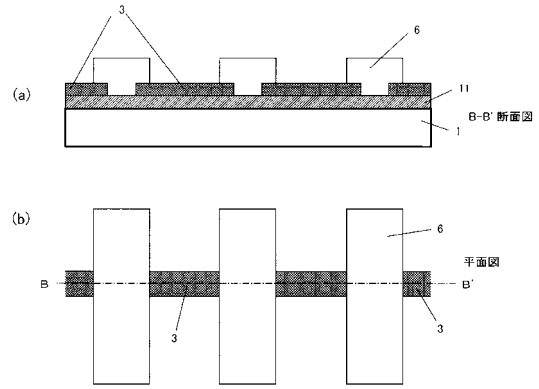
【符号の説明】

1	基板
2	走査線
3	短絡部材
4	走査線入力端子
5	入力保護回路
6	信号線
7	導電性ライン
8	信号線入力端子
9	高抵抗半導体ショートリング
10	ゲート電極
11	ゲート絶縁層
12	半導体層
14	ソース電極およびドレイン電極
20	TFT

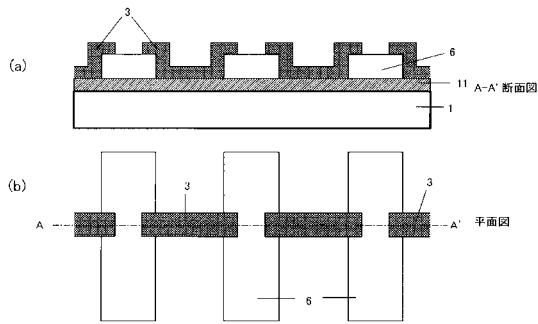
【 図 1 】



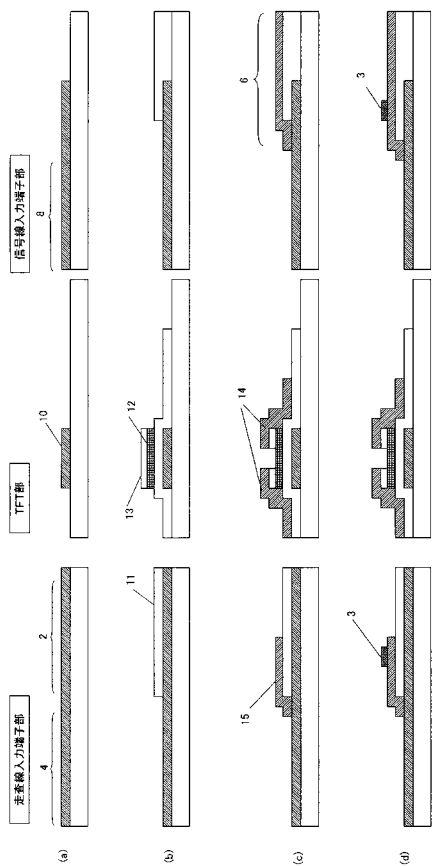
【 図 3 】



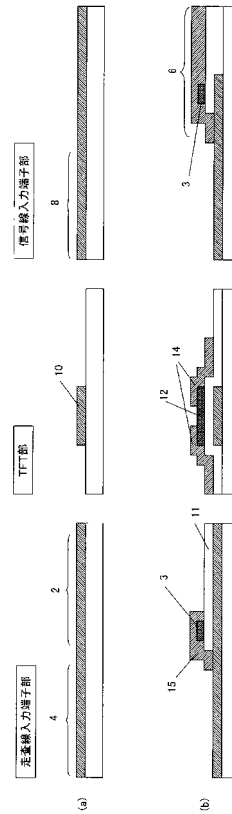
【 図 2 】



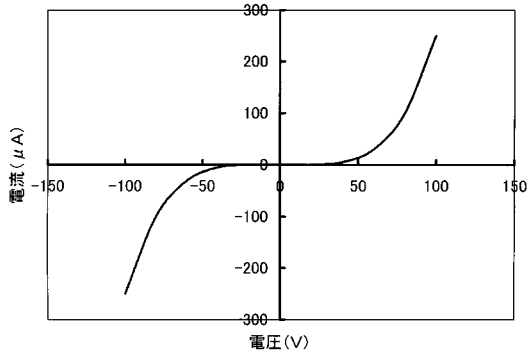
【 図 4 】



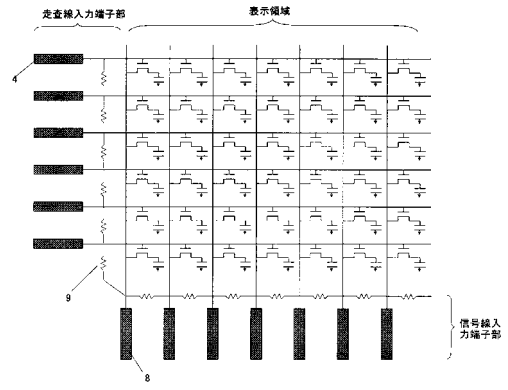
【 図 5 】



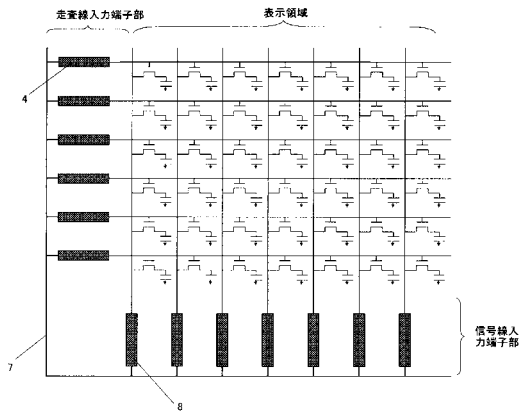
【 図 6 】



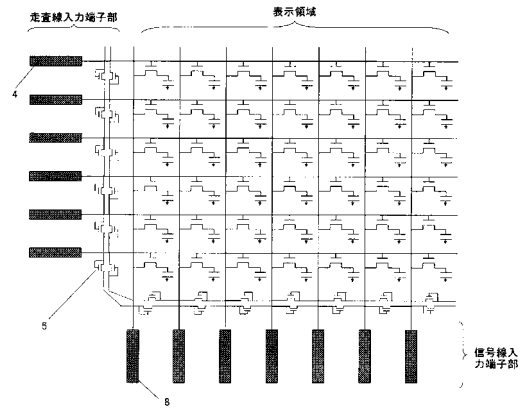
【 図 8 】



【 図 7 】



【 図 9 】



フロントページの続き

- (72)発明者 杉原 利典
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 越智 久雄
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 川崎 雅司
宮城県仙台市青葉区川内元支倉3番地川内住宅1-101
- (72)発明者 大野 英男
宮城県仙台市泉区桂3-33-10

Fターム(参考) 2H092 GA33 GA34 GA35 GA64 JB79 KB04 NA14
3K007 AB08 AB11 BA06 DB03 GA00
5F110 AA22 BB01 CC07 DD01 DD02 DD03 DD05 DD11 EE04 EE44
FF03 FF30 GG02 GG15 GG45 HK04 HK09 HK21 HK33 HK35
NN71