

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-227004
(P2004-227004A)

(43) 公開日 平成16年8月12日(2004.8.12)

(51) Int. Cl.⁷
G10H 7/00

F I
G10H 7/00 511K

テーマコード(参考)
5D378

審査請求有 請求項の数6 OL (全20頁)

(21) 出願番号	特願2004-83463 (P2004-83463)	(71) 出願人	000004075 ヤマハ株式会社
(22) 出願日	平成16年3月22日(2004.3.22)	(74) 代理人	100077539 弁理士 飯塚 義仁
(62) 分割の表示 原出願日	特願平5-342028の分割 平成5年12月14日(1993.12.14)	(72) 発明者	市来 哲二 静岡県浜松市中沢町10番1号 ヤマハ株式会社社内
		Fターム(参考)	5D378 AD01 AD21 BB03

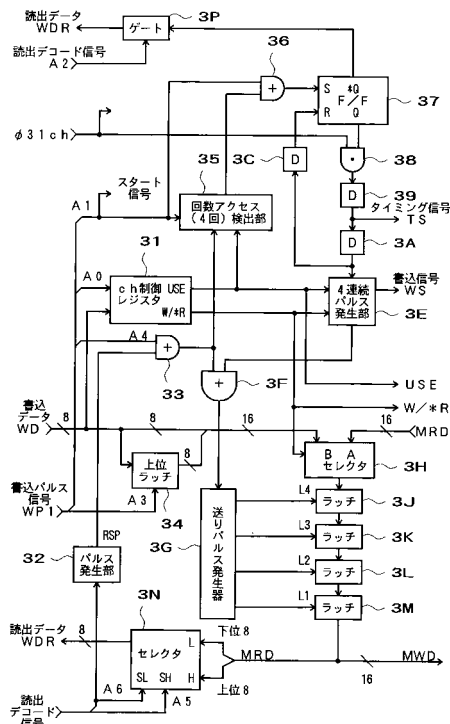
(54) 【発明の名称】 メモリ使用音源装置

(57) 【要約】

【課題】 処理装置との間でのデータの授受の仕方を工夫すること。

【解決手段】 楽音生成手段は、時分割チャンネル処理で動作し、処理装置からの指示に従って楽音生成のためのアドレスが設定されるアドレスカウンタ手段を含み、該設定されたアドレスに基づいて、メモリから音源用のデータを読み出す。制御手段は、処理装置からメモリにデータを書き込むときにアドレスカウンタ手段にデータ書き込みのためのアドレスを設定するとともに、書き込みもうとするデータをバッファに書き込む。楽音生成手段では、アドレスカウンタ手段に設定された前記データ書き込みのためのアドレスに基づいて前記バッファのデータを、時分割チャンネル中の空きチャンネルを使用して、メモリに書き込む。処理装置がメモリからデータを読み出す場合も同様に、空きチャンネルを使用して読み出したデータをバッファに保存する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

音源用のデータを記憶するメモリと、

時分割チャンネル処理で動作し、処理装置からの指示に従って楽音生成のためのアドレスが設定されるアドレスカウンタ手段を含み、該アドレスカウンタ手段に設定された前記楽音生成のためのアドレスに基づいて前記メモリからデータを読み出すことに基づき楽音信号を生成する楽音生成手段と、

前記処理装置から前記メモリにデータを書き込むときに前記アドレスカウンタ手段にデータ書き込みのためのアドレスを設定するとともに、書き込もうとするデータをバッファに書き込む制御手段と

10

を具備し、前記楽音生成手段では、前記アドレスカウンタ手段に設定された前記データ書き込みのためのアドレスに基づいて前記バッファのデータを、時分割チャンネル中の空きチャンネルを使用して、前記メモリに書き込むことを特徴とするメモリ使用音源装置。

【請求項 2】

前記処理装置は、書き込みアドレスを指示しかつ書き込むべき複数のデータを供給すると共に書き込み指示を発生し、

前記制御手段は、前記書き込み指示に応じて、指示された前記書き込みアドレスを前記アドレスカウンタ手段に設定すると共に、供給された前記複数のデータを前記バッファに書き込み、

20

前記楽音生成手段は、前記書き込み指示に応じて、前記バッファの複数のデータを前記書き込みアドレスを基にして前記メモリに順次書き込み、該順次書き込みが終了したら書き込み終了通知を発生し、

前記処理装置は、前記書き込み終了通知に応じて、次の書き込み指示が発生可能となる請求項 1 に記載のメモリ使用音源装置。

【請求項 3】

音源用のデータを記憶するメモリと、

時分割チャンネル処理で動作し、処理装置からの指示に従って楽音生成のためのアドレスが設定されるアドレスカウンタ手段を含み、該アドレスカウンタ手段に設定された前記楽音生成のためのアドレスに基づいて前記メモリからデータを読み出すことに基づき楽音信号を生成する楽音生成手段と、

30

前記メモリから前記処理装置にデータを読み出すときに前記アドレスカウンタ手段にデータ読み出しのためのアドレスを設定し、読み出されたデータを一時保存するバッファを有する制御手段と

を具備し、前記楽音生成手段では、前記アドレスカウンタ手段に設定された前記データ読み出しのためのアドレスに基づいて、時分割チャンネル中の空きチャンネルを使用して、前記メモリからデータを読み出し、読み出したデータが前記バッファに一旦書き込まれ、該バッファに書き込まれたデータが前記処理装置に供給されることを特徴とするメモリ使用音源装置。

【請求項 4】

前記処理装置は、読み出しアドレスを指示すると共に読み出し指示を発生し、

40

前記制御手段は、前記読み出し指示に応じて、指示された前記読み出しアドレスを前記アドレスカウンタ手段に設定し、

前記楽音生成手段では、前記読み出しアドレスを基にして前記波形メモリから複数のデータを順次読み出して、読み出した複数のデータを前記バッファに書き込み、該順次読み出しが終了したら読み出し終了通知を発生し、

前記処理装置は、前記読み出し終了通知に応じて、次の読み出し指示が発生可能となる請求項 3 に記載のメモリ使用音源装置。

【請求項 5】

音源用のデータを記憶するメモリと、

時分割チャンネル処理で動作し、1 又は複数チャンネルで前記音源用のデータを前記メ

50

メモリから読み出して楽音信号を生成する楽音生成手段と、

処理装置から書き込み指示と共にそれぞれ n ビット（ただし n は任意の整数）からなる第 1 及び第 2 のデータの供給を受け、前記書き込み指示に応じて、供給された前記第 1 のデータを第 1 のバッファに一旦保存し、供給された前記第 2 のデータと該第 1 のバッファに保存された前記第 1 のデータとを合成して $2n$ ビットからなる第 3 のデータを作成してこれを第 2 のバッファに保存し、この第 2 のバッファに保存された前記第 3 のデータを、時分割チャンネル中の空きチャンネルを使用して、前記メモリに書き込む制御手段とを具えたメモリ使用音源装置。

【請求項 6】

音源用のデータを記憶するメモリと、

10

時分割チャンネル処理で動作し、1 又は複数チャンネルで前記音源用のデータを前記メモリから読み出して楽音信号を生成する楽音生成手段と、

処理装置から第 1 の読み出し指示を受け、この第 1 の読み出し指示に応じて、時分割チャンネル中の空きチャンネルを使用して、前記メモリから $2n$ ビット（ただし n は任意の整数）からなる第 1 のデータを読み出して、読み出した第 1 のデータをバッファに保存し、該読み出しが終了したら読み出し終了通知を発生する制御手段とを具え、

前記処理装置は、前記読み出し終了通知に応じて、第 2 及び第 3 の読み出し指示を発生し、

前記制御手段は、前記第 2 の読み出し指示に応じて前記バッファに保存された $2n$ ビットのデータのうちの n ビットを前記処理装置に出力し、前記第 3 の読み出し指示に応じて前記バッファに保存された $2n$ ビットのデータのうちの残りの n ビットを前記処理装置に出力することを特徴とするメモリ使用音源装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は波形メモリに記憶されている波形データを読み出すことによって楽音波形を発生するメモリ使用音源装置に関する。

【背景技術】

【0002】

30

従来の波形メモリ音源は、発生すべき楽音の音高に対応する位相データに基づいて楽音波形のサンプル値データを記憶している波形メモリから波形データを順次読み出すことによって、楽音信号を発生している。

このような波形メモリを搭載した電子楽器においては、複数の楽音信号を同時に発音するために、時分割チャンネル処理という手法を用いている。この時分割チャンネル処理とは、ある一定時間を複数にタイムスロットに分割し、そのタイムスロット毎に波形データを読み出し、その一定時間内の複数のタイムスロットで読み出された波形データを累算することによって、波形メモリからは一定時間毎に複数の波形データが同時に読み出されるようにすることをいう。

【0003】

40

従来の時分割チャンネル処理においては、ある一定時間が可能な限り多くのタイムスロットに分割されており、また、一般には波形メモリ音源は CPU 等の処理装置の動作クロックとは非同期で動作しているために、波形メモリ音源が時分割チャンネル発音処理を行っている場合には、CPU 等の処理装置による波形メモリへのアクセスを行うことはできなかった。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は上述の点に鑑みてなされたものであり、処理装置との間でのデータの授受の仕方を工夫したメモリ使用音源装置を提供しようとするものである。

50

【課題を解決するための手段】

【0005】

この発明に係るメモリ使用音源装置は、音源用のデータを記憶するメモリと、時分割チャンネル処理で動作し、処理装置からの指示に従って楽音生成のためのアドレスが設定されるアドレスカウンタ手段を含み、該アドレスカウンタ手段に設定された前記楽音生成のためのアドレスに基づいて前記メモリからデータを読み出すことに基づき楽音信号を生成する楽音生成手段と、前記処理装置から前記メモリにデータを書き込むときに前記アドレスカウンタ手段にデータ書き込みのためのアドレスを設定するとともに、書き込もうとするデータをバッファに書き込む制御手段とを具備し、前記楽音生成手段では、前記アドレスカウンタ手段に設定された前記データ書き込みのためのアドレスに基づいて前記バッファのデータを、時分割チャンネル中の空きチャンネルを使用して、前記メモリに書き込むことを特徴とすることを特徴とする。

10

この発明によれば、処理装置からの指示に従って楽音生成のためのアドレスが設定され、これに基づき楽音信号を生成する一方で、処理装置からメモリにデータを書き込むときには、処理装置からの指示に従ってデータ書き込みのためのアドレスが設定され、かつ、書き込もうとするデータがバッファで一時保存される。よって、楽音生成手段では、データ書き込みのためのアドレスに基づいてバッファのデータを、時分割チャンネル中の空きチャンネルを使用して、メモリに書き込めばよいため、書き込み処理に余裕をもたせることができる。従って、処理装置がこのメモリ使用音源装置と非同期で動作するものであっても、問題のない制御を行うことができる。その場合、1回の書き込み指示で複数のデータを供給し、これらをバッファに一時保存しておき、これをメモリに順次書き込むように制御することで処理装置の効率的なバス利用が行える。

20

一実施態様として、前記処理装置は、書き込みアドレスを指示しかつ書き込むべき複数のデータを供給すると共に書き込み指示を発生し、前記制御手段は、前記書き込み指示に応じて、指示された前記書き込みアドレスを前記アドレスカウンタ手段に設定すると共に、供給された前記複数のデータを前記バッファに書き込み、前記楽音生成手段は、前記書き込み指示に応じて、前記バッファの複数のデータを前記書き込みアドレスを基にして前記メモリに順次書き込み、該順次書き込みが終了したら書き込み終了通知を発生し、前記処理装置は、前記書き込み終了通知に応じて、次の書き込み指示が発生可能となる。

30

【0006】

この発明の更に別の観点に従うメモリ使用音源装置は、音源用のデータを記憶するメモリと、時分割チャンネル処理で動作し、処理装置からの指示に従って楽音生成のためのアドレスが設定されるアドレスカウンタ手段を含み、該アドレスカウンタ手段に設定された前記楽音生成のためのアドレスに基づいて前記メモリからデータを読み出すことに基づき楽音信号を生成する楽音生成手段と、前記メモリから前記処理装置にデータを読み出すときに前記アドレスカウンタ手段にデータ読み出しのためのアドレスを設定し、読み出されたデータを一時保存するバッファを有する制御手段とを具備し、前記楽音生成手段では、前記アドレスカウンタ手段に設定された前記データ読み出しのためのアドレスに基づいて、時分割チャンネル中の空きチャンネルを使用して、前記メモリからデータを読み出し、読み出したデータが前記バッファに一旦書き込まれ、該バッファに書き込まれたデータが前記処理装置に供給されることを特徴とする。

40

この発明によれば、処理装置からの指示に従って楽音生成のためのアドレスが設定され、これに基づき楽音信号を生成する一方で、メモリから処理装置にデータを読み出すときには、処理装置からの指示に従ってデータ読み出しのためのアドレスが設定され、時分割チャンネル中の空きチャンネルを使用して前記メモリから読み出されたデータがバッファに一時保存される。よって、処理装置では、バッファに保存してあるデータを取り込めばよいため、取り込み処理に余裕をもたせることができる。従って、処理装置がこのメモリ使用音源装置と非同期で動作するものであっても、問題のない制御を行うことができる。その場合、1回の読み出し指示で複数のデータを読み出し、これらをバッファに一時保存しておき、これを処理装置に転送するにすれば、処理装置の効率的なバス利用が図れ

50

る。

一実施態様として、前記処理装置は、読み出しアドレスを指示すると共に読み出し指示を発生し、前記制御手段は、前記読み出し指示に応じて、指示された前記読み出しアドレスを前記アドレスカウンタ手段に設定し、前記楽音生成手段では、前記読み出しアドレスを基にして前記波形メモリから複数のデータを順次読み出して、読み出した複数のデータを前記バッファに書き込み、該順次読み出しが終了したら読み出し終了通知を発生し、前記処理装置は、前記読み出し終了通知に応じて、次の読み出し指示が発生可能となる。

【0007】

この発明の更に別の観点に従うメモリ使用音源装置は、音源用のデータを記憶するメモリと、時分割チャンネル処理で動作し、1又は複数チャンネルで前記音源用のデータを前記メモリから読み出して楽音信号を生成する楽音生成手段と、処理装置から書き込み指示と共にそれぞれ n ビット(ただし n は任意の整数)からなる第1及び第2のデータの供給を受け、前記書き込み指示に応じて、供給された前記第1のデータを第1のバッファに一旦保存し、供給された前記第2のデータと該第1のバッファに保存された前記第1のデータとを合成して $2n$ ビットからなる第3のデータを作成してこれを第2のバッファに保存し、この第2のバッファに保存された前記第3のデータを、時分割チャンネル中の空きチャンネルを使用して、前記メモリに書き込む制御手段とを具える。

10

この発明によれば、処理装置から書き込み指示と共にそれぞれ n ビット(ただし n は任意の整数)からなる第1及び第2のデータの供給を受け、書き込み指示に応じて、供給された第1のデータを第1のバッファに一旦保存し、供給された第2のデータと該第1のバッファに保存された第1のデータとを合成して $2n$ ビットからなる第3のデータを作成してこれを第2のバッファに保存し、この第2のバッファに保存された前記第3のデータを、時分割チャンネル中の空きチャンネルを使用して、メモリに書き込む構成であるため、処理装置のバスのビット数よりも多いビット数からなるデータを処理装置からメモリに転送して書き込むような場合に、これを効率的に行うことができる。

20

【0008】

この発明の更に別の観点に従うメモリ使用音源装置は、音源用のデータを記憶するメモリと、時分割チャンネル処理で動作し、1又は複数チャンネルで前記音源用のデータを前記メモリから読み出して楽音信号を生成する楽音生成手段と、処理装置から第1の読み出し指示を受け、時分割チャンネル中の空きチャンネルを使用して、この第1の読み出し指示に応じて、前記メモリから $2n$ ビット(ただし n は任意の整数)からなる第1のデータを読み出して、読み出した第1のデータをバッファに保存し、該読み出しが終了したら読み出し終了通知を発生する制御手段とを具え、前記処理装置は、前記読み出し終了通知に応じて、第2及び第3の読み出し指示を発生し、前記制御手段は、前記第2の読み出し指示に応じて前記バッファに保存された $2n$ ビットのデータのうちの n ビットを前記処理装置に出力し、前記第3の読み出し指示に応じて前記バッファに保存された $2n$ ビットのデータのうちの残りの n ビットを前記処理装置に出力することを特徴とする。

30

この発明によれば、処理装置から第1の読み出し指示を受け、時分割チャンネル中の空きチャンネルを使用して、この第1の読み出し指示に応じて、メモリから $2n$ ビット(ただし n は任意の整数)からなる第1のデータを読み出して、読み出した第1のデータをバッファに保存し、該読み出しが終了したら読み出し終了通知を発生し、処理装置では、この読み出し終了通知に応じて、第2及び第3の読み出し指示を発生し、制御手段では、第2の読み出し指示に応じてバッファに保存された $2n$ ビットのデータのうちの n ビットを処理装置に出力し、第3の読み出し指示に応じて前記バッファに保存された $2n$ ビットのデータのうちの残りの n ビットを処理装置に出力する構成であるため、処理装置のバスのビット数よりも多いビット数からなるデータをメモリから読み出して処理装置に転送するような場合に、これを効率的に行うことができる。

40

【発明を実施するための最良の形態】

【0009】

以下、この発明の実施例を添付図面に従って詳細に説明する。

50

図 2 は、本発明の一実施例に係るサンプラータタイプの波形メモリ音源を内蔵した電子楽器の全体構成を示す図である。

マイクロプロセッサユニット (CPU) 20 は、この電子楽器全体の動作を制御するものである。この CPU 20 に対しては、データ及びアドレスバス 2 J を介して ROM 21、RAM 22、鍵盤 23、パネルスイッチ 24、パネル表示器 25、インターフェイス 26、アナログ - デジタル変換器 (ADC) 27 及び音源回路 2 A が接続されている。

ROM 21 は CPU 20 の各種プログラムや各種データを格納するものであり、リードオンリーメモリ (ROM) で構成されている。

RAM 22 は、CPU 20 がプログラムを実行する際に発生する各種データを一時的に記憶するものであり、ランダムアクセスメモリ (RAM) の所定のアドレス領域がそれぞれ割り当てられ、レジスタ、フラグ、バッファ等として利用される。

10

【0010】

鍵盤 23 は、発音すべき楽音の音高を選択するための複数の鍵を備えており、各鍵の操作に応じてノートオン、ノートオフ、ベロシティ、ピッチデータ等の各種データをデータ及びアドレスバス 2 J を介して CPU 20 に出力する。鍵盤 23 の代わりにコンピュータ等を接続し、所望の演奏データを入力するようにしてもよい。

パネルスイッチ 24 は、音色、音量、効果等を選択・設定・制御するための各種操作子を含むものである。

パネル表示器 25 は CPU 20 の制御状態、設定データの内容等の各種の情報を液晶パネル (LCD) 等に表示するものである。

20

マイク 28 は音声信号や楽器音等をアナログの電圧信号に変換して、ADC 27 に出力する。ADC 27 はマイク 28 からのアナログの電圧信号をデジタル信号に変換して、データ及びアドレスバス 2 J に出力する。

ハードディスク 29 は数十～数百メガバイト (MB) の記憶容量を有し、インターフェイス 26 を介してデータ及びアドレスバス 2 J に接続されている。

【0011】

音源回路 2 A は、発生すべき楽音の音高に対応して変化する周波数データに応じて音源回路 2 A 内の波形メモリ 2 D から楽音波形データを順次読み出すメモリ読み出し方式により、楽音信号を発生するものであり、複数のチャンネルで楽音信号の同時発生が可能であり、データ及びアドレスバス 2 J を経由して与えられた演奏データ (MIDI 規格に準拠したデータ等) を入力し、このデータに基づき楽音信号を発生する。なお、この実施例では、電子楽器は 32 チャンネル時分割で動作し、その中の 31 チャンネルを同時発音に使用し、残りの 1 チャンネルを CPU 20 によるデータ読出書込用として使用している。

30

【0012】

音源回路 2 A は、複数のチャンネルで楽音信号の同時発生が可能であり、データ及びアドレスバス 2 J を経由して与えられた演奏データ (ピッチデータ、ノートオン、波形スタートアドレス (WSA)、ループスタートアドレス (LPS)、ループエンドアドレス (LPE)、レート、レベル、その他の各種のパラメータや MIDI 規格に準拠したデータ等) を入力し、これらのデータに基づき楽音信号を発生し、サウンドシステム 2 H に出力する。

40

【0013】

音源回路 2 A は、音源 I/O 2 B、波形発生部 2 C、波形メモリ 2 D、エンベロープ付与部 2 E、チャンネル累算部 2 F 及びデジタル - アナログ変換器 (DAC) 2 G からなる。

音源 I/O 2 B は、データ及びアドレスバス 2 J を介して CPU 20 から供給される演奏データを音源側に入力したり、音源側のデータをデータ及びアドレスバス 2 J を介して CPU 20 に出力したりする。

【0014】

波形発生部 2 C は、音源 I/O 2 B を介して入力される演奏データに基づいて波形メモリ 2 D から波形データを読み出し、読み出された波形データに応じた楽音信号をエンベロ

50

ープ付与部 2 E へ出力する。

波形メモリ 2 D は、立上り部（アタック部）を構成する複数周期分のデータと、その後の持続部（ループ部）を構成する 1 周期分のデータとからなる波形データやマイク 2 8 によってサンプルされた波形データ等を記憶しており、波形発生部 2 C からのアドレス信号を入力し、このアドレス信号に応じた領域に記憶されている波形データを出力する。

【0015】

エンベロープ付与部 2 E は、音源 I / O 2 B を介して入力されるレート、レベル等の演奏データに基づいた形状のエンベロープを波形発生部 2 C からの楽音信号に付加し、それをキーオンの入力に同期したタイミングでチャンネル累算部 2 F へ出力する。

チャンネル累算部 2 F は、32 チャンネル時分割でエンベロープ付与部 2 E から出力される各チャンネルの楽音信号を累算処理して DAC 2 G へ出力する。 10

【0016】

DAC 2 G は、デジタルの楽音信号をアナログの楽音信号に変換してサウンドシステム 2 H へ出力する。

音源回路 2 A から出力された楽音信号は、サウンドシステム 2 H を介してスピーカから発音される。

【0017】

図 1 は、図 2 の音源 I / O 2 B の詳細構成を示す図である。

この実施例では、音源 I / O 2 B は、CPU バス制御部 1 1、アドレスラッチ（A ラッチ）1 2、データラッチ（D ラッチ）1 3、書込用バッファアンプ 1 4、読出用バッファアンプ 1 5、書込用デコーダ 1 6、書込パルス発生部 1 7、読出用デコーダ 1 8、チャンネルラッチ（ch ラッチ）1 9、チャンネル変換部（ch 変換部）1 A、チャンネルカウンタ（ch カウンタ）1 B、セレクト 1 C、楽音制御レジスタ 1 D、波形メモリ I / O 1 E から構成される。 20

【0018】

音源 I / O 2 B は、データ及びアドレスバスを介して下位アドレス ADDR（8 ビット構成）、データ DATA（8 ビット構成）、書込制御信号 * WR 及び読出制御信号 * RD を CPU 2 0 から入力する。ここで、書込制御信号 * WR 及び読出制御信号 * RD の「*」はローレベル“0”でイネーブルとなるアクティブローを示す。CPU 2 0 が出力するアドレスの中の上位アドレスは、各機器指定用アドレスとして利用されるので、この音源 I / O 2 B には、下位アドレス ADDR のみが入力する。 30

【0019】

CPU バス制御部 1 1 は、書込制御信号 * WR がローレベル“0”の場合には、書込用バッファアンプ 1 4 にイネーブル信号を供給し、逆に、読出制御信号 * RD がローレベル“0”の場合には、読出用バッファアンプ 1 5 にイネーブル信号を供給する。すなわち、CPU バス制御部 1 1 は、書込用バッファアンプ 1 4 又は読出用バッファアンプ 1 5 のいずれか一方のみをイネーブルとするように動作する。また、CPU バス制御部 1 1 は、書込制御信号 * WR 又は読出制御信号 * RD がローレベル“0”になった場合、その立下りのタイミングでアドレスラッチ 1 2 及びデータラッチ 1 3 にラッチパルス LW を出力する。 40

【0020】

アドレスラッチ 1 2 は、CPU バス制御部 1 1 からのラッチパルス LW を入力することによって下位アドレス ADDR をラッチする。データラッチ 1 3 は、CPU バス制御部 1 1 からラッチパルス LW を入力することによってデータ DATA をそれぞれラッチする。

書込用バッファアンプ 1 4 は、CPU バス制御部 1 1 からのイネーブル信号の入力に応じてデータ DATA をデータラッチ 1 3 へ出力する。読出用バッファアンプ 1 5 は、CPU バス制御部 1 1 からのイネーブル信号の入力に応じて波形メモリ I / O からの読出データ WDR をデータバス DATA へ出力する。

【0021】

書込用デコーダ 1 6 は、書込制御信号 * WR がローレベル“0”になった場合に、アド 50

レスラッチ 12 にラッチされているアドレス ADR をデコードし、書込デコード信号を書込パルス発生部 17 に出力する。

書込パルス発生部 17 は、書込用デコーダ 16 からの書込デコード信号に応じた書込パルス信号 WP1 を波形メモリ I/O1E の書込アドレス端子 WAD に、書込パルス信号 WP2 を楽音制御レジスタ 1D に出力すると共に、ラッチパルス LC をチャンネルラッチ 19 に出力する。すなわち、書込パルス発生部 17 はアドレスラッチ 12 にラッチされているアドレス ADR が「0」、「1」、「3」、「4」の場合にそれぞれ、対応する A0、A1、A3 及び A4 のいずれかの書込パルス信号 WP1 を出力する。

【0022】

読出用デコーダ 18 は、読出制御信号 *RD がローレベル“0”になった場合に、アドレスラッチ 12 にラッチされているアドレス ADR をデコードし、読出デコード信号 RP1 を波形メモリ I/O1E の読出アドレス端子 RAD に出力する。すなわち、読出デコーダ 18 はアドレスラッチ 12 にラッチされているアドレス ADR が「2」、「5」、「6」の場合にそれぞれ、対応する A2、A5 及び A6 の読出デコード信号 RP1 のうちの 1 つを出力する。

【0023】

チャンネルラッチ 19 は、書込パルス発生部 17 からラッチパルス LC を入力すると、それに応じてデータラッチ 13 からのデータ DATA をラッチする。このデータ DATA はチャンネル選択データ CS D としてチャンネル変換部 1A に出力される。

チャンネル変換部 1A は、アドレスラッチ 12 からのアドレス ADR 及びチャンネルラッチ 19 からのチャンネル選択データ CS D を入力し、それに基づいて楽音制御レジスタ 1D のどのチャンネルタイミング位置にデータを書き込むのか、そのチャンネル指定アドレス CDA を発生する。

チャンネルカウンタ 1B は、0 チャンネルから 31 チャンネルまでを順次カウントし、そのチャンネル番号をセクタ 1C に出力する。なお、チャンネルカウンタ 1B は、最後の 32 番目の 31 チャンネルに対応した 1 チャンネル分の期間だけハイレベル“1”をとるようなタイミング信号 31ch を波形メモリ I/O のチャンネル端子 ch に出力する。

【0024】

セクタ 1C は、チャンネル変換部 1A からのチャンネル指定アドレス CDA 及びチャンネルカウンタ 1B からのチャンネル番号を入力し、いずれか一方を規則的なクロックに基づいて楽音制御レジスタ 1D に出力する。

楽音制御レジスタ 1D は、波形発生部 2C における波形生成動作を制御するための複数種類のデータ（音高を制御するピッチデータ、楽音の発生の開始及び終了を指示するノートオン、波形スタートアドレス（WSA）、ループスタートアドレス（LPS）、ループエンドアドレス（LPE）及び、その他変調効果やタッチによる音色変化等を制御するデータ）やエンベロープ付与部における音量エンベロープ付与動作を制御するための複数種類のデータ（演算型エンベロープ発生に必要な各ステートのレートデータとレベルデータ、ノートオン及びその他のデータ）をそれぞれ各時分割チャンネルタイミングに対応した領域に格納する複数のレジスタで構成されている。ここで、セクタ 1C の出力するデータは、複数時分割チャンネル分記憶された各レジスタのデータのうちの、どのチャンネルタイミングのデータをアクセスするか指示するタイミング位置を指示する指示データとして使用される。

【0025】

音源の各時分割チャンネルにおいて、波形発生部 2C 及びエンベロープ付与部 2E でそれぞれ必要とされる上記複数種類のデータを供給するため、楽音制御レジスタ 1D に記憶された上記複数種類のデータは、音源の各時分割チャンネルのタイミングにおいてセクタ 1C を介してチャンネルカウンタ 1B から供給されるチャンネル番号に応じて並列に読み出され、読み出された複数種類のデータはそれぞれ波形発生部 2C やエンベロープ付与部 2E に並列に供給される。

一方、CPU 20からの楽音制御レジスタ1Dに対する書き込みは、上述したチャンネルカウンタ1Bによる読み出しに重ならないタイミングにおいて、セクタ1Cがチャンネル変換部1Aの出力するチャンネル指定アドレスCDAを選択しつつ行われる。

【0026】

ところで、Aラッチ12にラッチされたアドレスADRは8ビットであるので、このアドレスにより、「0」～「255」のアドレスの指定が可能である。上述したように、書込パルス信号WP1と読出デコード信号RP1として、アドレスの「0」～「6」が使われており、さらにチャンネルラッチ19用のラッチパルスLCのアドレス「7」とすると、この楽音制御レジスタ1D中の上記複数種類のレジスタのそれぞれのアドレスとしては、それ以外の「8」～「255」のアドレスが使用可能である。例えば、ノートオンがアドレス「8」、ピッチデータがアドレス「9」、アタックステートのレートデータがアドレス「10」といった具合にアドレスが割り当てられている。

10

【0027】

つまり、楽音制御レジスタ1Dの書き込み時、CPU 20は、前もってチャンネルラッチ19に書き込みを行いたい時分割チャンネルの番号を書き込み、その後、上述したような書き込みを行う楽音制御レジスタ1D中のレジスタの種類を指定するアドレスをAラッチ12に供給すると共に書き込む値をDラッチ13に供給し、その状態で書き込み信号*WRをイネーブルにして書き込みを実行する。

この時、チャンネル変換部1Aから楽音制御レジスタ1Dに対して上記指示データとして供給されているチャンネル指示アドレスCDAは、Aラッチ12の指定するアドレスにあるレジスタのチャンネルラッチ19に書き込まれたチャンネル番号に対応したタイミング位置を指定している。書き込み信号*WRのイネーブルで書き込み用デコーダ16にて発生するデコード信号を受けて、書込パルス発生部17は書込パルス信号WP2の複数信号線の中のAラッチ12に指定するアドレスに対応したラインに一発の書き込みパルスを発生する。この書き込みパルスに応じて、楽音制御レジスタ1Dの中の、Aラッチ12のアドレスにより指定された種類のレジスタの、チャンネルラッチ19にラッチされたチャンネル番号に対応したタイミング位置に、Dラッチ13にラッチされた値のデータが書き込まれる。

20

【0028】

波形メモリI/O 1Eは、チャンネルカウンタ1Bからのタイミング信号 31chをチャンネル端子chに、データラッチ13からの書込波形データWDをデータ入力端子DIに、書込パルス発生部17からの書込パルス信号WP1を書込アドレス端子WADに、読出用デコーダ18からの読出デコード信号RP1を読出アドレス端子RADにそれぞれ入力し、波形メモリ2Dから読み出された読出波形データWDR及び読出終了データWED（但し、バスはWRDと共通）をデータ出力端子DOから読出用バッファアンプ15に出力する。すなわち、波形メモリI/O 1Eは、波形メモリ2Dに書き込むべき書込波形データWDを取り込み、それを所定のタイミング（チャンネルカウンタ1Bからタイミング信号 31chが出力されるタイミング）で波形メモリ2Dに書き込む。なお、この波形メモリI/Oの詳細構成については後述する。

30

【0029】

図3は、図1の波形メモリI/O 1Eの詳細構成を示す図である。

40

チャンネル制御レジスタ31には、アドレスADRが「0」の場合に書込パルス発生部17から出力される書込パルス信号A0に応じてデータラッチ13からの書込データWDが書き込まれ、書き込まれたデータのうち動作中信号USEをアクセス回数検出部35及び4連続パルス発生部3Eに出力すると共に、書込読出制御信号W/*Rを4連続パルス発生部3E及びセクタ3Hの制御端子に出力する。なお、この動作中信号USEは図4の周波数ナンバ発生器（Fナンバ発生器）41にも出力される。

【0030】

パルス発生部32は、アドレスADRが「6」の場合に読出デコーダ18から出力される読出デコード信号A6を入力した時点で1サンプル読出完了パルスRSPをオア回路3

50

3 に出力する。

オア回路 3 3 は、パルス発生部 3 2 から 1 サンプル読出完了パルス R S P とアドレス A D R が「 4 」の場合に書込パルス発生部 1 7 から出力される書込パルス信号 A 4 を入力し、両者の論理和出力をオア回路 3 F 及びアクセス回数検出部 3 5 に出力する。

【 0 0 3 1 】

上位ラッチ 3 4 は、アドレス A D R が「 3 」の場合に書込パルス発生部 1 7 から出力される書込パルス信号 A 3 を入力した時点でデータラッチ 1 3 からの書込波形データ W D をラッチし、それを次のアドレス A D R 「 4 」と共に送られてくる下位 8 ビット構成の書込波形データ W D と並列にセレクタ 3 H の B 端子に出力する。すなわち、上位ラッチ 3 4 は 8 ビット構成の書込波形データ W D を 1 6 ビット構成に拡張する。

10

【 0 0 3 2 】

アクセス回数検出部 3 5 は、アドレス A D R が「 1 」の場合に書込パルス発生部 1 7 から出力される書込パルス信号（以下「スタート信号」とする）A 1 と、チャンネル制御レジスタ 3 1 からの動作中信号 U S E と、オア回路 3 3 からの論理和信号を入力する。アクセス回数検出部 3 5 はスタート信号 A 1 によりクリアされ、その後オア回路 3 3 の出力する信号をカウントして、C P U 2 0 からのアクセスが 4 回あったかどうか、すなわち C P U 2 0 からの書き込みの場合、4 個のラッチ 3 J , 3 K , 3 L , 3 M にそれぞれ書込波形データ W D が転送されたかどうか、又、C P U 2 0 による読出しの場合は、同 4 個のラッチに書き込まれていた 4 つの 1 6 ビットデータが読み出されたかどうかを検出し、その検出信号をオア回路 3 6 に出力する。

20

【 0 0 3 3 】

オア回路 3 6 は、スタート信号 A 1 とアクセス回数検出部 3 5 からの検出信号との論理和信号をフリップフロップ回路 3 7 のセット端子 S に出力する。

フリップフロップ回路 3 7 は、オア回路 3 6 からの論理和信号をセット端子 S に、ディレイ 3 C からの遅延信号をリセット端子 R に入力し、セット出力をアンド回路 3 8 に出力し、その反転出力をゲート回路 3 P に出力する。

ゲート回路 3 P は、アドレス A D R が「 2 」の場合に読出デコーダ 1 8 から出力される読出デコード信号 A 2 を入力した時点でフリップフロップ回路 3 7 の反転出力を読出終了データ W E D をデータ出力端子 D O から読出用バッファアンプ 1 5 を介して C P U 2 0 に出力する。

30

【 0 0 3 4 】

アンド回路 3 8 は、チャンネルカウンタ 1 B からのタイミング信号 3 1 c h とフリップフロップ回路 3 7 のセット出力との論理積信号をディレイ 3 9 に出力する。

ディレイ 3 9 は、アンド回路 3 8 からの論理積信号を 1 チャンネル期間だけ遅延し、それをタイミング信号 T S として波形発生部 2 C 及びディレイ 3 A に出力する。

ディレイ 3 A は、ディレイ 3 9 からのタイミング信号を 1 チャンネル期間だけ遅延し、それを 4 連続パルス発生部 3 E 及びディレイ 3 C に出力する。

ディレイ 3 C は、ディレイ 3 A からの遅延信号をからに 1 チャンネル期間だけ遅延し、それをフリップフロップ回路 3 7 のリセット端子 R に出力する。

【 0 0 3 5 】

4 連続パルス発生部 3 E は、チャンネル制御レジスタ 3 1 からの動作中信号 U S E 及び書込読出制御信号 W / * R、並びにディレイ 3 A からの遅延信号を入力し、この遅延信号がハイレベル“ 1 ”の場合に、第 3 1 チャンネルのタイムスロットの期間で連続する 4 つのパルスを発生し、それをオア回路 3 F に出力すると共にそれを書込信号 W S として波形メモリ 2 D に出力する。

40

【 0 0 3 6 】

オア回路 3 F は、オア回路 3 3 からの論理和信号と 4 連続パルス発生部 3 E からの 4 連続パルスを入力し、両者の論理和信号を送りパルス発生器 3 G に出力する。

送りパルス発生器 3 G は、オア回路 3 F からの論理和信号を入力する毎に送りパルス L 1 ~ L 4 をラッチ 3 M , 3 L , 3 K , 3 J に順番に出力する。

50

ラッチ 3 J は、セクタ 3 H からの 16 ビット構成のデータを送りパルス L 4 の入力時点でラッチして、次段のラッチ 3 K に出力する。ラッチ 3 K は、前段のラッチ 3 J からのデータを送りパルス L 3 の入力時点でラッチして、次段のラッチ 3 L に出力する。ラッチ 3 L は、前段のラッチ 3 K からのデータを送りパルス L 2 の入力時点でラッチして、次段のラッチ 3 M に出力する。ラッチ 3 M は、前段のラッチ 3 L からのデータを送りパルス L 1 の入力時点でラッチして、セクタ 3 N 及び波形発生部 2 B に出力する。なお、ラッチ 3 M からセクタ 3 N に出力されるデータは波形メモリ 2 C から読み出されたメモリ読出データ M R D であり、一方ラッチ 3 M から波形発生部 2 C に出力されるデータは波形メモリ 2 D に書き込まれるべきメモリ書込データ M W D である。

【 0 0 3 7 】

ここに、ラッチパルス L 1 ~ L 4 は、アンド回路 3 F からのパルスが入力する毎に、L 1 , L 2 , L 3 , L 4 の時間順で微妙に遅れた送りパルスを発生するようになっており、アンド回路 3 F から 1 パルスの入力に応じてラッチ 3 L のデータがラッチ 3 M に、ラッチ 3 K のデータがラッチ 3 L に、ラッチ 3 J のデータがラッチ 3 K に、そしてセクタ 3 H から新規に供給されるデータがラッチ 3 J にラッチされ、全体として 1 データ分シフトしている。

【 0 0 3 8 】

セクタ 3 N は、ラッチ 3 M からのメモリ読出データ M R D の上位 8 ビットを上位端子 H に、下位 8 ビットを下位端子 L にそれぞれ入力し、アドレス A D R が「 5 」の場合に読出デコーダ 1 8 から出力される読出デコード信号 A 5 を上位選択端子 S H に入力し、アドレス A D R が「 6 」の場合に読出デコーダ 1 8 から出力される読出デコード信号 A 6 を下位選択端子 S L に入力する。従って、アドレス A D R が「 5 」の場合にはメモリ読出データ M R D の上位 8 ビットを読出波形データ W D R として出力し、アドレス A D R が「 6 」の場合にはメモリ読出データ M R D の下位 8 ビットを読出波形データ W D R として出力する。

【 0 0 3 9 】

図 4 は、図 2 の波形発生部 2 C の詳細構成を示す図である。

周波数ナンバ (F ナンバ) 発生器 4 0 は、楽音制御レジスタ 1 D からのピッチデータに対応した周波数ナンバ (F ナンバ) をアドレスカウンタ 4 1 に出力すると共に、図 3 のチャンネル制御レジスタ 3 1 からの動作中信号 U S E 及びディレイ 3 9 からのタイミング信号 T S を入力している。動作中信号 U S E がハイレベル “ 1 ” である場合、 C P U 2 0 のアクセスのために第 3 1 チャンネルが使用されており、 F ナンバ発生器 4 0 はタイミング信号 T S が “ 0 ” の場合、第 3 1 チャンネルの F ナンバとして “ 0 ” を出力し、タイミング信号 T S が “ 1 ” の場合、第 3 1 チャンネルの F ナンバとして “ 4 ” をアドレスカウンタ 4 1 に出力する。この周波数ナンバは、整数部と小数部とからなるデータである。

【 0 0 4 0 】

アドレスカウンタ 4 1 は、図 1 の楽音制御レジスタ 1 D からのノートオンパルス及び書込パルス発生部 1 7 からのスタート信号 A 1 をオア回路 4 2 を介して入力すると共に、楽音制御レジスタ 1 D からの波形スタートアドレス (W S A)、ループスタートアドレス (L P S) 及びループエンドアドレス (L P E) 及び周波数ナンバ発生器 4 0 からの周波数ナンバを入力する。そして、アドレスカウンタ 4 1 は、スタート信号 A 1 又は各時分割発音チャンネルの楽音の発音開始を指示するノートオンパルスの入力に応じて、その周波数ナンバを波形スタートアドレス (W S A) を初期値として順次カウントする。

【 0 0 4 1 】

アドレスカウンタ 4 1 は、ノートオンパルス又はスタート信号を入力することによって初期アドレス (波形スタートアドレス W S A) にセットされ、周波数ナンバの大きさに応じてその波形スタートアドレス (W S A) を基準に順次カウントアップされたアドレスを加算器 4 3 及び 4 4 に出力する。なお、アドレスカウンタ 4 1 は読出アドレスのうち整数部のデータ I n を加算器 4 3 に出力し、小数部のデータ D c を加算器 4 4 に出力する。周波数ナンバの値が小さい時は読出アドレスの増加量は小さくなるため、波形メモリ 2 D か

10

20

30

40

50

ら出力される楽音波形信号の音高は相対的に低くなり、周波数ナンバの値が大きい時は読
出アドレスの増加量は大きくなるため、波形メモリ 2 D から出力される楽音波形信号の音
高は高くなる。

【 0 0 4 2 】

補助カウンタ 4 5 は、時分割チャンネルの 1 チャンネル内に補助アドレス A A として「
0」, 「1」, 「2」, 「3」を順次加算器 4 3 及び 4 4 に出力する。

加算器 4 3 はアドレスカウンタ 4 1 からの整数部のアドレス I n に補助カウンタ 4 5 か
らの補助アドレス A A の「0」, 「1」, 「2」, 「3」を順次加算する。従って、波形
メモリ 2 D には時分割チャンネルの 1 チャンネル内で連続した 4 個のアドレス I n A が順
次供給され波形メモリ 2 D 中のアドレス I n に対応した 4 つの連続した波形データが順次
読み出されるようになる。一方、加算器 4 4 はアドレスカウンタ 4 1 からの小数部のアド
レス D c に補助カウンタ 4 5 からの補助アドレス A A の「0」, 「1」, 「2」, 「3」
を加算するので、補間係数メモリ 4 A には 1 チャンネル内でアドレス小数部 D c に応じた
、該 4 つの連続した波形データにそれぞれ対応する 4 個のアドレス D c A が順次供給され
、4 つの係数が順次読み出される。

10

【 0 0 4 3 】

波形メモリ 2 D は、立上り部（アタック部）の波形データとして複数周期分、その後の
持続部（ループ部）の波形データとして 1 周期分を記憶しており、加算器 4 3 からのアド
レス I n A に対応するメモリ読出データ M R D（16 ビット構成）をバッファアンプ 4 8
及び乗算器 4 9 を介して補間累算器 4 B に出力すると共に、バッファアンプ 4 6 にも出力
する。なお、波形メモリ 2 D には、図 3 の 4 連続パルス発生部 3 E からの書込信号 W S に
応じてバッファアンプ 4 7 を介して入力してくる 4 個のメモリ書込データ M W D が順次加
算器 4 3 からの 4 個のアドレス I n A に書き込まれる。

20

【 0 0 4 4 】

バッファアンプ 4 6 は、アンド回路 4 E からの制御信号に応じて波形メモリ 2 D からの
メモリ読出データ M R D を図 3 のセクタ 3 H の A 端子に出力する。バッファアンプ 4 7
は、アンド回路 4 G からの制御信号に応じて図 3 のラッチ 3 M からのメモリ書込データ M
W D を波形メモリ 2 D 及びバッファアンプ 4 8 に出力する。バッファアンプ 4 8 は、反転
回路 4 J からの制御信号に応じて波形メモリ 2 D からのメモリ読出データ M R D 又はバッ
ファアンプ 4 7 からのメモリ書込データ M W D を乗算器 4 9 に出力する。

30

【 0 0 4 5 】

補間係数メモリ 4 A は、加算器 4 4 から出力される 1 チャンネル当たり 4 個のアドレス
に対応した補間係数を順次乗算器 4 9 に出力する。

乗算器 4 9 は、補間係数メモリ 4 A からの補間係数を各メモリ読出データ M R D に乗じ
て補間累算器 4 B に出力する。

補間累算器 4 B は、乗算器 4 9 から順次出力される値を 1 チャンネル内で累算処理して
、1 つの補間出力サンプル値としてエンベロープ付与部 2 E に出力する。

【 0 0 4 6 】

バッファアンプ 4 6、4 7 及び 4 8 の制御は、ディレイ 4 C、4 D、アンド回路 4 E、
4 F、4 G 及び反転回路 4 H、4 J によって行われる。ディレイ 4 C 及び 4 D は、タイミ
ング信号 3 1 c h が通過する経路（アンド回路 3 8 及びディレイ 3 9、3 A）との間で
タイミングを調整するための遅延回路である。

40

アンド回路 4 E は、チャンネル制御レジスタ 3 1 からの動作中信号 U S E とタイミング
信号 3 1 c h とを入力し、両者の論理積信号をアンド回路 4 F、4 G 及び反転回路 4 J
に出力する。反転回路 4 H は、チャンネル制御レジスタ 3 1 からの書込読出制御信号 W /
* R を入力し、その反転出力をアンド回路 4 F に出力する。アンド回路 4 F は、アンド回
路 4 E の論理積信号と書込読出制御信号 W / * R の反転出力とを入力し、その論理積信号
をバッファアンプ 4 6 に出力する。アンド回路 4 G は、アンド回路 4 E の論理積信号と書
込読出制御信号 W / * R とを入力し、両者の論理積信号をバッファアンプ 4 7 に出力する
。反転回路 4 J は、アンド回路 4 E の論理積信号を入力し、その反転出力をバッファア
ン

50

ブ 4 8 に出力する。

【 0 0 4 7 】

エンベロープ付与部 2 E は、レジスタ 1 D から供給される各時分割チャンネルのノートオンに応じて音源 I / O 2 B に予め設定されたパラメータに基づいて波形エンベロープ信号（14ビット構成）を生成し、波形発生部 2 C の補間累算器 4 B から出力される補間されたサンプル値に対し、該エンベロープ信号に応じた振巾エンベロープ制御を行い、振巾制御されたサンプル値をチャンネル累算部 2 F に出力する。

【 0 0 4 8 】

次に、この発明に係る電子楽器が行う波形データの書込処理及び読出処理について説明する。

まず、CPU 2 0 が波形メモリ 2 D から例えば、アドレス「5 F」以降に書かれたサンプリング波形データを読み出す処理について説明する。

CPU 2 0 は、タイミング信号 3 1 c h のタイミングで波形メモリ 2 D のアドレス「5 F」から順番にサンプリング波形データを読み出すために、楽音制御レジスタ 1 D のタイミング信号 3 1 c h の波形スタートアドレス（W S A）として「5 F」を設定する。

【 0 0 4 9 】

これと同時に、CPU 2 0 はアドレス A D R として「A 0」を出力し、チャンネル制御レジスタ 3 1 の動作中信号 U S E をハイレベル“1”、書込読出制御信号 W / * R をローレベル“0”とするようなデータ D A T A を出力する。これに応じて書込用デコーダ 1 6 は「A 0」に対応した書込デコード信号を書込パルス発生部 1 7 に出力する。書込パルス発生部 1 7 は、ハイレベル“1”の書込パルス信号 A 0 をチャンネル制御レジスタ 3 1 に出力する。チャンネル制御レジスタ 3 1 は、ハイレベル“1”の動作中信号 U S E をアクセス回数検出部 3 5 及び 4 連続パルス発生部 3 E、周波数ナンバ発生器 4 0 及びアンド回路 4 E に出力し、ローレベル“0”の書込読出制御信号 W / * R を 4 連続パルス発生部 3 E、セクタ 3 H、反転回路 4 H、アンド回路 4 G にそれぞれ出力するようになる。

次に、CPU 2 0 は、アドレス A D R として「A 1」を出力する。これに応じて書込用デコーダ 1 6 は「A 1」に対応した書込デコード信号を書込パルス発生部 1 7 に出力し、書込パルス発生部 1 7 は、ハイレベル“1”のスタート信号 A 1 をアクセス回数検出部 3 5、オア回路 3 6 及びアドレスカウンタ 4 1 に出力する。

【 0 0 5 0 】

CPU 2 0 が上述のような処理を行うと、波形メモリ I / O 1 E 及び波形発生部 2 C は、次のように動作する。

フリップフロップ回路 3 7 のセット端子 S にはオア回路 3 6 を介してスタート信号 A 1 が入力するので、フリップフロップ回路 3 7 はハイレベル“1”のセット出力 Q をアンド回路 3 8 に、ローレベル“0”の反転出力 * Q をゲート 3 P に出力する。

アクセス回数検出部 3 5 は、スタート信号 A 1 の入力に応じて検出回数値をクリアする。

アドレスカウンタ 4 1 にオア回路 4 2 を介してスタート信号 A 1 が入力すると、アドレスカウンタ 4 1 は波形メモリ読出アドレスとして楽音制御レジスタ 1 D 内の波形スタートアドレス（W S A）の「5 F」をカウンタ初期値としてセットする。

【 0 0 5 1 】

チャンネルカウンタ 1 B は、時分割チャンネルのタイミングが 3 2 番目のチャンネルになると、ハイレベル“1”のタイミング信号 3 1 c h をアンド回路 3 8 に出力する。アンド回路 3 8 は、タイミング信号 3 1 c h がハイレベル“1”の間、フリップフロップ回路 3 7 からの出力 Q（ハイレベル“1”）をディレイ 3 9 に出力する。従って、このハイレベル“1”の信号は、ディレイ 3 9 によって 1 チャンネル期間だけ遅延してディレイ 3 A に入力すると共に周波数ナンバ発生器 4 0 にタイミング信号 T S として入力する。

【 0 0 5 2 】

さらに、ディレイ 3 9 から出力される遅延信号（タイミング信号 T G）は、ディレイ 3 A によってさらに 1 チャンネル期間だけ遅延して 4 連続パルス発生部 3 E 及びディレイ 3

10

20

30

40

50

Cに入力する。ディレイ3Aからのハイレベル“1”の遅延信号を入力した4連続パルス発生部3Eは、書込読出制御信号W/*Rがローレベル“0”なので、その時点から1チャンネル内において連続する4個のパルスをオア回路3Fに出力する。なお、4連続パルス発生部3Eは、書込読出制御信号W/*Rがハイレベル“1”の場合には、32番目のチャンネルの間、該4個のパルスに応じてバッファ47を通じて波形メモリ2Dに順次供給される4つの書き込みサンプルデータ(メモリ書込データ)MWDに同期したタイミングで書込信号WSを波形メモリ2Dに出力する。

【0053】

周波数ナンバ発生器40は、31チャンネルのタイミングでタイミング信号TSが入力した場合、31チャンネルの周波数データとして通常の楽音制御レジスタ1Dから供給されるピッチデータに応じたFナンバに代えて“4”の値をもつFナンバをアドレスカウンタ41に出力する。これによって、アドレスカウンタ41は31チャンネルにおいてCPUによる読出書込みを行う場合、4ずつインクリメントされたアドレスInを加算器43及び44に出力する。

10

【0054】

このとき、補助カウンタ45は、時分割チャンネルの1チャンネル分の間に、「0」、「1」、「2」、「3」の補助アドレスAAを加算器43及び44に出力するので、波形メモリ2Dには、アドレスカウンタ41からのアドレスInと補助カウンタ45の補助アドレスAAとの加算されたアドレスInAが読出アドレスとして入力する。これによって波形メモリ2Dからは、これらの4個の読出アドレスに対応したメモリ読出データMRD

20

【0055】

このとき、アンド回路4Fには反転回路4Hを介してハイレベル“1”の書込読出制御信号W/*Rが入力し、アンド回路4Gにはローレベル“0”の書込読出制御信号W/*Rが入力しているので、アンド回路4Fのゲートは開いた状態となり、アンド回路4Gのゲートは閉じた状態となる。従って、アンド回路4Eの論理積出力はアンド回路4Fを介してバッファアンプ46に入力する。アンド回路4Eの一方の端子にはハイレベル“1”の動作中信号USEが入力し、他方の端子にはディレイ4C、4Dを介して2チャンネル期間遅れた時点でハイレベル“1”のタイミング信号31chが入力するので、バッファアンプ46にはタイミング信号31chがハイレベル“1”になってから2チャンネル

30

期間経過した時点でアンド回路4E及び4Fを介してハイレベル“1”の論理積信号が入力する。これによって、31チャンネルに対応する波形メモリのアクセス期間において波形メモリ2Dからのメモリ読出データMRDは、バッファアンプ46を介してセクタ3HのA端子に入力するようになる。

【0056】

セクタ3Hは、ローレベル“0”の書込読出制御信号W/*Rを入力しているので、バッファアンプ46を介して入力されるメモリ読出データMRDをラッチ3Jに出力する。このとき、送りパルス発生器3Gには、オア回路3Fを介して4連続パルス発生部3Eからのパルスが入力し、ラッチL1~L4のデータが該パルスに応じて順送りされることにより、波形メモリ2Dから順次読み出された4個のメモリ読出データMRDは次々とラ

40

【0057】

4個のメモリ読出データMRDがラッチ3J、3K、3L、3Mに転送され、ラッチされると、その取り込み終了に合わせてディレイ3Cからハイレベル“1”出力がフリップフロップ回路37のリセット端子Rに入力し、フリップフロップ回路37のセット出力Qをローレベル“0”に反転出力*Qをハイレベル“1”にセットする。

CPU20は、アドレスADRとして「A2」を出力する。これに応じて読出用デコーダ18は「A2」に対応した読出デコード信号A2をゲート3Lに出力し、ゲート3Lを開き、フリップフロップ回路37の反転出力*Qを読出して、該反転出力*Qが“1”になったタイミングで、波形メモリ2Dからのメモリ読出データMRDのラッチ3J、3K

50

、3 L、3 Mへの取り込みが完了したことを検出する。

【0058】

以上の処理が終了した後、CPU 20は、アドレスADR (A 5, A 6)を交互に4回出力し、セクタ3 NのL端子及びH端子を選択し、8個の8ビットの読出データWDRをバッファンプ15を介して順次読み出す。

すなわち、CPU 20がアドレスADRとして「A 5」を出力すると、読出用デコーダ18は読出デコード信号A 5をセクタ3 Nに出力する。セクタ3 Nは、ラッチ3 Mにラッチされているメモリ読出データMRDの上位8ビットを読出データWDRとして読出データバスに出力され、該上位8ビットがバッファ15を介してCPUにより読み出される。次に、CPU 20がアドレスADRとして「A 6」を出力すると、読出用デコーダ18は読出デコード信号A 6をセクタ3 Nに出力する。セクタ3 Nは、ラッチ3 Mにラッチされているメモリ読出データMRDの下位8ビットを読出データWDRとして読出データバスに出力され、バッファ15を介してCPUにより読み出される。

10

【0059】

このとき、パルス発生部32はデコード信号A 6を入力する度に1サンプル読出完了パルスRSPをオア回路33を介してアクセス回数検出部35に出力すると共にオア回路33及び3Fを介して送りパルス発生器3Gに出力する。アクセス回数検出部35は、パルス発生部32からの1サンプル読出完了パルスRSPの入力回数をカウントし、そのカウント値が『4』になったかどうか、すなわちCPU 20が4回読出しアクセスしたかどうかを検出する。なお、この時点では、CPU 20は1回のアクセスしかしていない。

20

一方、送りパルス発生器3Gは、この1サンプル読出完了パルスRSPの入力に応じてラッチ3J、3K、3L、3Mのデータを1段ずつラッチ3M側にシフトする。

【0060】

CPU 20は、上記の動作(アドレスADR (A 5, A 6)を交互に出力する動作)を4回繰り返すことによって、波形メモリ2Dの4ワード分のデータを読み出す。

この読出動作が終了すると、アクセス回数検出部35はオア回路33から出力される1サンプル読出完了パルスRSPを計数して、4ワード分のデータ読み出しが終了した事を検出し、ハイレベル“1”の検出信号をオア回路36を介してフリップフロップ回路37のセット端子Sに出力する。これによって、フリップフロップ回路37は、再びセットされ、ハイレベル“1”のセット出力Qをアンド回路38に出力する。そして、次のタイミング信号31chの間に波形メモリ2Dから4ワード分のデータが先程と同様に波形メモリ2Dから順次読み出され、4段のラッチ3J、3K、3L、3Mに取り込まれ、その後、再びフリップフロップ回路37がリセットされる。なお、この場合には、波形発生部2Cのアドレスカウンタ41への波形スタートアドレス(WSA)の書込処理は行われずに、前回のカウント値が継続して使用される。

30

【0061】

CPU 20は、以上の動作を繰り返し実行することにより、波形スタートアドレス(WSA)の「5F」から順次4ずつアドレスを増加させながら、対応するアドレスに記憶されているデータを連続して読み出すことができる。

波形メモリ2Dからのデータ読み出し処理を終了する時は、CPU 20は、フリップフロップ回路37がリセットされている状態(セット出力Qがローレベル“0”の状態)で、アドレスADRとして「A 0」を出力し、書込パルス信号A 0をチャンネル制御レジスタ31に出力し、チャンネル制御レジスタ31の動作中信号USEをローレベル“0”とするようなデータDATAを出力する。これによって、チャンネル制御レジスタ31は、ローレベル“0”の動作中信号USEをアクセス回数検出部35及び4連続パルス発生部3E、周波数ナンバ発生器40及びアンド回路4Eに出力するようになるので、これ以降のデータ読み出し動作は行われなくなる。

40

【0062】

次に、CPU 20が波形メモリ2Dの、例えばアドレス「6F」以降の領域にサンプリング波形データを書き込む処理について説明する。

50

CPU20は、タイミング信号31chのタイミングで波形メモリ2Dのアドレス「6F」から順番にサンプリング波形データを書き込むために、楽音制御レジスタ1Dのタイミング信号31chの波形スタートアドレス(WSA)すなわち波形メモリ2Dの書き込み先頭アドレスに「6F」を設定する。

【0063】

これと同時に、CPU20はアドレスADRとして「A0」を出力し、チャンネル制御レジスタ31の書込読出制御信号W/*Rをハイレベル“1”とするようなデータDATAを出力する。これに応じて書込用デコーダ16は「A0」に対応した書込デコード信号を書込パルス発生部17に出力し、書込パルス発生部17は、ハイレベル“1”の書込パルス信号A0をチャンネル制御レジスタ31に出力する。チャンネル制御レジスタ31は、ハイレベル“1”の書込読出制御信号W/*Rを4連続パルス発生部3E、セクタ3H、反転回路4H、アンド回路4Gにそれぞれ出力する。

10

なお、この時点では動作中信号USEはローレベル“0”にしておく。

【0064】

この処理が終了した後、CPU20は、アドレスADR(A3, A4)を交互に4回ずつ出力し、書込波形データWDをラッチ3J, 3K, 3L, 3Mに書き込む。

すなわち、CPU20が最初の波形データの上位8ビットと共にアドレスADRとして「A3」を出力すると、書込用デコーダ16は「A3」に対応した書込デコード信号を書込パルス発生部17に出力し、書込パルス発生部17は、ハイレベル“1”の書込パルス信号A3を上位ラッチ34に出力する。上位ラッチ34は、データラッチ13からの上位8ビットの書込波形データをラッチする。次に、CPU20が同波形データの下位8ビットと共にアドレスADRとして「A4」を出力すると、書込用デコーダ16は「A4」に対応した書込デコード信号を書込パルス発生部17に出力し、書込パルス発生部17は、ハイレベル“1”の書込パルス信号A4をオア回路33及び3Fを介して送りパルス発生器3Gに出力する。

20

【0065】

セクタ3Hは、ハイレベル“1”の書込読出制御信号W/*Rを入力しているので、データラッチ13からの下位8ビットとラッチ34からの上位8ビットの全16ビットで構成される書込波形データWDをラッチ3Jに出力する。このとき、送りパルス発生器3Gには、オア回路33及び3Fを介して書込パルス信号A4が入力するので、上位ラッチ34にラッチされた上位8ビットのデータと今回供給された下位8ビットのデータとの組み合わせられた16ビットの書込波形データWDがラッチ3Jに取り込まれると共に、もともとラッチ3J, 3K, 3Lにラッチされていたデータがそれぞれラッチ3K, 3L, 3Mにラッチされ、全体としてラッチされているデータが1つ順送りされる。

30

CPU20は、上述の動作(アドレスADR(A3, A4)を交互に出力する動作)を4回繰り返し行うことによって、4ワード分の書込波形データWDをラッチ3J, 3K, 3L, 3Mに蓄える。

【0066】

次に、CPU20はアドレス「A1」のチャンネル制御レジスタ31の動作中信号USEに“1”を書き込む。そして、CPU20は、アドレスADRとして「A1」を出力する。これに応じて書込用デコーダ16は「A1」に対応した書込デコード信号を書込パルス発生部17に出力し、書込パルス発生部17は、ハイレベル“1”のスタート信号A1をアクセス回数検出部35、オア回路36及びアドレスカウンタ41に出力する。

40

【0067】

フリップフロップ回路37は、スタート信号A1をオア回路36を介してセット端子Sに入力することによって、ハイレベル“1”のセット出力Qをアンド回路38に、ローレベル“0”の反転出力*Qをゲート3Lに出力する。

アクセス回数検出部35は、スタート信号A1の入力に応じて検出回数値をクリアする。

アドレスカウンタ41は、スタート信号A1をオア回路42を介して入力することによ

50

って、波形メモリ書込アドレスとして楽音制御レジスタ1D内の波形スタートアドレス(WSA)の「6F」をカウンタ初期値として格納する。

【0068】

チャンネルカウンタ1Bは、時分割チャンネルのタイミングが32番目のチャンネルになると、ハイレベル“1”のタイミング信号31chをアンド回路38に出力する。アンド回路38は、タイミング信号31chがハイレベル“1”の間、フリップフロップ回路37からのセット出力Q(ハイレベル“1”)をディレイ39に出力する。このハイレベル“1”の信号は、ディレイ39によって1チャンネル期間だけ遅延してディレイ3Aに入力すると共に周波数ナンバ発生器40にタイミング信号TSとして入力する。

【0069】

さらに、ディレイ39から出力される遅延信号(タイミング信号TG)は、ディレイ3Aによってさらに1チャンネル期間だけ遅延して4連続パルス発生部3E及びディレイ3Cに入力する。ディレイ3Aからのハイレベル“1”の遅延信号を入力した4連続パルス発生部3Eは、書込読出制御信号W/*Rがハイレベル“1”なので、その時点から1チャンネル内において連続する3個のパルスをオア回路3Fを介して送りパルス発生器3Gに出力すると共にタイミング信号31chがハイレベル“1”の間、連続する4個のパルスを書込信号WSとして波形メモリ2Dに出力する。

なお、この場合の上記3個のパルスは、読み出し時(書込読出制御信号W/*Rが“0”の時)に発生する4個のパルスのうちの最初の一発を除いた残りの3個のタイミングで発生している。

【0070】

周波数ナンバ発生器40は、タイミング信号TSを入力する度にアドレスカウンタ41に通常出力している31チャンネルのピッチデータに対応するFナンバに代えて“4”の値のFナンバを出力している。これによって、アドレスカウンタ41は31チャンネルについて、4ずつインクリメントされたアドレスInを加算器43及び44に出力する。

このとき、補助カウンタ45は、時分割チャンネルの1チャンネル分の中に、「0」、「1」、「2」、「3」の補助アドレスAAを加算器43及び44に出力するので、波形メモリ2Dには、アドレスカウンタ41からのアドレスInと補助カウンタ45の補助アドレスAAとの加算された4連続のアドレスInAが書込アドレスとして入力する。

【0071】

アンド回路4Fには反転回路4Hを介してローレベル“0”の書込読出制御信号W/*Rが入力し、アンド回路4Gにはハイレベル“1”の書込読出制御信号W/*Rが入力しているので、アンド回路4Fのゲートは閉じた状態となり、アンド回路4Gのゲートは開いた状態となる。従って、アンド回路4Eの論理積出力はアンド回路4Gを介してバッファアンプ47に入力する。アンド回路4Eの一方の端子にはハイレベル“1”の動作中信号USEが入力し、他方の端子にはディレイ4C、4Dを介して2チャンネル期間分遅れた時点でハイレベル“1”のタイミング信号31chが入力するので、バッファアンプ47にはタイミング信号31chがハイレベル“1”になってから2チャンネル期間経過した時点でアンド回路4E及び4Gを介してハイレベル“1”の論理積信号が入力する。これによって、31チャンネルに対応する波形メモリ2Dのアクセス期間においてラッチ3Mからのメモリ書込データMWDは、バッファアンプ47を介して波形メモリ2Dのデータ入力端子及びバッファアンプ48に入力するようになる。

【0072】

送りパルス発生器3Gには、オア回路3Fを介して4連続パルス発生部3Eからの3個の連続パルスが入力する。送りパルス発生器3Gは、このパルス入力に応じてラッチ3J、3K、3L、3Mのデータを1段ずつラッチ3M側にシフトする。ラッチ3J、3K、3L、3Mにラッチされていたメモリ書込データMWDは次々とラッチ3Mに転送され、ラッチ3Mからバッファアンプ47を介して波形メモリ2に入力する。これと同時に4連続パルス発生部3Eからは4個の連続する書込信号WS及び4連続のアドレスInAが波形メモリ2Dには入力するので、このアドレス領域に4ワード分の書込波形データWDが

10

20

30

40

50

順次書き込まれる。

ラッチ 3 J , 3 K , 3 L , 3 M に蓄積されていた 4 個のメモリ書込データ M W D が波形メモリ 2 D に書き込まれると、それに合わせてディレイ 3 C からハイレベル “ 1 ” の出力がフリップフロップ回路 3 7 のリセット端子 R に入力し、フリップフロップ回路 3 7 のセット出力 Q をローレベル “ 0 ” に反転出力 * Q をハイレベル “ 1 ” にセットする。

【 0 0 7 3 】

C P U 2 0 は、上述した 4 データの波形メモリ 2 D への書込みの完了を検知するために、アドレス「 A 2 」のデータを読み出す。この際、読出用デコーダ 1 8 は「 A 2 」に対応した読出デコード信号 A 2 をゲート 3 P に出力し、ゲート 3 P を開き、C P U 2 0 は、フリップフロップ回路 3 7 の反転出力 * Q を読出し、メモリ書込データ M W D のラッチ 3 J , 3 K , 3 L , 3 M から波形メモリ 2 D への書込処理が終了したことを検出する。

書込処理の終了を検出した C P U 2 0 は、アドレス A D R (A 3 , A 4) を交互に 4 回ずつ出力し、新たな 4 ワード分の書込波形データ W D をラッチ 3 J , 3 K , 3 L , 3 M に蓄え、上述の動作を繰り返し実行して、メモリ書込データ M W D を波形メモリ 2 D に書き込む。C P U 2 0 は、以上の動作を繰り返し実行することにより、波形スタートアドレス (W S A) の「 6 F 」から順次 4 ずつアドレスを増加させながら、対応するアドレスにメモリ書込データ M W D を書き込む。

【 0 0 7 4 】

波形メモリ 2 D へのデータ書込処理を終了する時は、C P U 2 0 は、フリップフロップ回路 3 7 がリセットされている状態 (セット出力 Q がローレベル “ 0 ” の状態) で、アドレス A D R として「 A 0 」を出力し、書込パルス信号 A 0 をチャンネル制御レジスタ 3 1 に出力し、チャンネル制御レジスタ 3 1 の動作中信号 U S E 及び書込読出制御信号 W / * R をローレベル “ 0 ” とするようなデータ D A T A を出力する。これによって、チャンネル制御レジスタ 3 1 は、ローレベル “ 0 ” の動作中信号 U S E をアクセス回数検出部 3 5 及び 4 連続パルス発生部 3 E 、周波数ナンバ発生器 4 0 及びアンド回路 4 E に出力するようになるので、これ以降のデータ書き込み動作は行われなくなる。

【 0 0 7 5 】

上述した実施例によれば、波形メモリ音源が時分割チャンネル発音処理を行っていても、C P U による波形メモリへのアクセスを行うことができるという効果がある。

【 図面の簡単な説明 】

【 0 0 7 6 】

【 図 1 】 図 2 の音源 I / O の詳細構成を示す図である。

【 図 2 】 本発明の一実施例に係るサンプラータイプの波形メモリ音源を内蔵した電子楽器の全体構成を示す図である。

【 図 3 】 図 1 の波形メモリ I / O の詳細構成を示す図である。

【 図 4 】 図 2 の波形発生部の詳細構成を示す図である。

【 符号の説明 】

【 0 0 7 7 】

- 1 1 C P U バス制御部
- 1 2 アドレスラッチ
- 1 3 データラッチ
- 1 4 書込用バッファ
- 1 5 読出用バッファアンプ
- 1 6 書込用デコーダ
- 1 7 書込パルス発生部
- 1 8 読出用デコーダ
- 1 9 チャンネルラッチ
- 1 A チャンネル変換部
- 1 B チャンネルカウンタ
- 1 C セレクタ

10

20

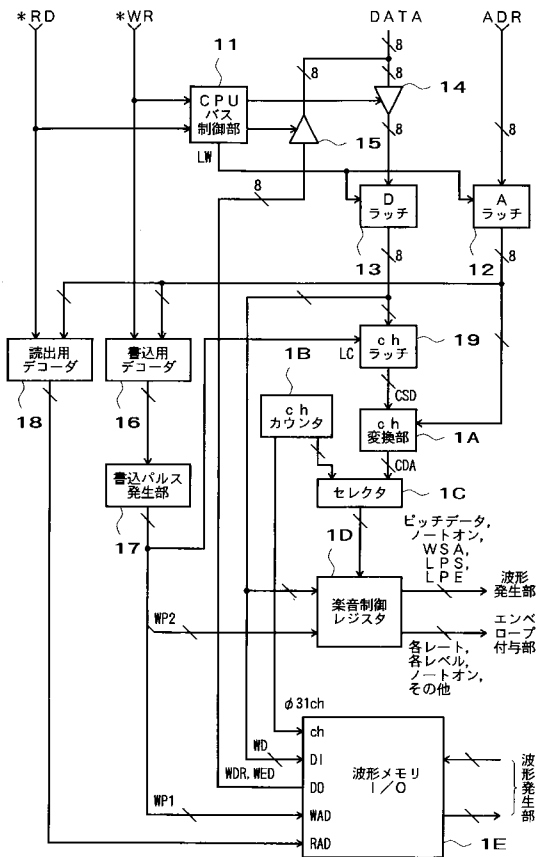
30

40

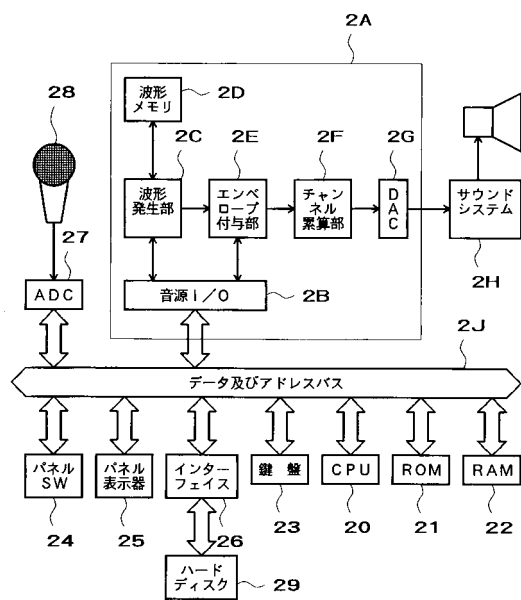
50

- 1 D 楽音制御レジスタ
- 1 E 波形メモリ I/O

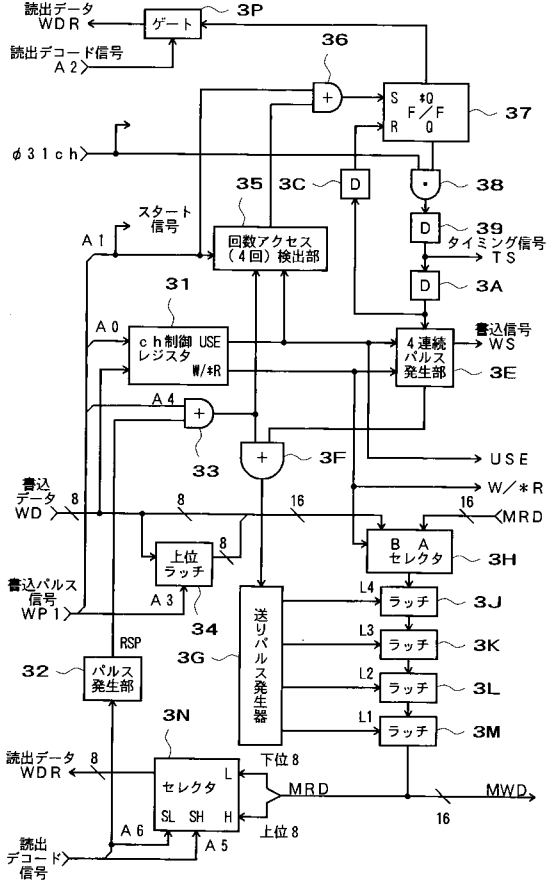
【図 1】



【図 2】



【図3】



【図4】

