

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年4月1日(2025.4.1)

【公開番号】特開2024-157941(P2024-157941A)

【公開日】令和6年11月8日(2024.11.8)

【年通号数】公開公報(特許)2024-209

【出願番号】特願2023-72621(P2023-72621)

【国際特許分類】

H 10D 30/66(2025.01)

10

H 10D 12/00(2025.01)

H 10D 84/80(2025.01)

H 10D 30/01(2025.01)

H 10D 62/10(2025.01)

【F I】

H 01L 29/78 652N

H 01L 29/78 652F

H 01L 29/78 652H

H 01L 29/78 652J

H 01L 29/78 652P

20

H 01L 29/78 652T

H 01L 29/78 653C

H 01L 29/78 655A

H 01L 29/78 657F

H 01L 29/78 658A

H 01L 29/78 658G

H 01L 29/06 301G

H 01L 29/06 301V

【手続補正書】

30

【提出日】令和7年3月24日(2025.3.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トレンチゲート構造の半導体素子が形成されたセル領域(1)と、前記セル領域を囲む外周に、外周耐圧構造(16)を構成する外周耐圧構造部(2a)および前記外周耐圧構造部と前記セル領域との間に位置する繋ぎ部(2b)が備えられた外周領域(2)と、を有する炭化珪素半導体装置であって、

第1導電型または第2導電型の炭化珪素で構成された基板(11)と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第1導電型の第1不純物領域(13)と、を有し、

前記セル領域には、

前記第1不純物領域の表層部に形成され、前記第1不純物領域よりも高不純物濃度とされた第1導電型の炭化珪素からなるJFET層(14)と、

前記第1不純物領域の表層部に形成され、前記基板の面方向において前記JFET層と交互に配置された第2導電型の炭化珪素からなるディープ層(15)と、

40

50

前記 J F E T 層および前記ディープ層上に形成された第 2 導電型の炭化珪素からなるベース層(18)と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ(21)の内壁面に形成されたゲート絶縁膜(22)と、前記ゲートトレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極(23)と、を有するトレンチゲート構造と、

前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第 1 不純物領域よりも高不純物濃度とされた第 1 導電型の炭化珪素からなる第 2 不純物領域(19)と、

前記第 2 不純物領域および前記ベース層に電気的に接続される第 1 電極(25)と、

前記基板の裏面側に配置され、前記基板と電気的に接続される第 2 電極(28)と、を有した前記半導体素子が構成され、

前記繋ぎ部には、

前記セル領域から延設されており、前記第 1 不純物領域の上に形成された前記ゲート絶縁膜と、

前記セル領域から延設されており、前記ゲート絶縁膜の上に配置された前記ゲート電極と、

前記ゲート電極に接続されたゲート配線(26)と、が備えられ、

前記 J F E T 層における前記セル領域の外周側の終端位置となる外周終端位置(Po)が前記ゲート配線における前記セル領域側の終端位置となる内周終端位置(Pi)よりも前記セル領域側とされている、炭化珪素半導体装置。

【請求項 2】

前記 J F E T 層は、前記セル領域にのみ形成されている、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記基板の表面に対する法線方向において、前記 J F E T 層を形成するためのイオン注入層の形成範囲と前記第 2 不純物領域を形成するためのイオン注入層の形成範囲が揃っている、請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記基板の表面に対する法線方向において、前記 J F E T 層を形成するためのイオン注入層の形成範囲と前記第 2 不純物領域を形成するためのイオン注入層の形成範囲、および、前記ベース層を形成するためのイオン注入層の形成範囲が揃っている、請求項 1 または 2 に記載の炭化珪素半導体装置。

【請求項 5】

トレンチゲート構造の半導体素子が形成されたセル領域(1)と、前記セル領域を囲む外周に、外周耐圧構造(16)を構成する外周耐圧構造部(2a)および前記外周耐圧構造部と前記セル領域との間に位置する繋ぎ部(2b)が備えられた外周領域(2)と、を有する炭化珪素半導体装置であって、

第 1 導電型または第 2 導電型の炭化珪素で構成された基板(11)と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第 1 導電型の第 1 不純物領域(13)と、を有し、

前記セル領域には、

前記第 1 不純物領域の表層部に形成され、前記第 1 不純物領域よりも高不純物濃度とされた第 1 導電型の炭化珪素からなる J F E T 層(14)と、

前記第 1 不純物領域の表層部に形成され、前記基板の面方向において前記 J F E T 層と交互に配置された第 2 導電型の炭化珪素からなるディープ層(15)と、

前記 J F E T 層および前記ディープ層上に形成された第 2 導電型の炭化珪素からなるベース層(18)と、

前記ベース層よりも深く一方向を長手方向として複数本並べられたゲートトレンチ(21)の内壁面に形成されたゲート絶縁膜(22)と、前記ゲートトレンチ内において、前

10

20

30

40

50

記ゲート絶縁膜の上に形成されたゲート電極（23）と、を有するトレンチゲート構造と、

前記ベース層の表層部において前記トレンチゲート構造と接して形成され、前記第1不純物領域よりも高不純物濃度とされた第1導電型の炭化珪素からなる第2不純物領域（19）と、

前記第2不純物領域および前記ベース層に電気的に接続される第1電極（25）と、

前記基板の裏面側に配置され、前記基板と電気的に接続される第2電極（28）と、を有した前記半導体素子が構成され、

前記繋ぎ部には、

前記セル領域から延設されており、前記第1不純物領域の上に形成された前記ゲート絶縁膜と、10

前記セル領域から延設されており、前記ゲート絶縁膜の上に配置された前記ゲート電極と、

前記ゲート電極に接続されたゲート配線（26）と、が備えられ、

前記J F E T層は、前記繋ぎ部にも形成されており、該J F E T層のうち前記ゲート配線における前記セル領域側の終端位置となる内周終端位置（P_i）よりも外側の部分は、第1導電型不純物濃度が前記第1不純物領域以下になっている、炭化珪素半導体装置。